

デジタル形電子計算機 HIPAC-101 について

On the Digital Computer HIPAC-101

高田昇平*
Shōhei Takada

島田正三*
Shōzō Shimada

萱島興三**
Kōzō Kayashima

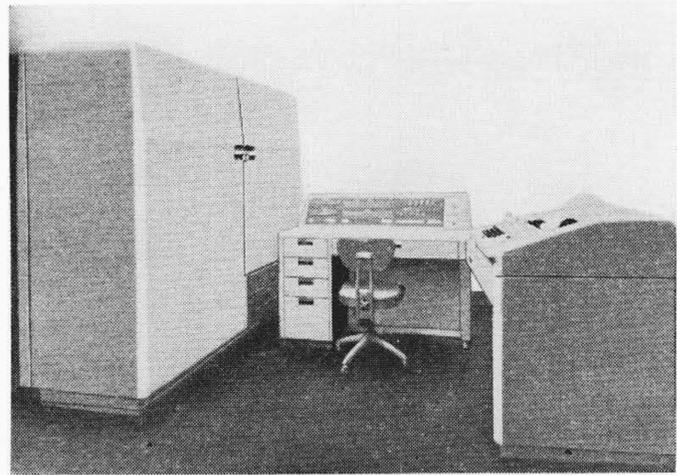
内 容 梗 概

さきに完成されたパラメトロン電子計算機 HIPAC-101 について述べる。これは、1956年6月、パリで開催されたユネスコ主催の計算機展示会に出品、好評を博したものであって、一昨々年完成された HIPAC-I の豊かな経験を生かし、種々の改良を行って設計製作されたものである。第1節緒言にはおもな特長を、第2節では計算機の構成を主として論理設計の立場から述べ、第3節ではパラメトロンを主体とした論理回路を、第4節にはここで用いられている高速磁気ドラム記憶装置の概要を述べた。磁気ドラムを用いた計算機として、I.B.M 社の 650 形電子計算機を目標として設計された計算機である。現在、これをさらに改良した HIPAC-101B 形パラメトロン計算機を、日立製作所戸塚工場において設計、製作中である。

1. 緒 言

さきに完成されたパラメトロン計算機 HIPAC-I⁽¹⁾ について、1959年6月パリで開催された UNESCO 主催の計算機展示会に出品する目的で設計、製作された HIPAC-101 について述べる。HIPAC-I の設計、製作に際して得られた豊富な経験を生かし、1958年4月に設計を開始してから完成まで7箇月という時間的な制約のもとに、多くの改良を行った。パラメトロンを論理素子とし、内部記憶装置として並列に読出し書込みを行う磁気ドラムを採用するという基本方針はまったく同じであるが、構成素子、論理設計で改良された主要な点は次のとおりである。これは設計の途中で得られた知識および実験結果から幾多の変更が加えられ、最終的にこのような形となったものである。

- (1) 論理素子として、めがね形パラメトロンを採用したこと。
- (2) 磁気ドラム制御回路の真空管をすべてトランジスタで置換えたこと。
- (3) 入出力装置として8単位のテープを採用し、局内送信機 (I. T) のほかに、キーボード、さん孔機、局内送信機、光電式テープリーダー、プリンタをいろいろな組合わせで働かせることができるようにした。
- (4) 磁気ドラムの待時間を小さくし、演算速度を上げるために、命令レジスタを設けて、命令の被演算数が読み出されるとただちに次の命令の読出しにうつるよう制御回路を設計した。
- (5) 印字あるいはさん孔を行うとき、2進数から10進数への変換を行わないときには、入力レジスタをバッファとして印字あるいはさん孔をしながら次の演算にうつるようにした。
- (6) 本体、制御卓、入出力卓の三者にまとめてこの



第1図 HIPAC-101

間をケーブルでつなぎ、製品化への第1歩とした。完成された各キュービクルの写真を第1図に示す。写真で左側に見えるのが本体、正面が制御卓である。傾斜面に表示ランプと操作用キイが並んでいる。右側に見えるのが入出力卓である。

(7) HIPAC-I の一つの欠点となっていたチェックの問題は完全に解決されたとはいえないが、8単位のテープの1単位をチェックにあて、読込みに際してパリティ・チェックを行い、さん孔に際してパリティをつくって第7の列にさん孔するようにした。これまでも機械的な部分の誤動作が多く、ことに光電式テープリーダーの信頼度が問題にされているので、これを行うことによって大いに効果が上るものと予想される。

2. HIPAC-101 の構成

HIPAC-101 では入出力装置として印刷電信機械のほかに光電式テープ読取機を採用することとした。第2図にこれら入出力装置相互間および計算機との間の接続を示す。計算機との信号の授受のほかに、オフ・ラインとして計算機本体と切離して種々の操作ができるようくふ

* 日立製作所中央研究所工博

** 日立製作所中央研究所

アドレス部を n , 修正部を x , 命令部を f とすれば、演算指令は

$$n \quad x \quad f$$

の形に表わされる。これは n , x できまる番地に、 f なる命令を施すと考えることができ、 x で修正を施こされた実効アドレスを (n, x) で表わす。ただし x の一部分が命令の区分けに用いられるときもあり、このときは、 x^1 が x が奇数の場合を、 x^0 は x が偶数の場合を表わすものと約束する。 x は 2 進 4 けたの数で、0 ~ 9 につづいて記号 +, -, ·, ·, (,) をあて、16 進表示を用いている。 (n, x) は命令を施す Operand のアドレスを指定するのが普通であるが、いくつかの命令では、これが次に行う命令のアドレスを意味したり、単にパラメータとしての意味しかもたなかったりする。

x によるアドレス n の修正は次のとおりである。4 ビットの最下位のけたは、Half word, Full word の切換え、サイクル・カウンタの指定 (No. 1 か No. 2 か) に用い、第 2 位をアドレス・カウンタによる修正、第 3 位をサイクル・カウンタ No. 1 による修正、第 4 位のけたをサイクル・カウンタ No. 2 による修正にあてる。これを表にしてしめすと第 2 表のようになる。第 3 表に演算指令を一括して示す。

3. パラメترون論理回路

普通、Single Address code の stored program 計算機では、演算は第 5 図のようなループをえがいて行われる。

まず命令が読出されて、解読され、その結果、被演算数の読出しが行われる。ただし、被演算数を必要としない命令、たとえば Acc レジスタの内容を何けたかシフトす

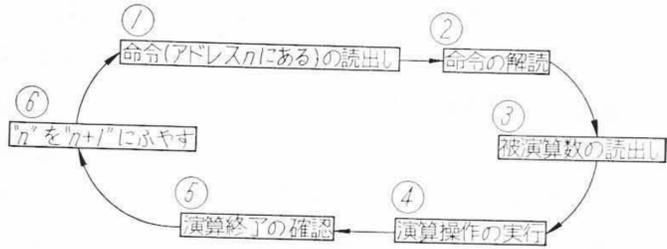
第 2 表 “x” によるアドレスの修正

x	内容 n に加えられるレジスタ
0, 1	(何も加えない)
2, 3	アドレス・カウンタ
4, 5	サイクル・カウンタ No.1
6, 7	アドレス・カウンタおよびサイクル・カウンタ No.1
8, 9	サイクル・カウンタ No.2
+, -	アドレス・カウンタおよびサイクル・カウンタ No.2
···	サイクル・カウンタ No.1 およびサイクル・カウンタ No.2
(,)	アドレス・カウンタ, サイクル・カウンタ No.1 およびサイクル・カウンタ No.2

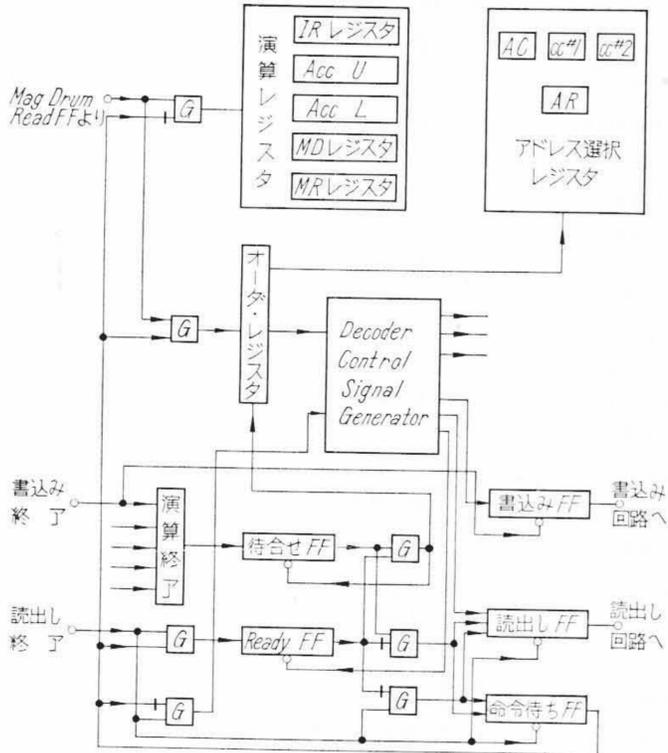
るとか、四捨五入するとかいった命令の場合には、この③の操作は省略されて、ただちに④の操作にうつる。ここで命令が実行され、操作の完了が確認されると、次の命令を読み出すべく、アドレス・カウンタ (命令逐次制御カウンタ) を一つふやしておく。これで One Program Step 進んだことになり、つぎに $n+1$ の命令が読み出さ

第 3 表 Instruction Codes of HIPAC-101

Instructions	Description of the operation	
$n \ x \ A$	Addition	$C(\text{Acc})+C(n, x) \rightarrow \text{Acc}$
$n \ x \ XA$	Addition	$C(n, x) \rightarrow \text{Acc}$
$n \ x \ B$	Subtraction	$C(\text{Acc})-C(n, x) \rightarrow \text{Acc}$
$n \ x \ XB$	Subtraction	$-C(n, x) \rightarrow \text{Acc}$
$n \ x \ D$	Division	$\{C(\text{Acc})+C(n, x)\}/C(\text{MD}) \rightarrow \text{Acc}$
$n \ x \ XD$	Division	$C(n, x) / C(\text{MD}) \rightarrow \text{Acc}$
$n \ x \ C$	Division	$\{C(\text{Acc})-C(n, x)\}/C(\text{MD}) \rightarrow \text{Acc}$
$n \ x \ XC$	Division	$-C(n, x) / C(\text{MD}) \rightarrow \text{Acc}$
$n \ x \ M$	Multiplication	$C(\text{Acc})+C(n, x) \times C(\text{MD}) \rightarrow \text{Acc}$
$n \ x \ XM$	Multiplication	$C(n, x) \times C(\text{MD}) \rightarrow \text{Acc}$
$n \ x \ N$	Multiplication	$C(\text{Acc})-C(n, x) \times C(\text{MD}) \rightarrow \text{Acc}$
$n \ x \ XN$	Multiplication	$-C(n, x) \times C(\text{MD}) \rightarrow \text{Acc}$
$n \ x \ F$	Transfer	$C(\text{Acc}) \rightarrow (n, x)$
$n \ x \ XF$	Transfer	$O \rightarrow \text{Acc}, O \rightarrow (n, x)$
$n \ x \ H$	MD Set	$C(n, x) \rightarrow \text{MD}$
$n \ x^0 \ E$	Jump	Jump to (n, x^0) if $C(\text{Acc}) \geq O$
$n \ x^1 \ E$	Jump	Jump to (n, x^1) if $C(\text{MD}) \geq O$
$n \ x^0 \ XE$	Jump	Jump to (n, x^0) always
$n \ x^1 \ XE$	Jump	Jump to (n, x^1) if Acc overflows and overflow switch is set
$n \ x^0 \ G$	Jump	Jump to (n, x^0) if $C(\text{Acc}) < O$
$n \ x^1 \ G$	Jump	Jump to (n, x^1) if $C(\text{MD}) < O$
$n \ x \ J$	Jump	Jump to (n, x) if counting is incomplete
$n \ x \ XJ$	Jump	Jump to (n, x) if counting is complete
$n \ x^0 \ XH$	Arithmetic on MD	$C(\text{Acc})+C(\text{MD}) \rightarrow \text{Acc}$
$n \ x^1 \ XH$	Arithmetic on MD	$C(\text{Acc})-C(\text{MD}) \rightarrow \text{Acc}$
	Independent of (n, x)	
$n \ x \ I$	Arith. of Address Modif.	cycle counter $[(n, x)]$ set
$n \ x^0 \ XI$	Arith. of Address Modif.	$C(\text{Acc})+[(n, x^0)] \rightarrow \text{Acc}$
$n \ x^1 \ XI$	Arith. of Address Modif.	$[(n, x^1)] \rightarrow \text{Acc}$
$n \ x^0 \ K$	Shift	$C(\text{Acc}) [(n, x^0)] \bmod 64$ Right shift
$n \ x^1 \ K$	Shift	$C(\text{MD}) [(n, x^1)] \bmod 64$ Right shift
$n \ x^0 \ L$	Shift	$C(\text{Acc}) [(n, x^0)] \bmod 64$ Left shift
$n \ x^1 \ L$	Shift	$C(\text{MD}) [(n, x^1)] \bmod 64$ Left shift
$n \ x^0 \ O$	Arith. of Absolute value	$C(\text{Acc})+ C(n, x^0) \rightarrow \text{Acc}$
$n \ x^1 \ O$	Arith. of Absolute value	$C(\text{Acc})- C(n, x^1) \rightarrow \text{Acc}$
$n \ x^0 \ XO$	Arith. of Absolute value	$ C(n, x^0) \rightarrow \text{Acc}$
$n \ x^1 \ XO$	Arith. of Absolute value	$- C(n, x^1) \rightarrow \text{Acc}$
	Always deal with long words	
$n \ x^0 \ XL$	Logical Operation	Collate of $C(\text{Acc})$ and $C(n, x^0) \rightarrow \text{Acc}$
$n \ x^1 \ XL$	Logical Operation	Collate of $C(\text{MD})$ and $C(n, x^1) \rightarrow \text{Acc}$
$n \ x^0 \ XK$	Type or perforate	Type or perforate $C(\text{Acc})$ or letter in decimal form
$n \ x^1 \ XK$	Type or perforate	Type or perforate $C(n, x^1)$ 10 digits in hexadecimal form
$n \ x^0 \ XS$	Stop	Tape reader start
$n \ x^1 \ XS$	Stop	Read one character from Reader
$n \ x^1 \ S$	Stop	Ineffective, proceeds next order, if half switch is set, machine stops
	$(n, x) \rightarrow C(\text{AC})$	
$n \ x^0 \ S$	Round off	$C(\text{Acc})+2^{40-(n, x^0)} \rightarrow \text{Acc}$, and the lower order bits are cleared



第 5 図 自動計算機 (Single Address Code) のループ



注 FF はフリップフロップ (あるいは保持回路)
G は ゲート

第 6 図 HIPAC-101 の制御回路ブロック図

れて次の Program Step がはじまる。命令が命令の順序を変更するやうなとび越命令の場合には、④の期間に“n”が新しい数に書き換えられて、⑥をとばして①にもどる。

このような万能計算機に必要な最小限の機能は、

- (1) 数値を任意のアドレスに書込む命令
- (2) 2 数の間の減算の命令 (普通 Acc レジスタから任意のアドレスの数値を引く)
- (3) ある条件のもとにおける命令の順序の変更 (普通 Acc レジスタの数値の正、負がこの条件に用いられる)

の 3 つであることが知られている。この組み合わせによって、あらゆる論理操作が行われる。第 5 図のループにおいて、数値の書込み (transfer) 命令の場合は③が省略され、④で記憶装置への書込みが行われる。

第 6 図に HIPAC-101 の制御回路のブロック・ダイアグラムを示す。図では補助的な部分はすべて省略してある。磁気ドラムから読出された Word は数値であるか、

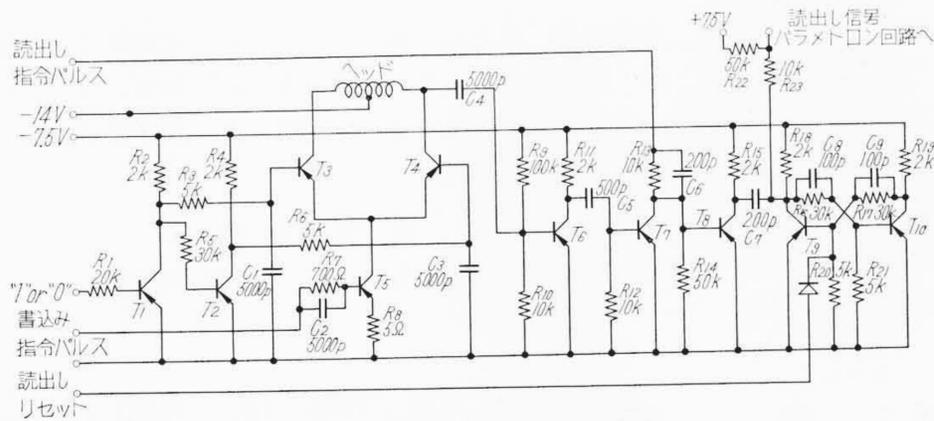
命令であるかがゲートされ、数値の場合は演算レジスタ回路へ、命令の場合は Order Register へ送られる。つぎに行うべき命令が、すでに Order Register に入っているときには、Ready FF が+にたおれており、演算開始によって待合せ FF が+にたおれると、ただちに Order Register の内容が Decoder にうつされ、解読される。その結果、数値の読出しが必要ならば読出し FF が+にたおされ、書込みが必要なら書込み FF が+にたおされ、ともにドラムの制御回路に信号が行く。書込みの場合は書込み操作の終了がただちに演算終了となり、次の Program Step にうつる。読出しの場合は、読出し終了の信号で Control Signal Generator 回路が働いて、各レジスタに制御信号を送る。ここで、命令は偶数番地とその次の奇数番地と同時に読出されて Order Register に入るので、奇数番地の命令が解読されると同時に、Ready FF (これは次の命令がすでに Order Register に用意されているか否かを記憶する) がリセットされる。そして、この奇数番地の命令の Operand が読出されるか、あるいは書込みが行われるかして、記憶装置が Free になると、次の命令を読出すべく、命令 FF と、読出し FF とが+にたおされる。数値が読出された場合には、その演算終了を待たずに、演算操作と並行して次の命令読出しの操作が行われる。したがって、自動演算のループが一部分だぶって実行されていることになる。

4. 記憶装置

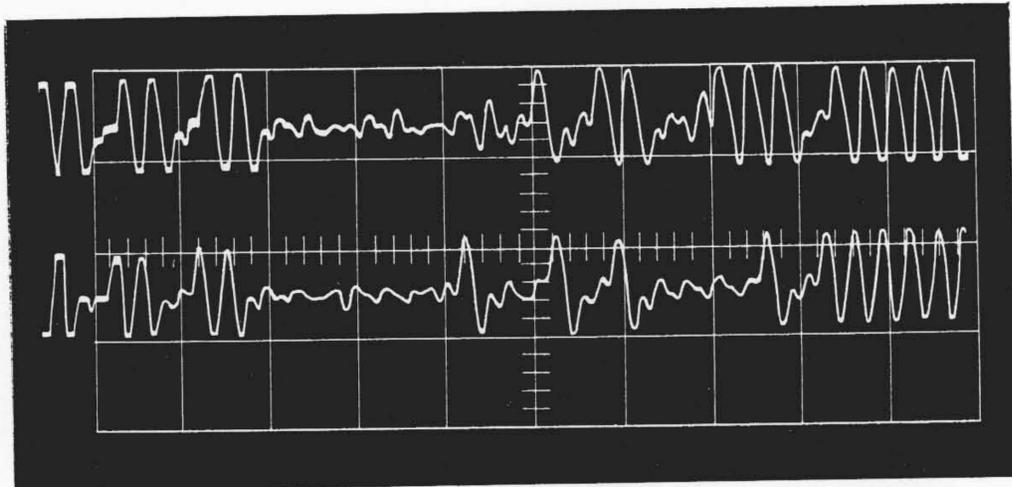
第 7 図にトランジスタ化された各チャンネルの読出し書込み回路を示す。40 けたの計算機であるから、この回路が 40 個あり、それぞれ 1 枚のプリント板に配線されている。制御方式は HIPAC-I のそれとまったく同じなので説明を省略するが、これらの 40 組の回路が並列に働く。

磁気ヘッドはトラック幅 1 mm、50T×2 の巻線で、50T のインダクタンスは約 100 μH であり、150 kc のインピーダンスは 90 Ω になる。書込みには、10 A T の磁場を必要とし、50T の巻数の場合は 200 mA 流さねばならないが、HJ-55 では逆耐電圧の関係から、ぎりぎりのところで、2.5 μs のパルスをできる限り鈍らせている。

書込み、再生の方法は Return Zero-Two-Level Method であって、はじめにトラックの全周にわたって一様に -Br に磁化しておく。これにはヘッドに一方方向に直流電流を流さねばならないが、書込みのトランジスタは低い Duty でないと働かせられない。このため、パラメトロンから送られてくる各ビットの信号を 0 にしておき (つまり、累算器をクリヤーしておく)、スイッチを倒すと 2 kc の Multi-Vibrator が働き、この出力が微分されて書込み指令パルスとして各チャンネルに加わるよ



第7図 読み出し書き込み制御回路



横軸 20 μ s/div, 縦軸 5V/div

第8図 増幅器再生波形のオシログラム

うになっている。1/100程度のDutyで書き込み電流が流れることになる。

全チャンネルの制御回路も、すべてトランジスタ化している。この中で、負荷の大きいトランジスタは読み出し指示パルスと、書き込み指示パルスを流すトランジスタであるが、これは40けたのUpper 20けたと、Lower 20けたとに分けて、それぞれ HJ-55 1本のエミッタ・フォアで Drive している。電圧が低く、電流が大きいので、配線のインダクタンスがかなりきいてくる。

第8図に増幅器から読み出された再生波形のオシログラムを示す。増幅のトランジスタ T₁ (第7図) のコレク

タをみた波形で、T₁ の特性によってクリップの具合がかなり異なり、振幅にもばらつきがみられる。2現象のオシロスコープで観測したもので、それぞれ累算器の何けた目に対応し、実際に書込まれたテスト・プログラムをみている。

5. 結 言

この計算機は、試作の決定をみたのが33年4月で、試作開始後、約7箇月の12月に最初の計算を行った。HIPAC-Iを原形とし、これにいくらかの改良を加えたものだけに、設計期間は約2箇月であったが、箱体、配線などを製品化の立場から本格的に行ったので、思わぬ手数がかった。原形がある場合には、工場で製作する場合、大体6箇月で設計から総合調整まで完了できるものと思われる。

計算機のシステムは、これが一度実用化された場合、改良を加えるのはきわめて困難である。それは既存のプログラムを利用しにくくなることと、プログラムに際して頭の切り換えを必要とすることによる。

HIPAC-101 においても、HIPAC-I の経験からいろいろ改良したい点があったが、使用上の立場から考えて、変更を最少限度にとどめた。メーカーの立場としては、一度製品化した

ものについては、少なくとも2年くらいは同じ設計図を採用し、アイデアは蓄積しておいて一度に大幅に設計変更すべきで、一台ごとに少しずつ仕様の異なる計算機をつくることは、保守、アフタ・サービスの立場からも好ましくない。

本文を草するに当り、本機の試作に多くの助言を与えていただいた電気通信研究所喜安次長、論理設計と磁気ドラム記憶装置について討論をしていただいた同所室賀、川又両氏に厚くお礼申しあげる。また、試作研究に際し、ご激励ご鞭撻を賜った日立製作所通信事業部のかたがた、また意匠の立場から箱体の外観の設計をご分

担いただいた意匠研究所のかたがた、製作に際して、全面的にご協力くださった日立製作所戸塚工場大森部長、久米副部長、岩間課長、コンピュータ設計および無線製作課のかたがたに厚くお礼申しあげる。研究に際して終始、ご支援、ご鞭撻賜った日立製作所武蔵工場工場長菊田博士、ならびに中央研究所副所長浜田博士に心からお礼申しあげる。また論理設計、製作にご協力いただいた

安藤主任、井立田、藤中研究員、日立電線株式会社岩上第一研究課員、ドラムの設計製作にご指導いただいた明山部長、設計を担当された近藤主任、御子柴研究員に厚くお礼申しあげる。

参 考 文 献

- (1) 萱島, 高田, 島田: 日立評論 別冊 No. 27 p. 71 (昭 33-11)

製 品 紹 介

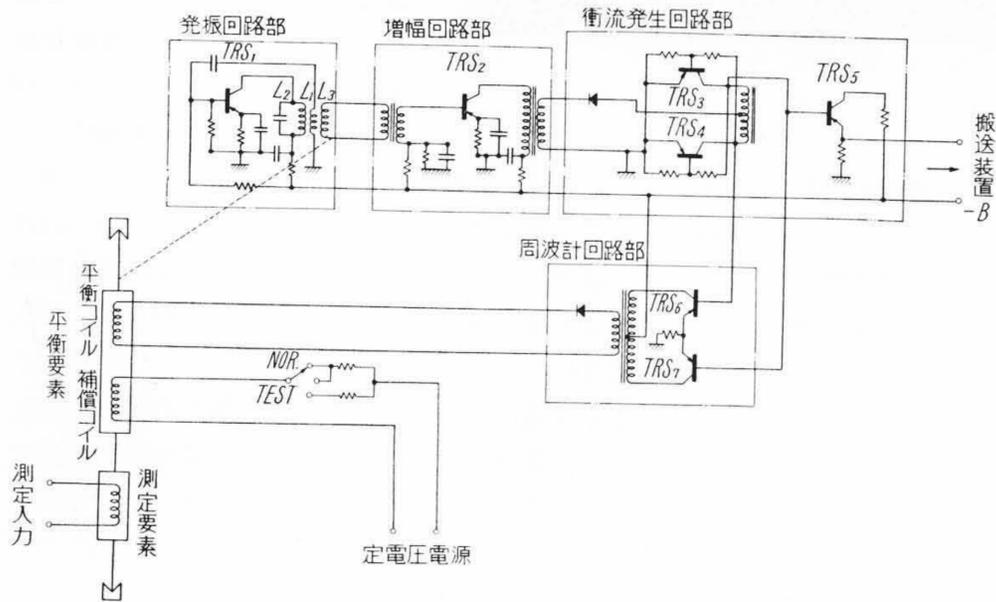
TFS 形 搬送式 トランジスタテレメータ

TFS 形 搬送式トランジスタテレメータを完成し、東北電力株式会社殿の御好意により、長崎変電所山形給電指令所間において現地試験を行い、好調に運転されている。

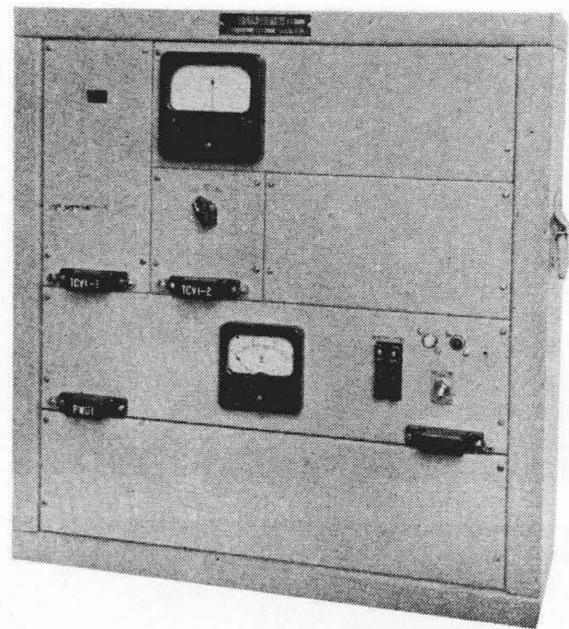
本装置の特長とするところは、トルクバランスの測定原理を利用して、電源電圧などの内部擾乱を受けることなく測定することが可能であり、従来使用されていた真空管を、半永久的な、小形堅牢なトランジスタにおきかえ、かつ接点摩耗をもった有極リレーを、トランジスタと特殊な鉄心におきかえ、寿命接点摩耗の問題点を解決するとともに、トランジスタの欠点である温度影響についても考慮をはかり、安定かつ高精度の測定が可能なるよう設計製作されている点である。

第 1 図に示すように、送量変換器を大別すると、メータ機構部とトランジスタ回路部より構成される。

測定要素に測定入力がかかると、測定入力に対応したトルクを発生し、可動軸に取りつけられたピックアップコイル L_3 が移動し、発振回路よりの誘起電圧が変化す



第 1 図 送量変換器動作原理図



第 2 図 送量変換器

る。これを増幅整流して衝流発生回路に加え、衝流周波数に変換する。この衝流波形を搬送装置の変調器に加えると同時に、周波計回路を駆動して衝流周波数に比例した直流電流に変換する。この直流電流をメータ機構部の平衡要素に加え、測定入力トルクと逆方向のトルクを発生させ、両トルクが平衡した点でピックアップコイルが静止するので、平衡状態においては被測定量にまったく対応した衝流周波数に変換されることになる。

受量変換器は、送量変換器の周波計回路とまったく同様の原理によって、搬送装置の復調器より受けた衝流周波数に比例した直流電流に変換して指示計または記録計に指示させるものである。

本装置を利用することによって、電力、無効電力、電圧、電流、温度、流量、回転数、運転順序などを遠隔地に指示させることが可能である。