

パラメトロン素子 (その2)

— 2 周 波 メ モ リ —

Parametron

(Core Memory Using the Method of Writing with 2 Alternating-Currents)

中 山 登* 萬 代 博 亮*
Noboru Nakayama Hirotsuke Mandai

内 容 梗 概

パラメトロン演算素子に併用する記憶装置としては2周波メモリは有望なものの一つである。ここではその原理について簡単に触れ、それに使用するコアの特性ならびに駆動回路の検討結果について述べる。

1. 緒 言

前述のようにパラメトロンはすぐれた論理素子であり、計算機、電子交換機、そのほか多くの数値制御装置に使用されている。これら論理演算を行う装置においては、記憶装置が必要なことは改めて論ずる必要もないことであろう。この記憶装置としてはパラメトロンの特長、すなわち長寿命であることおよび信号が交流であることにマッチしたものが望まれる。現在多くのパラメトロン装置には磁気ドラムが使用されているが、長寿命という点でおとる。そのため新しいパラメトロン用記憶装置として、遅延線路、強磁性体および強誘電体が研究され、この中から生れたものが2周波メモリである。これは東京大学高橋研究室で開発されたものでパラメトロンの特長を十二分に利用したものであり、すでに日立製作所が電気通信研究所に納入した電子3Z装置、東京大学の計算機PC-1、の計算機M-1およびCAMAなどに実用されている現状である。以後このすぐれた記憶装置(2周波メモリ)の原理、回路方式、その特性などについて簡単に述べる。

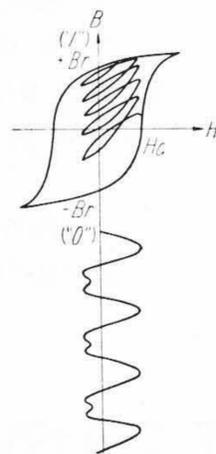
2. 2 周 波 メ モ リ の 原 理

2周波メモリは強磁性体あるいは強誘電体の残留分極を利用するものであるが、実用化されているものは強磁性体だけで強誘電体のはまだ実用化されていないから、ここでは強磁性体の場合についてのみ述べる。強磁性体は第1図に示すように磁束履歴特性をもち、正負の残留磁束+Br、-Brをそれぞれ“1”、“0”に対応させ1ビットの情報を蓄積しうる。通常パルスコアメモリは“1”、“0”の書込み読出しにパルスを使用するが、2周波メモリではこれを交流で行うものである。まず書込みに際してはコアを上下非対称の電流波形で励磁すると第1図に示すような経路をたどって、コアは一方向に磁化される。また“1”から“0”を書込むためには第1図と逆極性の非対称電流波形で励磁すればよい。したがってパラメトロンの信号と書込み内容を結合するにはパラメトロン信号が

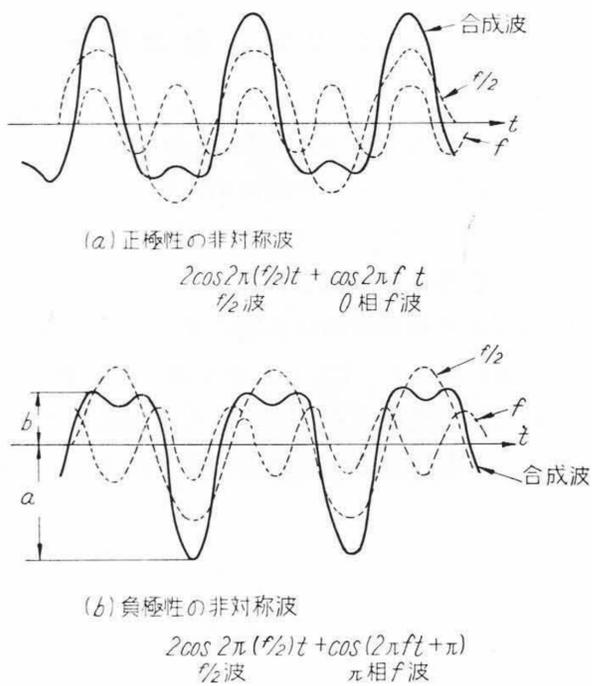
* 日立製作所戸塚工場

0相か π 相かによって互に逆極性の非対称波が得られればよい。このためにはパラメトロンの発振周波数を f とすれば、その半分の周波数 $\frac{f}{2}$ の正弦波とパラメトロン信号とを適当な位相と振幅比で重畳すればよい。第2図に f 波と $\frac{f}{2}$ 波との位相関係および f 波の位相が180度異なると非対称波の極性が逆転する様子を示す。したがって f 波をパラメトロン信号にすれば、パラメトロンが0相で発振するか、 π 相で発振するかによって、コアは“1”または“0”に磁化される。

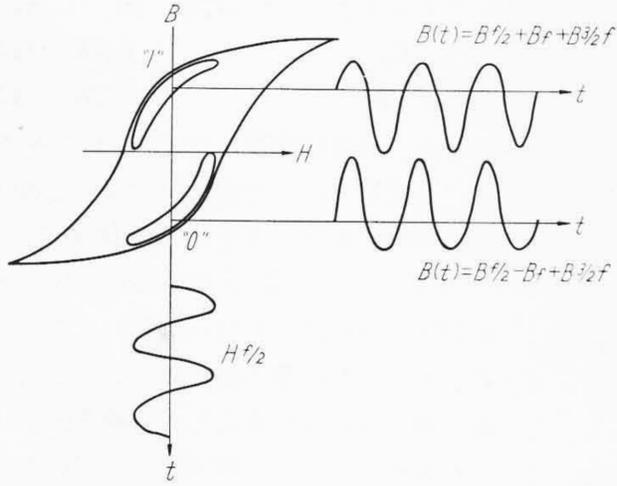
次に読取り方法について述べる。“1”または“0”に磁化されているコアを対称交流波で励磁すると履歴特性が非線形であるからその



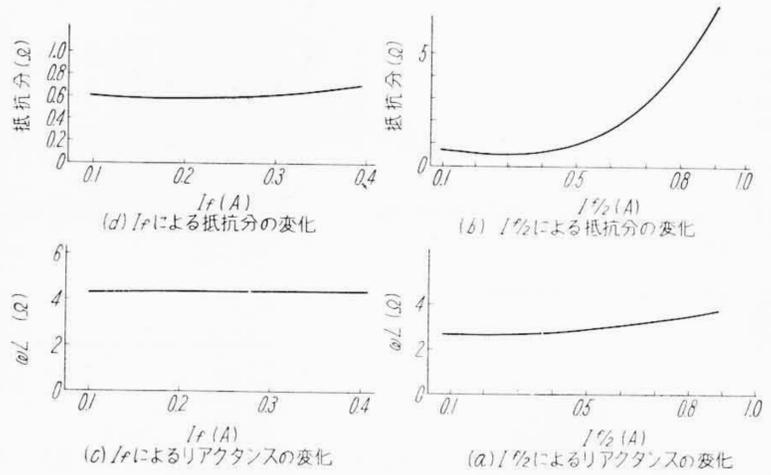
第1図 2周波メモリの原理



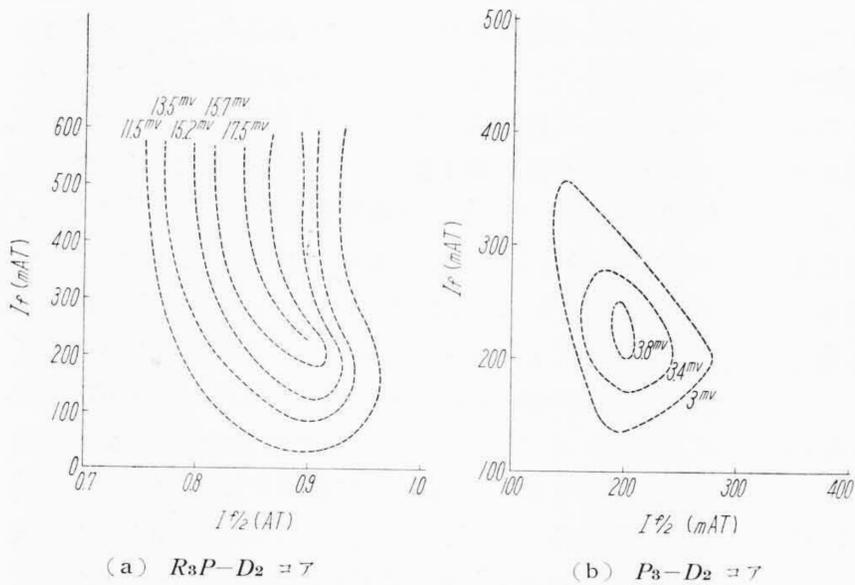
第2図 f 波と $\frac{f}{2}$ 波を重畳したときの非対称波形非対称度 $=\frac{a}{b}=2$



第3図 読出し方法説明図



第5図 R_3P-D_2 コアのインピーダンス(コアの数50個)



第4図 $I_f, I_{f/2}$ を変化した場合の等出力線図

出力波形はひずんでいる。そのひずみ波形の第二次高調波成分をとってみるとコアの磁化状態が“1”であるか“0”であるかによって第3図に示すようにちょうど180度位相が異なっている。2周波メモリではこの第二次高調波の位相によりコアの記憶内容を識別するのである。したがって対称励磁電流の周波数を $\frac{f}{2}$ とすれば、コアの記憶内容は周波数 f の位相で識別される。これをそのままパラメトロンの入力信号とすることができる。この場合重要なことは、読取りに対称波形を用いるため小さい励磁電流では磁化の状態が変わらない。つまり非破壊読取り方式であることである。以上のように書込みには f 波と $\frac{f}{2}$ 波を適当な位相および振幅比で重畳してコアを励磁し、読取りには $\frac{f}{2}$ 波でコアを励磁すればよいのである。

3. 2周波メモリ用コアの特性

書込みの時に、 f 波と $\frac{f}{2}$ 波とを重畳したとき非対称度(非対称波形の正方向の尖頭値と逆方向の尖頭値との比)が最も高いのは位相が第2図に示した位相関係、すなわ

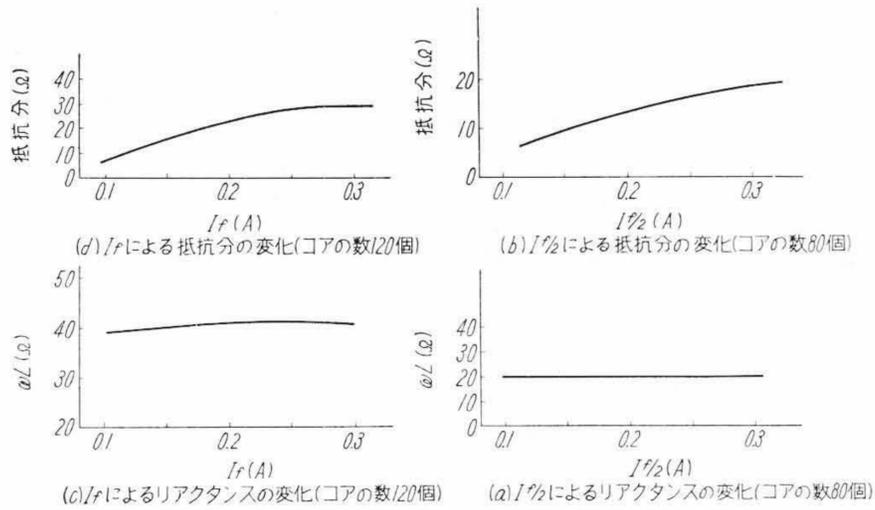
ち f 波と $\frac{f}{2}$ 波のピークの時間が一致して振幅比が $I_f : I_{f/2} = 1 : 2$ の時であり、この時非対称度は2となる。また読取りに使用する $\frac{f}{2}$ 波は、読取出力が大きく、非破壊読取りができるような値を選ぶべきである。したがって書込みに使用する $\frac{f}{2}$ 波と読取りに使用する $\frac{f}{2}$ 波は一般に共用するから $\frac{f}{2}$ 波の振幅は書込み、読取りそれぞれに最適にすることはできず、コアにより適当な値を選ばなければならない。 f 波は $\frac{f}{2}$ 波に対し定められた時間内に十分書込みが完了するように選び、位相は最適の状態にする。駆動電流はこのように定められるが、最も主要な因子であるコアは外径が 2 mm のトロイダルフェライトコアが最も広く用いられる。現在2つの系統のものが使用され、1つは角形ヒステレシス、ほかの1つはパラメトロン用のものである。それ

ぞれの代表的なコアとして R_3P-D_2 (東京電気化学の名称。Mn-Mg系昭和33年10月入手)、 P_3-D_2 (東京電気化学の名称。Cu-Zn系昭和33年4月入手)の出力特性を第4図に示す。周波数 $f = 1\text{ Mc}$ 、書込み時間を $100\mu\text{s}$ の場合の駆動電流に対する読取電圧を求めた結果が第4図(a)、(b)である。この図から最大出力電圧をうる電流は

$$R_3P-D_2 \quad I_{f/2} = 900\text{ mA} \quad I_f = 200\text{ mA}$$

$$P_3-D_2 \quad I_{f/2} = 180\text{ mA} \quad I_f = 220\text{ mA}$$

程度で最大出力電圧は、 R_3P-D_2 17.5 mV、 P_3-D_2 4 mV となる。以上の出力電圧は読取り始めの値であり何回も読取ると交流減磁されて出力が減少するが、約300サイクル読取ると一定値に落ちつく。この時の出力電圧は R_3P-D_2 15 mV、 P_3-D_2 2.8 mV となり減少の割合は R_3P-D_2 が14%、 P_3-D_2 が30%となり、 R_3P-D_2 のほうが小さい。次にコアのインピーダンスは R_3P-D_2 コアと P_3-D_2 コアとでどのように異なるであろうか、実



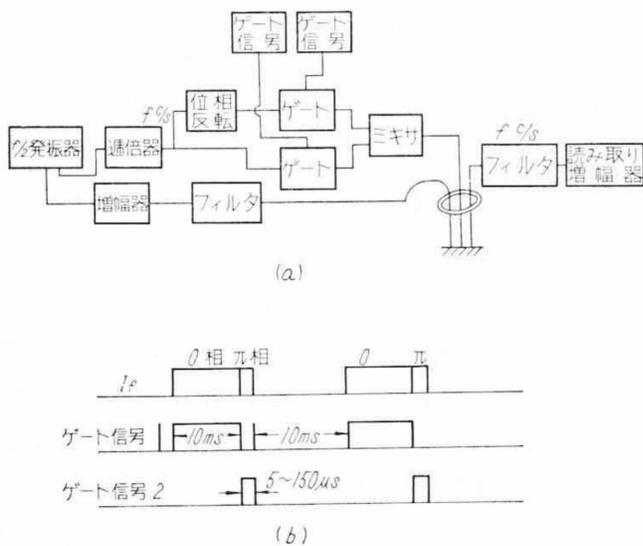
第6図 P_3-D_2 コアのインピーダンス

測値を第5図(a)から(d)および第6図(a)から(d)に示す。リアクタンス分は R_3P-D_2 コア、 P_3-D_2 コアとも電流値によりほとんど変化しないが、抵抗分は電流値によりかなり変化し、ヒステレンス曲線から予想されるように R_3P-D_2 コアではある電流値以上で急激に増加する。なおインピーダンスは残留磁束の値により(つまり書き込みの“深さ”によって)変化するが、いずれの場合も大きな変化は見られなかったので、平均値のみを図示してある。このインピーダンスからコアで消費される電力を求めてみると、コア1個あたり

$$P_3-D_2 \quad 6.0\text{mW} (I_{f/2} \text{によるもの}) \quad 10\text{mW} (I_f \text{によるもの})$$

$$R_3P-D_2 \quad 80\text{mW} (I_{f/2} \text{によるもの}) \quad 0.5\text{mW} (I_f \text{によるもの})$$

となり $I_{f/2}$ による消費電力は R_3P-D_2 コアのほうが大きい、 I_f による消費電力は P_3-D_2 コアのほうが大きい。したがってアドレスの数が多くなればなるほど R_3P-D_2 コアのほうが消費電力の点からは有利だといえる。具体的な例として1語40ビットでアドレス数が16と64の場合について消費電力を求めてみると



第7図 書き込み時間測定器

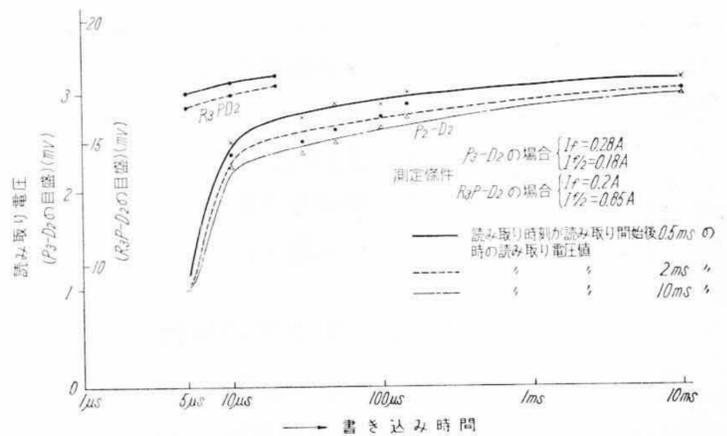
アドレス数\コアの種類	16	64
P_3-D_2	6.6W	25.8W
R_3P-D_2	3.5W	4.5W

となる。最後に問題となるのは速度であり、2周波メモリで速度を制限するのは、書込時間である。すなわち +Br から -Br へ(あるいはその逆)非対称磁界を何サイクルかけなければならないかということである。そのために第7図に示すような装置で最小書込み時間を測定した。第7図(a)はこの装置のブロック図であり、(b)はそのタイムチャートである。まずコアを10msの間十分深く“0”を書込み、その後続いて

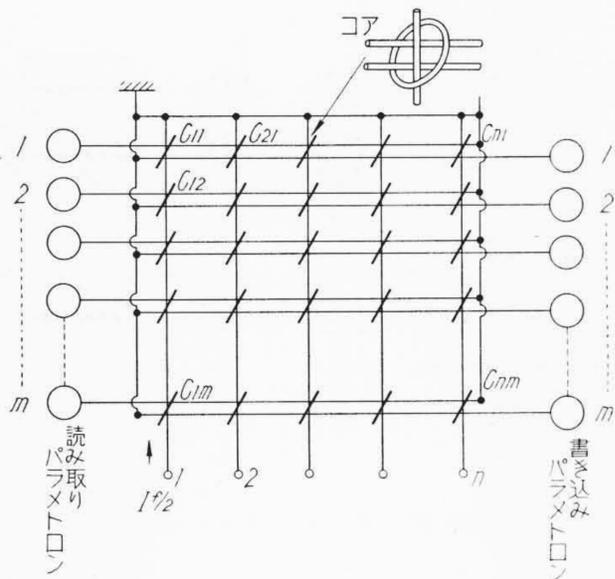
“1”をある短い時間だけ書き込む。その後10msの間書込みは行わず読取りのみ行うのであるが、“1”を書込む時間を短くして行き、読出し出力電圧が減少し始める時間をもって最小書込み時間とする訳である。この方法で測定した結果を第8図に示す。電流値は、“1”書き込み時間が $150\mu\text{s}$ のときの最適電流値で、 $I_f=0.35\text{A}$ 、 $I_{f/2}=0.18\text{A}$ である。ただし使用したコアは新しい P_3-D_2 コア(昭和34年2月入手)であるから、最適電流は第4図に示したものと異なっている。この図からわかるように最小書込み時間は約 $10\mu\text{s}$ である。 R_3P-D_2 (昭和34年2月入手) コアについても同様な測定を行った結果も第8図に示すとおりで、書込み時間が $5\mu\text{s}$ になっても十分書込んでいることが判明した。したがって使用可能な最高速度は、パラメトロン励振周波数 2Mc、変調度を Duty 50% とすると、 P_3-D_2 コアでは約 50kc、 R_3P-D_2 コアでは 100~200kc となる。

4. マトリックスの編み方と記憶装置駆動方式

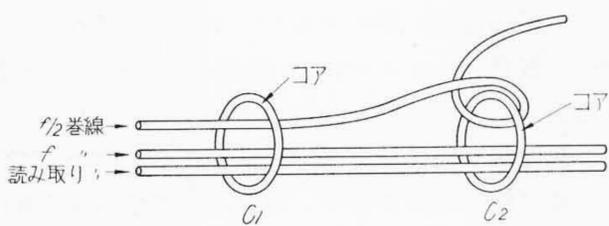
2節で書込み、読取り方法について述べたが、実際にはこのコアをマトリックスに編んで使用するから、その中から特定のコアを選んで書込み、読取りを行わねばな



第8図 書込時間に対する読取電圧の変化



第9図 コアマトリックスの編み方



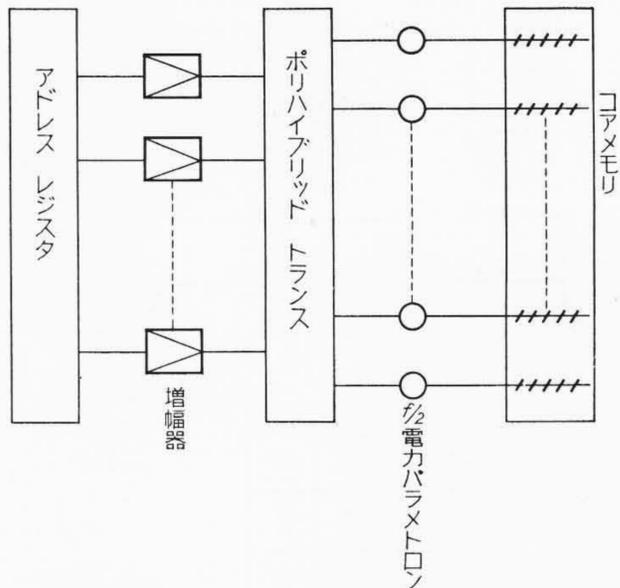
第10図 ビット2個のコアを使用するときの巻き方

らない。

これには第9図に示すように行に f 波, 列に $\frac{f}{2}$ 波を流せばよい。たとえば i 列に $\frac{f}{2}$ 波 j 行に f 波を流すとコア C_{ij} が選ばれ書込みが行われる。コア C_{ij} の内容を読取るには, i 列に $\frac{f}{2}$ 波を流せばよい。この時は i 列全部のコアが読取られることになる。 $n \times m$ のマトリックスのうち1個だけ選択するより, i 列にあるコア全部を同時に書込み, 読取りを行うのが普通である。1ビットのみ選択したい場合には, パルスコアメモリのように $I \frac{f}{2}$ の電流一致方式を使うこともできるが, 3周波法を使用するほうがすぐれている。3周波法は, $f_1 = \frac{2}{5}f, f_2 = \frac{3}{5}f$, と f の3種の周波数を使用し, f_1, f_2, f の3種の波が重畳した時のみ磁化が行われ, f_1, f_2 の2つの波が重畳した時のみ周波数 f の読取り成分が出るというものである。

しかし, 記憶装置においては, 1ビットのみ書込み, 読取りを行うことはなく, 必ず何ビットかを同時に書込み, 読取りを行うから, 1ビットのみ選択する必要はなく, 第9図に示した選択方法を採用してもなんらさしつかえない。

次に読取り巻線は, アドレス数だけのコアを直列に通し, 読取パラメトロンに結合すればよい。読取電圧としては, 基本波成分 $\frac{f}{2}$ があるが, 読取りパラメトロンは大体周波数 f に同調しているので, 読取りパラメトロンに伝送されるのは, ほとんど第二次高調波成分 f のみである。



第11図 パラメトロンの発振を制御する方式

しかし, 基本波成分は除去されるが, 記憶面内で生ずる第2次高調波成分 f の雑音が問題となる。これは第9図のような構造において n 個の回線の中の1つだけが選択された場合に, ほかの $n-1$ 個の回線に流れる漏えい電流によって生ずる f , あるいは選択された $\frac{f}{2}$ 電流の中に含まれる第二次高調波 f の直接の漏えいなどが考えられる。このために, 先に電気通信研究所の仕様に製作した電子ZZZ装置では $\frac{f}{2}$ 波のひずみがあっても, 読取り巻線には一次的な結合がないように1ビット2個コアを用いて, 第10図のように $\frac{f}{2}$ 用巻線と読取り巻線とは直交させてある。しかし R 材を用いる場合は前述のように $\frac{f}{2}$ の駆動電力が大きくなるので, 1ビット1個としている。この場合は $\frac{f}{2}$ 波の第二次高調波の含有量を少なくする必要がある。後述の $\frac{f}{2}$ 駆動回路においても逕波器を挿入している。

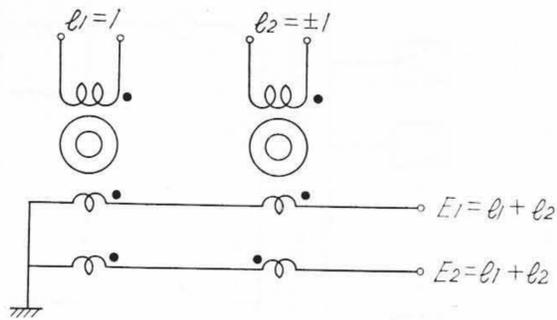
5. $\frac{f}{2}$ 駆動回路

第9図に示したマトリックスの編み方では, メモリーの一番地を指定するという事は, いくつかの $\frac{f}{2}$ 巻線のうちから1本の巻線を選んで, それに $\frac{f}{2}$ 電流を流すということである。 $\frac{f}{2}$ 電流は R_3-D_2 材の場合は $0.85A$ という大きい電流をながすので, これを能率よくゲートするのはかなりむずかしい問題でいろいろな方法がとられている。2~3つの方法について簡単に説明する。

(イ) パラメトロンの発振を制御する方法

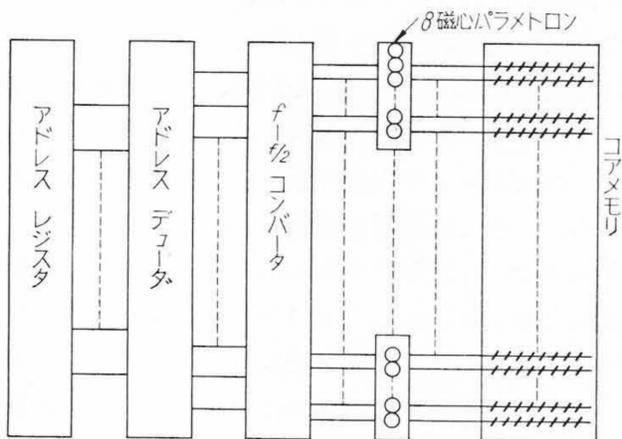
これは東大 PC-1 で採用されたもので, ブロックダイアグラムは第11図のとおりである。

これは周波数 $\frac{f}{2}$ で発振する電力パラメトロンを各番地に1個ずつおき, 励振電流を変化することによりパラメトロンの発振を制御しようとするものである。励振電流は交流と直流とが重畳したものであり, 交流電流を変化してもよいし, 直流電流を変化させてもよいが, 装置速度の点では交流電流を変化させるほうがす



l_1	l_2	E_1	E_2
1	-1	0	2
1	1	2	0

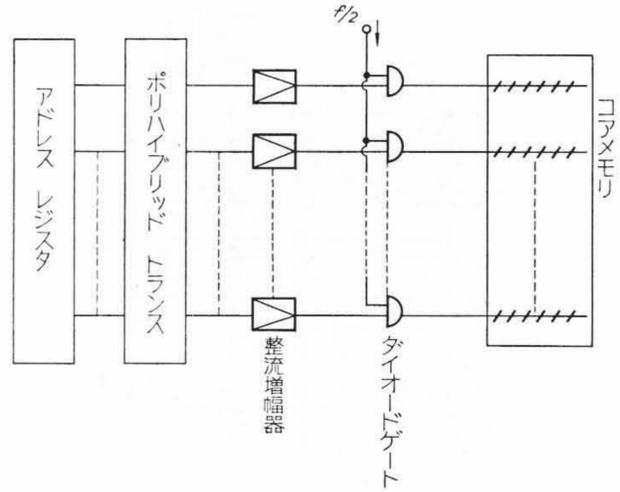
第12図 ハイブリッド・トランス



第13図 複合パラメトロンを使用する方式

ぐれている。またアドレスデコーダにはポリハイブリッドトランスを使用している。

ポリハイブリッドトランスというのは、たとえば第12図の例について説明すると、入力信号が $e_1=1, e_2=-1$ の場合には E_2 という出力巻線には出力が現われるが、 E_1 という出力巻線には出力が現われない。 $e_1=1, e_2=1$ の場合には逆に E_1 に出力が現われ、 E_2 には現われない。このコアの数2を多くしたのがポリハイブリッドトランスで、一般にN個のコアに対してM本の出力巻線は、それぞれ巻方向の組合わせが異なっている。したがって入力信号のある組合わせに対して、特定の出力巻線に大きい出力が現われ、ほかの出力巻線には小さい出力しか現われない。(第12図では選ばれない出力巻線は出力が0であるが、出力巻線数Mが入力信号Nよりも大きい時は選ばれない巻線にも小さい出力が現われる) このようにポリハイブリッドトランスは位相で区別されるパラメトロン信号をデコードして、振幅の信号を出力とする場合には便利である。



第14図 ダイオードゲート方式

なおポリハイブリッドトランスは入力信号の誤りを訂正する機能を持ち、またN個の入力のエネルギーを選ばれた出力巻線に集中するという特長がある。

(ロ) 複合パラメトロン(8磁心パラメトロン)を使用する方式

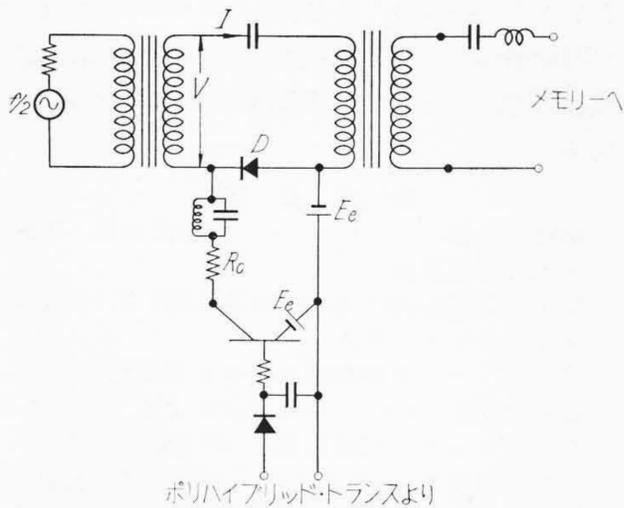
これは電気通信研究所で開発されたもので、ZZZ装置に使用した方法であり、周波数 $\frac{f}{2}$ で発振する8磁心パラメトロンの各巻線をメモリの $\frac{f}{2}$ 線に接続するものである。方式図を第13図に示す。この場合は8磁心パラメトロンの選択すべき巻線にタネを入れて発振させればよいから、アドレスデコーダはパラメトロンの論理演算と同様である。したがってパラメトロンの発振制御信号は大電力を必要としないから、この点では有利であるが、周波数 f のパラメトロン信号から周波数 $\frac{f}{2}$ の発振制御信号をつくらなければならないことおよび安定な8磁心パラメトロンの製作が困難なことが難点である。

(ハ) ダイオードゲート方式

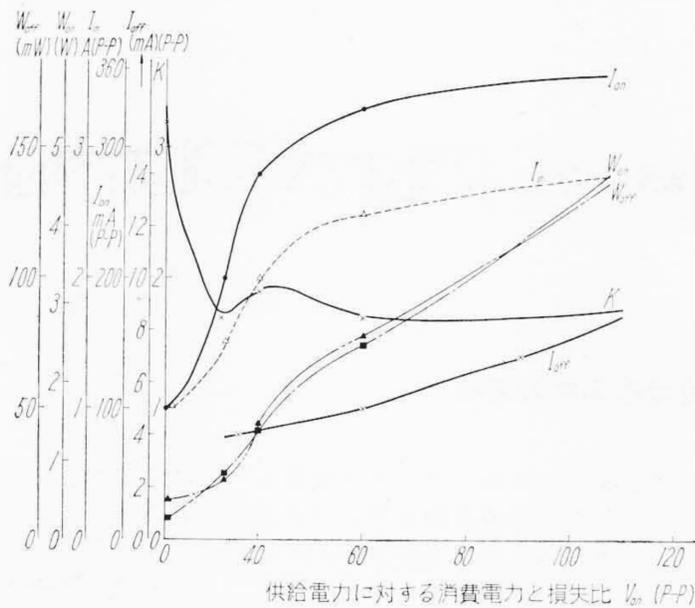
日立製作所ではトランジスタ化を目標に第14図に示す方式の検討を進めた。

これはアドレスレジスタの内容をポリハイブリッドトランスでデコードして、この信号を整流、S/N改善、増幅してゲート信号を作るものである。なおこの回路では第15図に示すように、交流伝送路にコンデンサCとダイオードDが直列に入っているから通常伝送回路はとじている。したがってゲートを開く信号を加えるだけでよく、ゲートをとじるための信号は必要がないという特長がある。そのほかトランジスタの使用が可能であるということ、負荷に供給する電力に比べ、制御回路で消費される電力が、ほかの方式に比べ著しく小さいという利点があるが、一方各アドレスに1個ずつ増幅器が必要であるという欠点がある。以下、パラメトロンの速度 25 kc にて行った実験結果を示す。

第16図にアドレス数64の場合の、制御回路で消費



第15図 ダイオードゲート回路



第16図 供給電力に対する消費電力と損失比

される電力と負荷に供給する電力との比 K を図示した。なお W_{on} , W_{off} および K は次式によって示される。

$$W_{on} = \frac{V_{on}^{(p-p)} \times I_{on}^{(p-p)}}{8}$$

$$W_{off} = \frac{V_{on}^{(p-p)} \times I_{off}^{(p-p)}}{8}$$

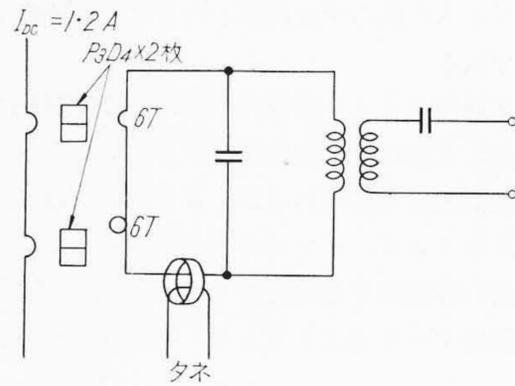
$$K = \frac{W_{on}}{W_{off}}$$

K は、約2という非常に小さい値になる。

6. 書込みパラメトロンおよび読取りパラメトロン

書込みパラメトロンは、所要の f 電流をメモリに流すのに十分な電力をとりうるものでなければならず、読取りパラメトロンは、読出された信号で十分位相引込みができる感度をもたなくてはならない。

われわれは、 R_3-D_2 コアを使用した64語のメモリの



第17図 書込みパラメトロン

書き込みパラメトロンとして、第17図に示すように P_3-D_4 コア4枚のパラメトロンを使用した。メモリへの接続方法としては、電流結合、電圧結合の2つの方法が考えられるが、従来の経験を生かして電圧結合とした。なお、このパラメトロンの励振電流は、 $I_{DC}=1.2 AT$, $I_{2f}=1.0 AT$ である。

読取りパラメトロンは、従来の標準のめがね形パラメトロンを用いた。読取り巻線との結合は電流結合である。

書込みパラメトロンと読取りパラメトロンとを一つのパラメトロンで共用する方法もあるが、読取りパラメトロンの結合減衰量、位相マージンなどを考慮して、われわれは書込みパラメトロンと読取りパラメトロンはそれぞれ専用のものを作った。

7. 結 言

以上述べたように、2周波メモリは、パラメトロンに結合する記憶装置としては有望な方式であり、その特長を要約すれば次のとおりである。

- (イ) パラメトロン信号で書き込みが行われる。
- (ロ) パラメトロン信号として読み出しが行われる。
- (ハ) 非破壊読み出しが行える。

そのほかコアメモリの特長として、

- (ニ) ランダムアクセスであること。
- (ホ) 信号を保持するのにエネルギーを必要としない。
- (ヘ) 素子の寿命は永久的である。

などがある。

現在までのわれわれの検討は、速度も20~30 kcであるが、前述のコアの書込み速度からもわかるように、100~200 kc にするのは容易である。ただし、この場合にはアドレス選択回路をいかにするかが問題で、われわれのダイオードゲート方式でもさらに特性のよいトランジスタが必要であり、よりよい選択方式を考案せねばならない(もちろん真空管を用いれば容易であるが)。

またコアも速度の向上および消費電力の減少などのた

めにフェライトに限らず金属磁心などにも調査研究を進める予定である。

なお、2周波メモリと類似の方式に、交直併用書込み方式がある。これは位相安定度が大きいという利点があり、有望な方式と考えられるが、R材コアを使用した場合はメモリのインピーダンスが小さいから、順方向抵抗のかなり低い整流器を必要とするために困難な点が多く、今後研究すべき方式と考えて、現在まで採用しなかった。

終りに本研究に当り、終始貴重な資料とご指導を賜わった電気通信研究所喜安次長ならびに電子応用研究室、交換研究室の皆様深く感謝する。またご指導ご鞭撻を

いただいた渡辺技師長、日立製作所中央研究所高田部長および日立製作所戸塚工場の関係者各位ならびに終始熱心の実験の労にあたった当課塚田実君、青木久君に厚く謝意を表す。

参考文献

- (1) 高橋, 後藤: パラメトロン用記憶装置, 1956. 2, 電子計算機資料
- (2) 電子計算機における記憶装置, 1957. 7, (昭 32) 電通学会シンポジウム
- (3) パラメトロン用記憶磁心, 東京電気化学資料
- (4) 高橋, 後藤, 富永: 交流方式によるフェライト磁心マトリックス記憶装置, (昭 33) 電気学会
- (5) 大島, 榎本: パラメトロンに結合する記憶方式, 1957. 6, 電子計算機専委資料

特許の紹介

特許第 247373 号

波多野 泰 吉

4極トランジスタの電流増幅率制御方法

4極トランジスタをエミッタ接地で用い、第2ベース電流を変化させれば非常に効果的に電流増幅率を制御できることが知られているが、従来のように単に第2ベース電流を変化させたのではコレクタ電流も変動し大振幅動作をさせる場合には特に困る。この発明はこのような点を改良し第2電流を変化させてもコレクタ電流の変化しない電流増幅率制御方法を得ようとするもので、4極トランジスタの第2ベース電流を変化させて電流増幅率を制御する場合に制御電流の一部を第1ベース電流の制御用として用いることである。

図はこの発明の4極トランジスタの電流増幅率制御方法をリアクタンストランジスタ回路に適用した一例で、1は npn 4極トランジスタ、2はそのエミッタ、3は第1ベース、4は第2ベース、5はコレクタである。6は容量、7~7'は端子、8はコレクタ電流および第1ベース電流を供給するための電源であり、9および10は直流通路を構成する高抵抗である。11は第2ベース電流を与える電源であり、12は抵抗、13は変圧器である。14は信号電源であってこの信号電源14よりの信号は変圧器13を介して第1ベース3および第2ベース4の双方に加えられるようにした。このようにすれば第2ベース電流の

小さな範囲では特にコレクタ電流を一定にすることができる。この発明は4極トランジスタをリアクタンストランジスタとして用いる場合にとどまらず、4極トランジスタを単なる増幅器として用い第2ベース電流で増幅率を制御する場合のように幾多の応用例を有するものである。(高木)

