

# トランジスタ論理要素の組合回路に関する研究

## Studies on the Combined Circuits of Transistorized Logical Element

小 西 務\*  
Tsutomu Konishi

### 内 容 梗 概

デジタル技術が自動制御の分野に応用されるようになり、マルチバイブレータ、計数回路、計算回路などの重工業への応用が必要となってきた。従来の電子回路をそのまま使用するには、動作の確実性、安定性などに問題がある。そこでトランジスタ論理要素組合回路によりそれらを構成することを立案し、試作、実験した。その結果工業応用に適した性能をもつものを開発することができた。

### 1. 緒 言

近年パルス技術あるいはデジタル技術が発達し、デジタル形電子計算機はもちろんのこと、重工業、たとえば圧延機のカード・プログラム制御装置、製鉄、セメント工業などのプロセス制御装置にも、それらの技術が応用されるようになってきた<sup>(1)~(3)</sup>。従来のパルス回路あるいはデジタル回路では論理演算回路、マルチバイブレータ、計数回路、計算回路などが用いられるが、これらの回路をそのまま重工業に応用するには周囲条件、使用状態などが異なるので問題がある。すなわち、これらの回路は on line で使用されるため、トランジスタなどの半導体部品で構成する場合動作速度よりもむしろ周囲温度、電圧影響などに対し、動作が確実、安定で信頼性の高いことが特に要望される。

これに対し、筆者はさきに重工業応用に適した制御素子の一つとして、トランジスタ論理要素(トランジログ)の研究結果に関し報告したが<sup>(4)</sup>、その後これら論理要素の組み合わせにより、マルチバイブレータ、計数回路、計算回路などを構成することを立案し、試作、実験を行ったのでそれらの原理、構成などをとりまとめ報告する。

### 2. トランジスタ論理要素と継電器の対応性

トランジスタ論理要素の動作、性能などに関しては、すでに報告されている<sup>(4)</sup>ので省略する。ここでは次章以下に使用される要素の動作を理解するのに便ならしめるため、各論理要素の回路方式、論理動作表示、継電器との動作の対応性などについて説明しておく。

トランジスタ論理要素と継電器回路の対応を第1表に示す。次章以下に述べる各回路は論理要素の組み合わせにより構成されているので継電器の組み合わせによっても原理的に構成が可能である。

### 3. マルチバイブレータ

ここでいう「マルチバイブレータ」とはパルス回路、デジタル回路で一般に使用されている回路、原理とは異なる。しかし、入出力信号関係が類似しているため、便宜上同一の言葉を使用する。

#### 3.1 無安定マルチバイブレータ

これは一種の方形波発振器で、出力波の振幅、Duty Factorおよびくり返し周期を大幅に変化しうるものである。

第1表 トランジスタ論理要素と継電回路の対応性

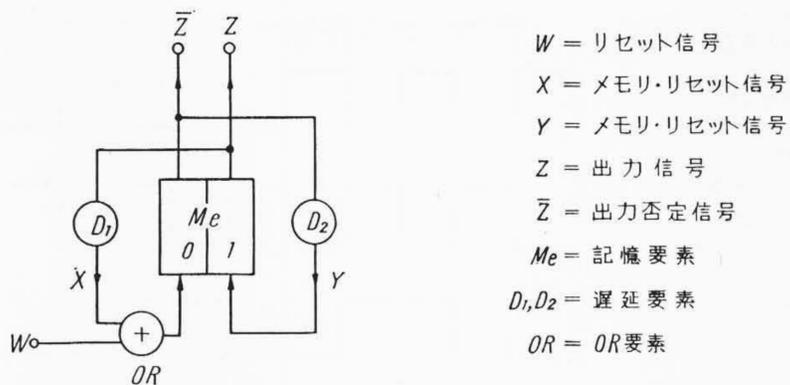
基本要素	回 路 方 式			論 理 動 作 表 示																											
	エミッタ結合形要素	バイパス形要素	継電回路	論理演算	記号	真値表																									
NOT要素				否定	$Z = \bar{X}$ 	<table border="1"> <tr><td>X</td><td>Z</td></tr> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </table>	X	Z	0	1	1	0																			
X	Z																														
0	1																														
1	0																														
OR要素				論理和	$Z = X + Y$ 	<table border="1"> <tr><td>X</td><td>Y</td><td>Z</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	X	Y	Z	0	0	0	1	0	1	0	1	1	1	1	1										
X	Y	Z																													
0	0	0																													
1	0	1																													
0	1	1																													
1	1	1																													
AND要素				論理積	$Z = X \cdot Y$ 	<table border="1"> <tr><td>X</td><td>Y</td><td>Z</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	X	Y	Z	0	0	0	1	0	0	0	1	0	1	1	1										
X	Y	Z																													
0	0	0																													
1	0	0																													
0	1	0																													
1	1	1																													
記憶要素				記憶	$Z = X + \bar{Z} + Y$ 	<table border="1"> <tr><td>X</td><td>Y</td><td>Z</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> </table>	X	Y	Z	1	0	1	0	0	1	0	1	0	0	0	0										
X	Y	Z																													
1	0	1																													
0	0	1																													
0	1	0																													
0	0	0																													
2-2入力記憶要素				論理積記憶	$Z = (X_1 X_2) + Z + (Y_1 + Y_2)$ 	<table border="1"> <tr><td>X<sub>1</sub></td><td>X<sub>2</sub></td><td>Y<sub>1</sub></td><td>Y<sub>2</sub></td><td>Z</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> </table> <p>同上 ただし <math>Z = X_1 X_2</math> <math>Y = Y_1 Y_2</math></p>	X <sub>1</sub>	X <sub>2</sub>	Y <sub>1</sub>	Y <sub>2</sub>	Z	1	1	1	1	1	1	1	0	0	1	1	0	1	1	0	0	0	0	0	0
X <sub>1</sub>	X <sub>2</sub>	Y <sub>1</sub>	Y <sub>2</sub>	Z																											
1	1	1	1	1																											
1	1	0	0	1																											
1	0	1	1	0																											
0	0	0	0	0																											
遅延要素				遅延	$Z = X(T)$ 	<table border="1"> <tr><td>X</td><td>Z(T)</td></tr> <tr><td>0</td><td>0</td></tr> <tr><td>1</td><td>1(T)</td></tr> </table>	X	Z(T)	0	0	1	1(T)																			
X	Z(T)																														
0	0																														
1	1(T)																														

#### 3.1.1 動作原理

本回路の論理記号による構成図を第1図(A)に、その動作波形を(B)に示す。以下信号のONあるいはOFF状態を1あるいは0で表わす。いま入力端子が $W=1$ であるとする。記憶要素 $M_e$ の出力は $Z=0$ (あるいは $\bar{Z}=1$ )であるので、遅延要素 $D_1$ の出力は $X=0$ 、遅延要素 $D_2$ の出力は $Y=1$ となっている。この状態ではリセット信号が優先するので $M_e$ の出力は $Z=0$ である。

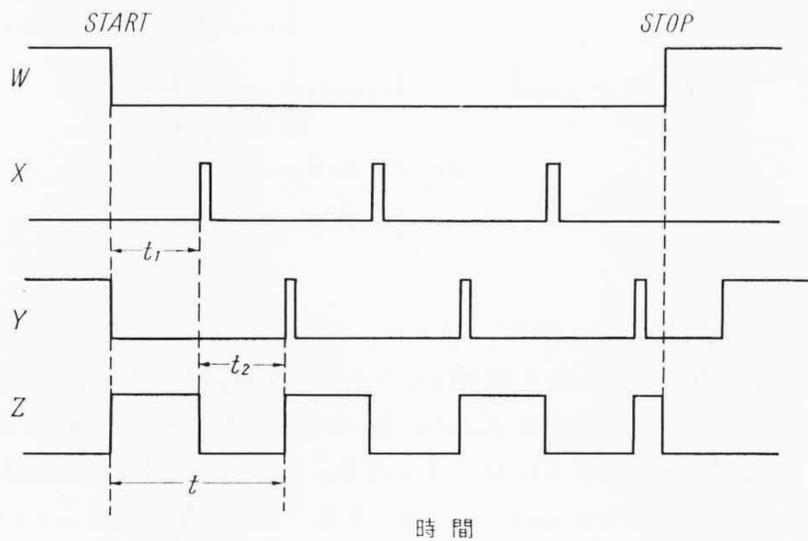
次に $W=0$ となった瞬間 $M_e$ の出力は $\bar{Z}=0$ となり、 $D_2$ の復帰時間後 $Y=0$ となる。一方 $Z=1$ により $D_1$ の遅延時間 $t_1$ の間その値を保持し、 $t=t_1$ の瞬間に $X=1$ となり、 $Z=0$ となる。そして $X$ の復帰時間のうち $X=0$ となる。時間 $t_1$ をON期間という。

\* 日立製作所日立研究所



$W$  = リセット信号  
 $X$  = メモリ・リセット信号  
 $Y$  = メモリ・リセット信号  
 $Z$  = 出力信号  
 $\bar{Z}$  = 出力否定信号  
 $Me$  = 記憶要素  
 $D_1, D_2$  = 遅延要素  
 $OR$  = OR要素

(A) 論理回路



(B) タイム・チャート

第1図 無安定マルチバイブレータ

$t=t_1$ で $\bar{Z}=1$ となるので、 $D_2$ の遅延時間 $t_2$ 後に $Y=1$ となり、 $Me$ はセットされ $Z=1$ となり最初の状態に戻る。このとき $\bar{Z}=0$ となるので $D_2$ の復帰時間ののち $Y=0$ となる。 $t_2$ をOFF期間という。ON期間とOFF期間の和をくり返し周期といい、ON期間とくり返し周期の比をDuty Factorという。すなわち

$$t = t_1 + t_2 \dots\dots\dots (1)$$

$$D_f = \frac{t_1}{t} \times 100(\%) \dots\dots\dots (2)$$

ON期間とOFF期間は交互にできるので、この回路は一種の無安定マルチバイブレータである。この持続発振状態は $W=0$ の瞬間に始まり、 $W=1$ の瞬間に停止する。遅延要素 $D_1$ 、 $D_2$ の遅延時間をそれぞれ変えることにより、発振のくり返し周期およびDuty Factorが加減できる。

3.1.2 発振に関する考察

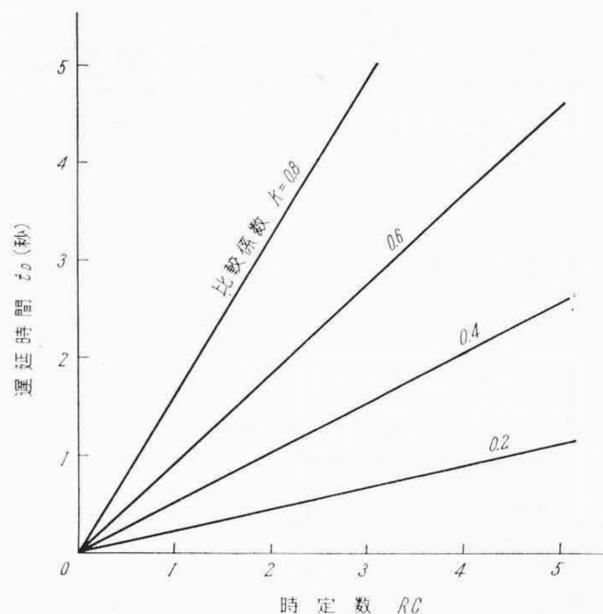
本回路の発振に関する諸量はほとんど遅延要素により決まるので、ここでは遅延要素につき検討することにする(本理論はそのまま次節単安定マルチバイブレータにもあてはまる)。

遅延要素において、限時間では積分回路のコンデンサが充電されて、その端子電圧が比較回路の比較電圧と比較される。したがって限時間 $t_D$ は次式により与えられる。

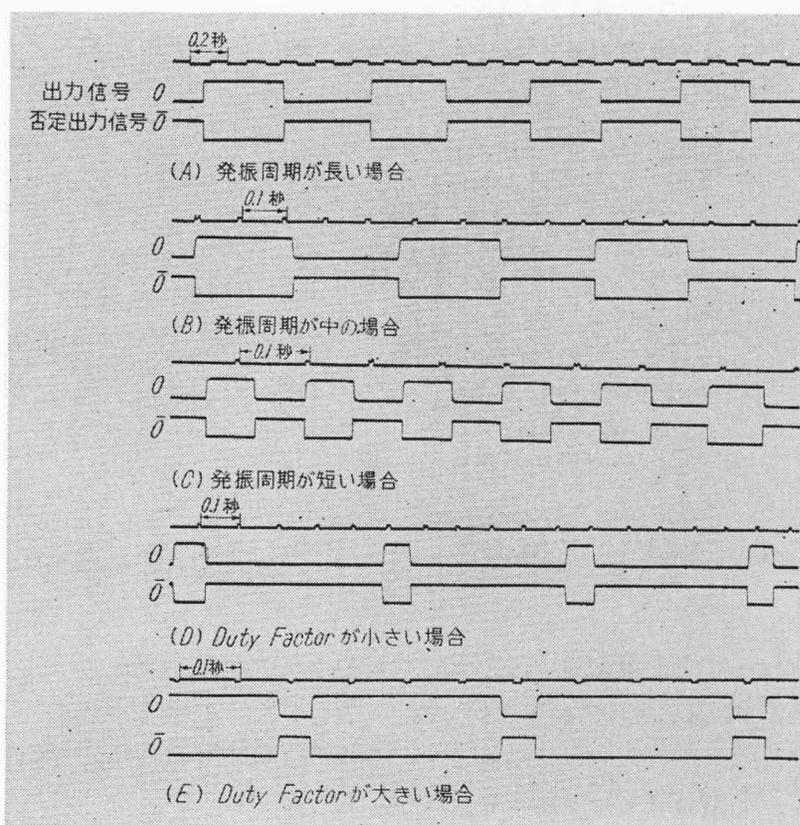
$$t_D = RC \log_e \left( 1 - \frac{E_R}{E_S} \right)^{-1} \dots\dots\dots (3)$$

- ここに  $R$  : 時限調整抵抗
- $C$  : コンデンサ容量
- $E_R$  : 比較器の比較電圧
- $E_S$  : 電源電圧

上式よりわかるように、電源電圧の変動に比較電圧が比例しているならば、限時間は電源電圧変動の影響を受けない。すなわち



第2図 遅延時間のグラフ



第3図 無安定マルチバイブレータのオシログラム例

$$\frac{\partial t_D}{\partial E_S} = 0 \dots\dots\dots (4)$$

$$(E_R = kE_S, k = \text{定数})$$

また温度影響については、コンデンサ $C$ および比較器の比較電圧が変動すると考えると、次式により与えられる。

$$\frac{\partial t_D}{\partial T_a} = R \log_e \left( 1 - \frac{E_R}{E_S} \right)^{-1} \frac{\partial C}{\partial T_a} + \frac{RC}{E_S} \left( 1 - \frac{E_R}{E_S} \right)^{-1} \frac{\partial E_R}{\partial T_a} \dots (5)$$

ここに  $T_a$  : 周囲温度 ( $^{\circ}C$ )

$\partial C / \partial T_a$  : コンデンサ容量の温度変化率 ( $F/^{\circ}C$ )

$\partial E_R / \partial T_a$  : 比較電圧の温度変化率 ( $V/^{\circ}C$ )

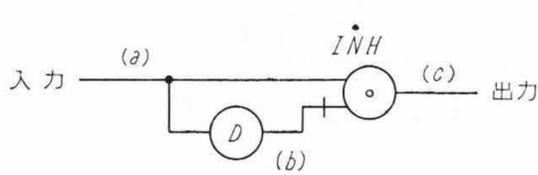
ゆえに、次の条件式を満たすことによって温度補償ができる。

$$\frac{\partial E_R / \partial T_a}{\partial C / \partial T_a} = \frac{E_S}{C} (1 - k) \log_e (1 - k), (k = E_R / E_S) \dots (6)$$

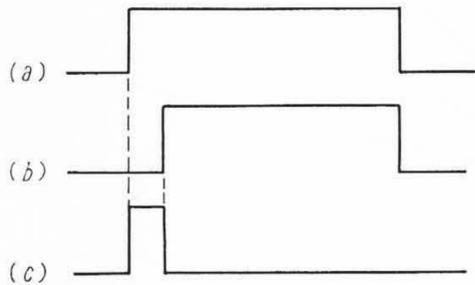
以上(3)式の数値計算例を第2図に示す。同図より必要な遅延時間範囲に対し、 $k$ をパラメータとして $RC$ の調整範囲が決まる。ただし $R$ は使用トランジスタ特性に応じて、最大値を選定する。

3.1.3 実験結果および応用面

トランジスタを第1図のように組み合わせて実験した。その結果のオシログラムの一例を第3図に示す。本回路は電動機制御回路で精密位置決めを行なう場合、非線形摩擦をなくす目的で信号源として利用したり、各種のカウンタと組み合わせて無接点タイ

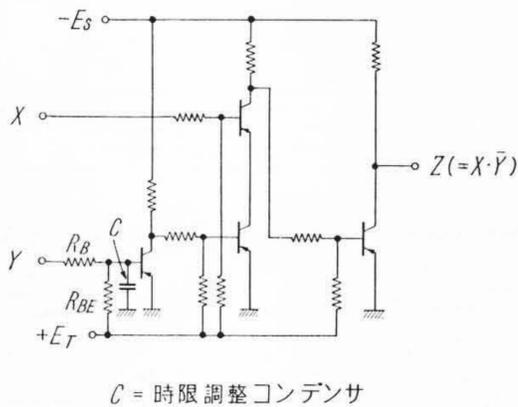


(A) 接続図



(B) タイム・チャート

第4図 単安定マルチバイブレータ



第5図 短時間単安定マルチバイブレータ

マーとして使用する。

### 3.2 単安定マルチバイブレータ

これは階段状入力信号に対し一定時間だけ ON 出力信号を出す回路で、一種のデジタル微分回路でもある。

#### 3.2.1 動作原理

論理記号を用いた回路構成図を第4図(A)に、動作波形を同図(B)に示す。入力に(a)のような波形が印加された場合、インヒビット要素 INH はゲートを開いているので出力に信号を生ずる。しかるに遅延要素 D の遅延時間後にはインヒビット信号が現われるので、INH のゲートは閉まる。したがって出力には(c)のような波形が現われる。

遅延時間が短時間の場合には、わざわざ遅延要素を使用する必要はなく、INH の入力側に第5図のようにコンデンサ C をそう入して使用する。この場合、遅延時間  $t_D$  は次式のようになる。

$$t_D = C \frac{R_B R_{BE}}{R_B + R_{BE}} \log_e \left( 1 - \frac{R_B}{R_{BE}} \frac{E_T}{E_S} \right)^{-1} \dots \dots \dots (7)$$

#### 3.2.2 応用面

デジタル制御回路では、指令回路により動作順序を定めて動作させることがある。このような指令パルスを作るのに用いられる。

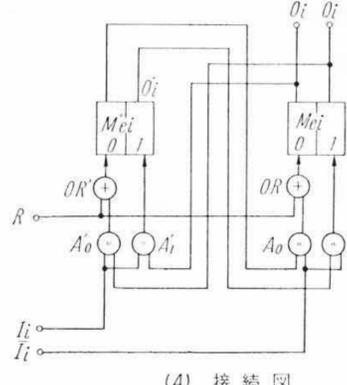
### 3.3 双安定マルチバイブレータ

本回路は入力のくり返し数の1/2のくり返し数をもつ出力信号を出す回路で、普通のフリップ・フロップ回路と同様な動作をする。

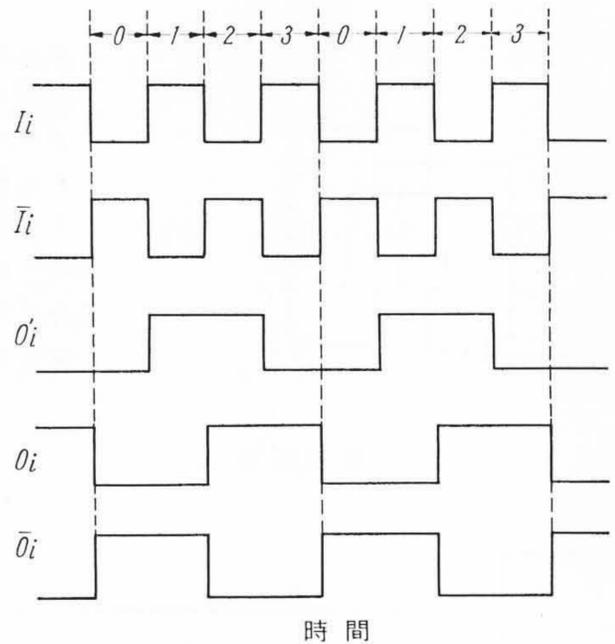
#### 3.3.1 動作原理

本回路の構成図第6図(A)およびその動作波形(B)について説明する。入力端子に  $I_i$  および  $\bar{I}_i$  のようなくり返し信号がはいるとする。信号の各期間を 0, 1, 2, 3 のように表わすと、0 期間では

$I_i$  = 入力信号  
 $\bar{I}_i$  = 否定入力信号  
 $O_i$  = 出力信号  
 $\bar{O}_i$  = 否定出力信号  
 $R$  = リセット信号  
 $M_{ei}, M_{oi}$  = 記憶要素  
 $OR, OR'$  = OR要素  
 $A_0, A_1, A_0', A_1'$  = AND要素



(A) 接続図



(B) タイム・チャート

第6図 双安定マルチバイブレータ

記憶要素  $M_{ei}$  および  $M_{oi}$  はリセットされていて、それぞれの出力端子  $O_i$  および  $O_i'$  の信号は 0 である。1 期間では  $I_i=1$  となるので、ゲート  $A_1$  は開かれるが、 $\bar{I}_i=0$  であるのでゲート  $A_1'$  を通して  $M_{ei}$  がセットされ  $O_i=1$  となる。このときゲート  $A_1$  は開かれるが、 $\bar{I}_i=0$  であるので  $O_i=0$  である。次に 2 期間では  $\bar{I}_i=1$  となるので、ゲート  $A_1$  を通る信号により  $M_{oi}$  はセットされ  $O_i=1$  となる。これによりゲート  $A_0'$  が開かれるが、 $I_i=0$  であるので、 $O_i'=1$  である。また 3 期間では  $I_i=1$  となるので  $M_{ei}$  はリセットされ  $O_i'=0$  となる。しかし  $O_i=1$  である。以上の状態が次の期間からくり返される。

第6図の入力信号  $I_i$  に対する出力信号  $O_i$  の関係に着目すると  $O_i$  は  $I_i$  の 1/2 のくり返し周期をもっているの、これを 2 進カウンタの単位ビットに使用することができる。

#### 3.3.2 構成

第6図によれば 2 個の記憶要素、4 個の AND 要素、2 個の OR 要素が必要なようであるが、実際には 2-2 入力記憶要素が 2 個で構成できる。同図で、入力信号  $I_i$  および  $\bar{I}_i$  が時間に無関係に否定関係をもつとき常に安定状態となることができるが、実際には両者の立上り時間あるいは（および）立下り時間が存在するため不安定状態となり、異常現象を起こすことがある。したがって使用状態によっては、各 AND 回路の入力信号側トランジスタのベース回路に短時間の遅延回路を必要とすることがある。

以上マルチバイブレータに関し、とくに動作原理、回路構成などについて述べたが、これらはデジタル制御回路として単独に用いることができる。特に双安定マルチバイブレータは次章で説明するように直流直結形の各種計数器に必要欠くべからざるものである。

## 4. 計数回路

計数回路は次々と入来する ON-OFF 信号の数を計測する。そのほか予定した任意の数の ON-OFF 信号が到来した瞬間に信号を発生させ、これを他の回路の起動に用いる場合がある。

### 4.1 リング・カウンタ

#### 4.1.1 動作原理

第7図(A), (B)の6進リング・カウンタ回路について、その動作を説明する。入力信号  $I_i$  の各期間を 0~5 に分ける。0 期間はリセット期間で、記憶回路の出力  $M_{e1} \sim M_{e5}$  およびリング・カウンタ出力  $O_{R1} \sim O_{R5}$  はすべて 0 状態である。1 期間では  $I_R=1$ ,  $\bar{I}_R=0$  となり、 $M_{e1}$  がセットされ、 $M_{e2}$  の出力が 0 であるので、

INH<sub>1</sub>が開き O<sub>R1</sub>=1となる。

2期間では  $\bar{I}_R=1$  となり、ゲート A<sub>2</sub>が開いているので M<sub>e2</sub> がセットされる。INH<sub>2</sub>のゲートが開いているので O<sub>R2</sub>=1となる。同時に M<sub>e2</sub>の出力は INH<sub>1</sub>のゲートを閉め、O<sub>R1</sub>=0とする。これで前期間、第1段目に出力があったのが第2段目に移ることになる。

同様な動作が以下の期間でくり返されて5期間となり、出力が最終段まで移動したのち次の期間に移ると、 $\bar{I}_R=1$ となり A<sub>6</sub>のゲートを通して全記憶要素がリセットされる。したがって全出力 O<sub>R1</sub>~O<sub>R5</sub>は0となり、最初の状態に戻る。続いて同様に出力が O<sub>R1</sub>より移る。

本方式のリング・カウンタにリセット状態があるため、たとえば10進計数器などが容易に製作できる。このような10進リング・カウンタを必要けた数だけ用意することにより、任意けたの10進計数器が製作できる。

#### 4.1.2 実験結果

トランジスタにより第7図の構成を作り実験した。回路各部の信号波形を第8図に示す。これは入力端子に一定のくり返し周期をもつ信号を入れておき、各部の波形を2現象シンクロスコープで観測したものである。ただし入力回路に遅延特性をもたせ安定化が計ってある。実験の結果不安定現象はなく、周囲温度55°Cにおいても正常に動作することが確かめられた。電源電圧は規定値に対し-82~+108%変化しても正常に動作した。

#### 4.2 2進カウンタ

##### 4.2.1 動作原理および構成

2進カウンタは第6図の双安定マルチバイブレータを基本とし、必要ビット数だけ第9図のように縦続接続して構成されている。すなわち i 段目の双安定マルチバイブレータの入力 I<sub>i</sub>,  $\bar{I}_i$ にはそれぞれその前段の出力 O<sub>i-1</sub>,  $\bar{O}_{i-1}$ を接続し、i 段目の要素の出力 O<sub>i</sub>,  $\bar{O}_i$ はそれぞれ次段の入力 I<sub>i+1</sub>,  $\bar{I}_{i+1}$ に接続される。

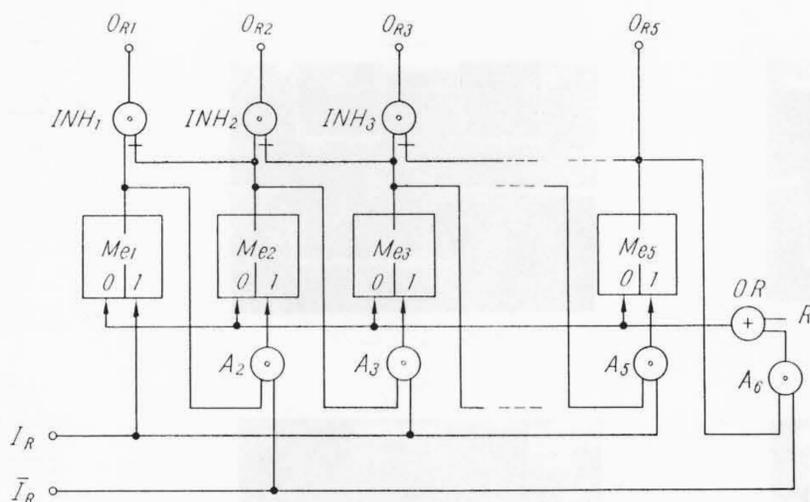
##### 4.2.2 実験結果

第6図の回路を第9図のように構成し9ビット試作した。ただし入力回路にのみ遅延要素を入れ安定化した。その結果、55°Cの周囲温度においても安定に動作した。その各部の信号を示すオンプログラムを第10図に示す。電源電圧変化-82~+108%に対しても正常に動作した。

#### 4.3 可逆2進計数器

##### 4.3.1 動作原理および構成

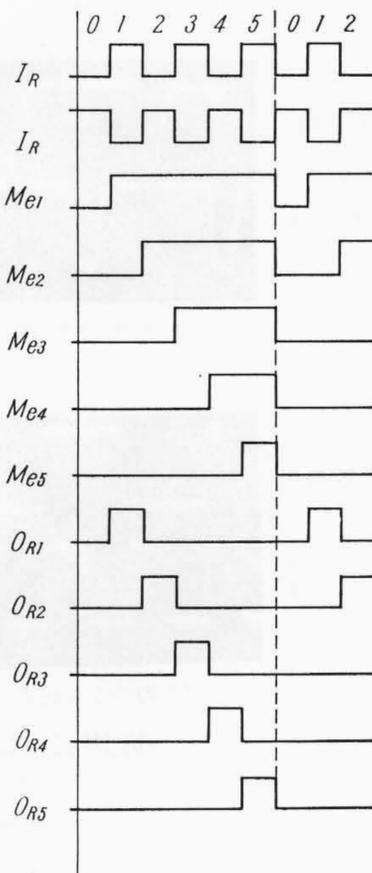
可逆2進計数器の構成図を第11図に示す。図においてSWは切替スイッチであり、正計数のときはaに、逆計数のときはbに接続される。この場合問題になるのはSWの切り替え時期である。すなわち切り替えのため計数器の動作状態が変化したり、また不連続現象があったりしてはならない。そこで任意の数で正逆切替が行なわれた場合の回路の動作状態を検討する。



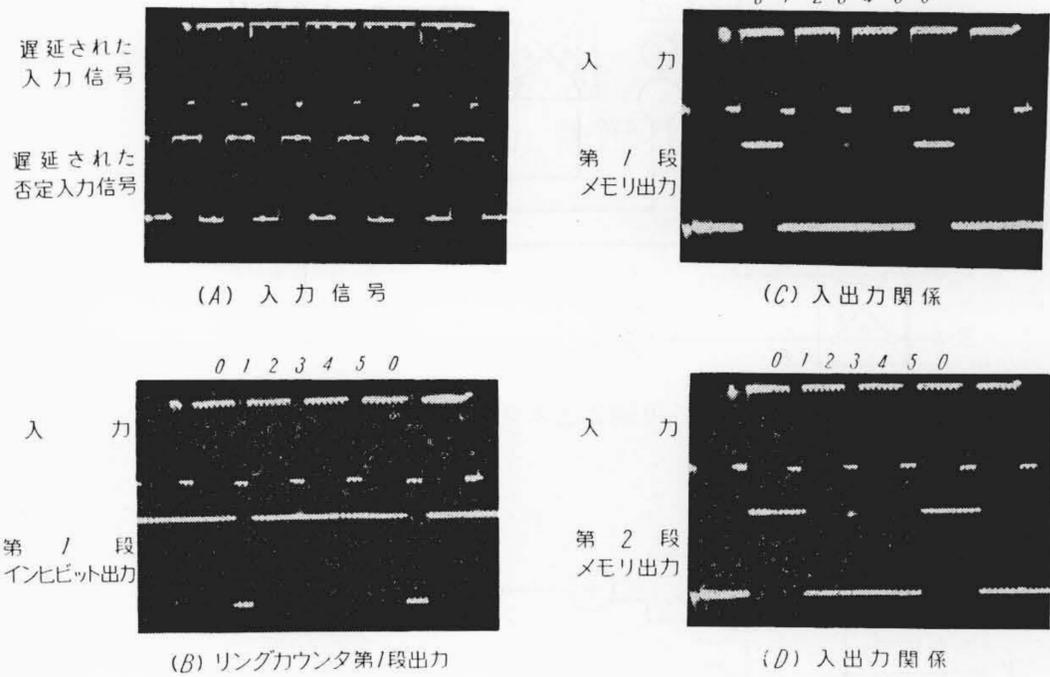
$I_R, \bar{I}_R$  = 入力信号  
 $O_{Ri}, \bar{O}_{Ri}$  = 出力信号  
 $M_{ei}$  = 記憶要素  
 $INH_i$  = INHIBIT要素  
 $A_i$  = AND要素  
 $OR$  = OR要素

(A) 接続図

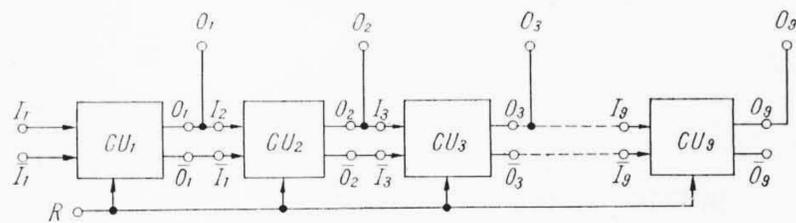
第7図 リング・カウンタ



(B) タイムチャート



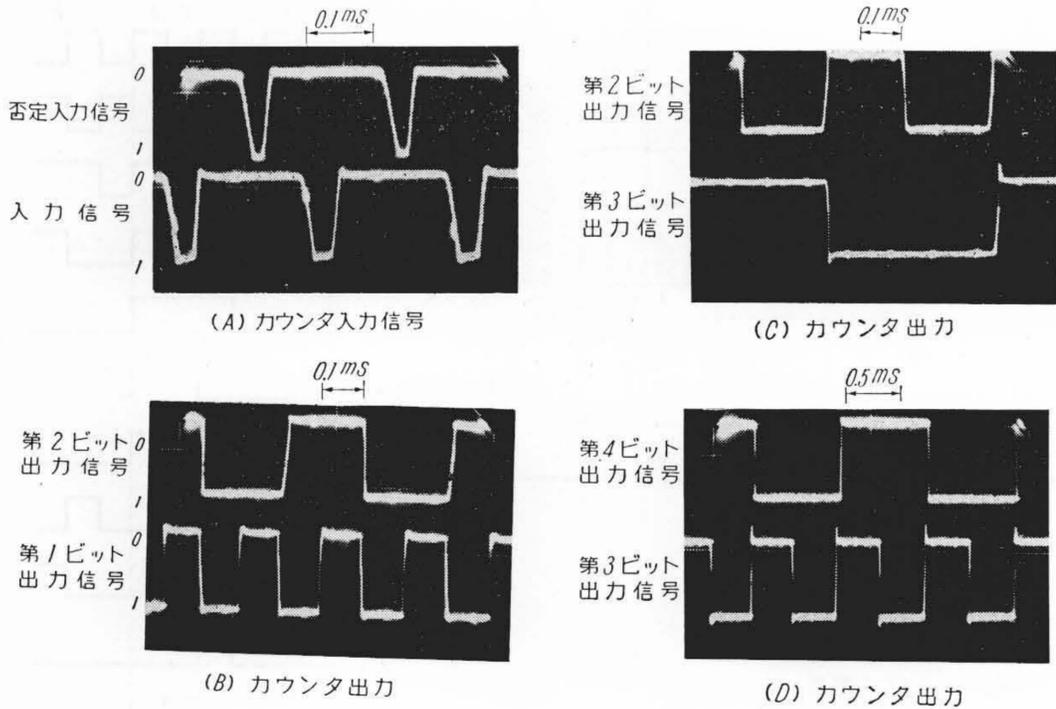
第8図 リング・カウンタ各部の信号



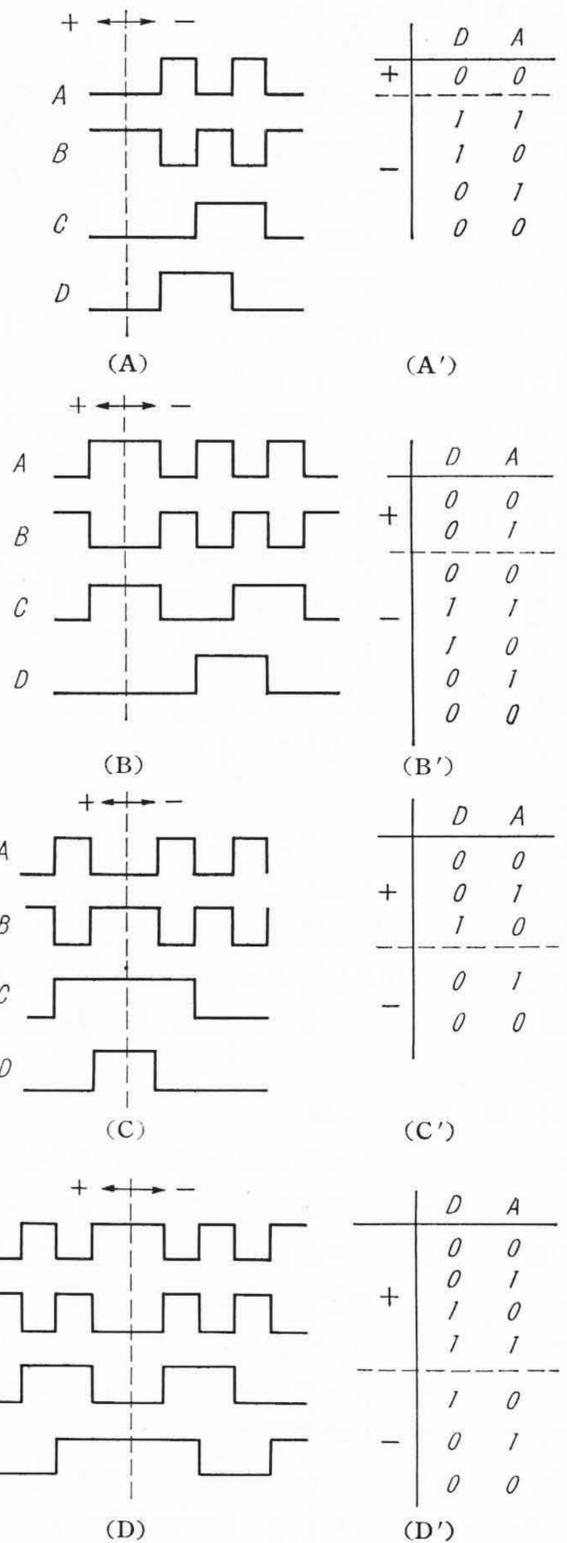
CU<sub>i</sub> = 2安定マルチバイブレータ  
 $R$  = リセット

第9図 2進カウンタ構成図

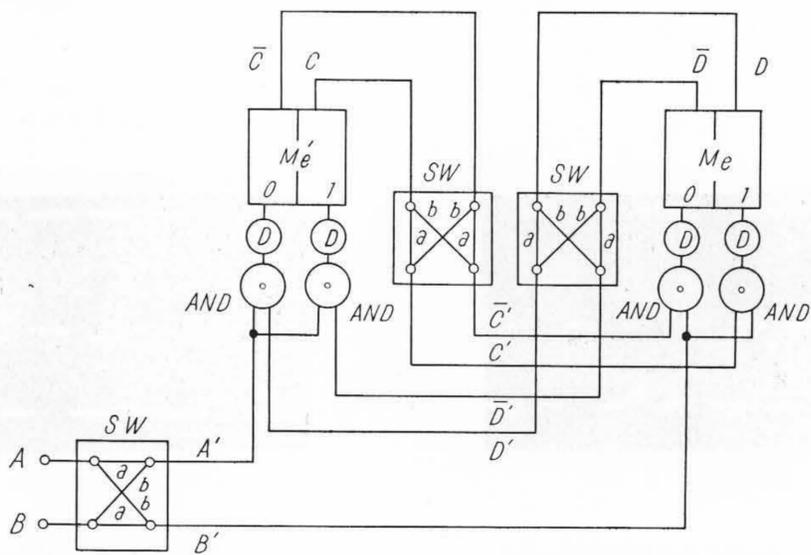
最初記憶要素 M<sub>e</sub>, M'<sub>e</sub> がリセットされている状態で SW を a → b に切り替えられたとする。この場合の入力信号 A, B (=  $\bar{A}$ ) および出力信号 C, D の状態を第12図(A)に示す。点線が切り替えを示す。切り替えは SW がまずすべて OFF 状態となり次いで切り替えたあとの状態になり信号が伝達される。同図(A)の切替時の前後においては B =  $\bar{C}$  =  $\bar{D}$  = 1 である。切替後は A' = D' = 1 となるので M'<sub>e</sub> にリセット信号が入るが、C = D = 0 の状態は切り替えの前後において不変である。その状態で A = 1 (B = 0) となると、B' = C' = 1 により M<sub>e</sub> がセットされ D = 1 となる。



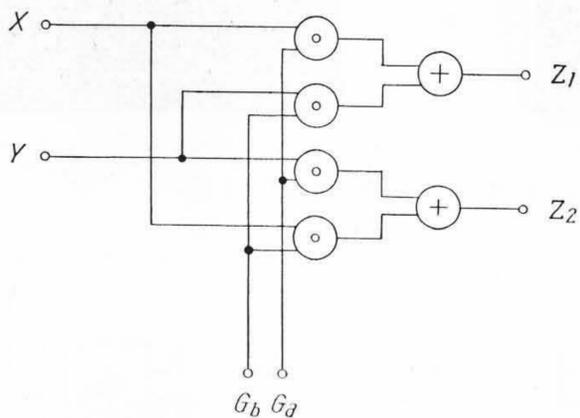
第 10 図 2 進計数器各部の信号



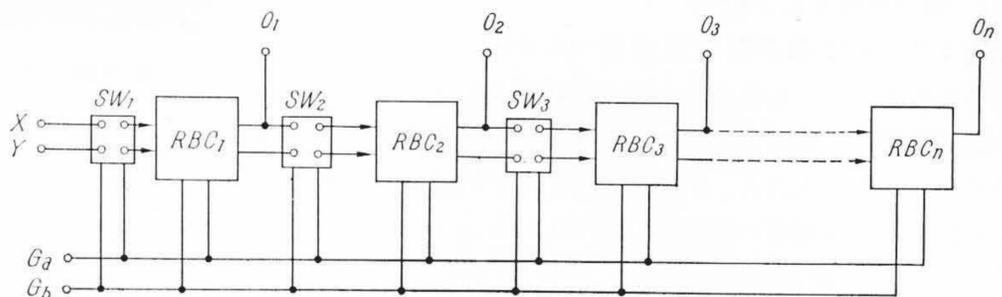
第 12 図 可逆 2 進カウンタ切替状態



第 11 図 可逆 2 進カウンタ接続図



第 13 図 切替ゲート回路



第 14 図 可逆 2 進計数器構成図

次に  $B=1$  になると、 $A'=D'=1$  により  $M_e'$  はセットされ  $C=1$  となるが  $D=1$  は不変である。続いて  $A=1$  となると、 $B'=C'=1$  により  $M_e$  はリセットされ  $D=0$  となる。さらに  $B=1$  となると、 $A'=D'=1$  により  $M_e'$  はリセットされ、最初の状態に戻る。この場合の  $A, D$  の状態を表にして同図(A)'に示す。切替前は 3.3 で述べた 2 進計数器と同一動作であるが、SW 切替後は計数のたびに 1 ずつ減算していることがわかる。

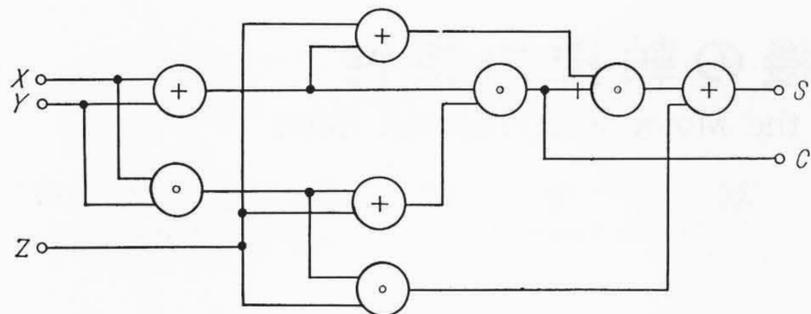
同様にして、切り替えが他のあらゆる場合について行なわれる状態を同図(B), (C), (D)にあげる。いずれの場合も切替前は加算、切り替え後は減算を行ない、切り替えにより計数状態に悪影響を与えないことがわかる。

切替スイッチ SW の部分は 第 13 図 のような論理要素構成によ

り可能である。X, Y が SW 回路の入力信号で、 $Z_1, Z_2$  が出力信号である。信号  $G_a, G_b$  はそれぞれ加算ゲート信号、減算ゲート信号である。

#### 4.3.2 可逆 2 進計数器

以上、単位ビットについて可逆 2 進計数器の動作および正逆切替回路の影響などについて考察したが、実際に必要ビットの可逆 2 進計数器を構成するには 第 14 図 のように接続される。X, Y が計数信号入力で、加算、減算信号は  $G_a, G_b$  に与えられる。出力は 2 進数として  $O_n, O_{n-1}, \dots, O_2, O_1$  のように表示される。以上 2, 3 の計数器について説明したが、このほかにも 2 進化  $n$  進カウンタ、10 進カウンタなど種々の計数回路があるが省略する。



第15図 全加算器

5. 演算回路

演算回路の動作は、デジタル形電子計算機に使用されている回路と同一であるが、回路構成を直流直結式として、トランジログにより組立てられている。電子計算機用と異なるところは、動作速度よりもむしろ動作の確実性、信頼性が要求されることから、論理代数を利用して、極度の回路の簡単化が行なわれている。すなわち筆者はさきにヒタログを用いた演算回路について種々検討してきたが<sup>(5)</sup>、これらの結果がトランジログ演算回路にもそのままあてはまる。

デジタル制御においては、演算回路は指令数値と帰還数値から偏差数値を算出するところに主として用いられる。したがってこの演算方式は、計算法、並列方式、補数加算による減算方式で、単位ビット回路としては全加算器を用いるのが有利である。

トランジログを用いて全加算器を構成する場合、とくに次のような事項について考慮を払った。

- (1) OR回路に整流器を用い、トランジログの要素数の減少をはかった。
- (2) 演算信号およびけた上げ信号の通過するトランジログ要素数が最小になるようにした。
- (3) トランジログの種数なるべく少なくすむように、また簡単な論理操作をするトランジログを用いること。とくにインヒビット要素は偽信号を生じやすいので、なるべく使用しないようにした。

以上により、最も簡易化した論理式を次に示す。ただし  $X, Y, Z$  は入力変数,  $S$  はそれらの数の和,  $C$  は次けたへのけた上げである。

$$S = [(X+Y)+Z] \cdot [(X+Y)(X \cdot Y+Z)] + (Z \cdot Y) \cdot Z \dots\dots\dots (8)$$

$$C = (X+Y)(X \cdot Y+Z) \dots\dots\dots (9)$$

上式を論理回路で表したのが第15図である。実際の演算装置は同図の全加算器を必要ビット並列接続して用いられる。

6. 結 言

近年、デジタル技術が急速に発展し、これら技術が自動制御の分野にとり入れられ、各種のデジタル制御装置が製作されるようになってきている。これらの重工業応用に、従来のパルス式のデジタル回路をそのまま使用するには、過酷な周囲条件に対する動作の確実性、安定性などの点で問題があった。

筆者は、さきに開発したトランジスタ論理要素「トランジログ」の組合回路によりマルチバイブレータ、計数回路、計算回路などを構成する立場から、立案した回路の構成、動作原理について説明した<sup>(6)</sup>。そして二、三の実験結果により、所期の性能を有することを明らかにした。

これら各種回路は、従来の継電器による制御回路に置換えることができるのみならず、その特性を利用することにより広い応用面をもつ。たとえば圧延機のカード・プログラム制御装置、工作機械のデジタル制御、製鉄、セメント工業の総括制御、データ・ロガーを始め各種プロセスの計算制御などに多数実用されている。

なお本文に述べた回路については目下特許出願中である。

参 考 文 献

- (1) 小西：日立評論 43, 494 (昭36-4)
- (2) 小西：電学誌 82, 883, 567 (昭37-4)
- (3) 小西：日立評論 43, 1098 (昭36-10)
- (4) 小西：日立評論 43, 860 (昭36-7)
- (5) 小西：第2回自動制御連合講演会, 251 (昭34-11)
- (6) 小西：昭37, 連大, 200 (昭37-4)



特 許 と 新 案



特許 第 291283 号

高 橋 常 生

変 圧 器 鉄 心

バットジョイント形の巻鉄心をつくる際には鉄心の切断前にその層間を固着剤で固める必要があるが、端をそろえて緊密に巻かれた鉄心層間に固着剤を浸透させることはなかなかむずかしく、固着不良のため切断時に層間をはがれ、切断面の密着をさまたげたり、鉄心のうなりの原因になることが多い。この発明は上記の問題を解決することを目的とするものである。図面に示すように2枚のけい素

鋼帯1, 2を幅方向に少しずらして重ねて巻くことにより鉄心の両端における一つおきの層の間にスキマ3をつくる。このようにして巻かれた鉄心に固着剤を含浸すると、スキマ3に浸透する固着剤によって鉄心の各層は完全に固着され、切断時に層間をはがれる恐れがなくなり、品質管理が容易になる。(坂 本)

