

データ処理装置用 ADF-300 形 A-D 変換器

Type ADF-300 A-D Converter for Data Logger Use

不破 康 博* 尾 塔 博 之*
Yasuhiro Fuha Hiroyuki Osako

内 容 梗 概

データ処理装置に使用するための A-D 変換器は広範囲の周囲条件において長寿命高信頼性ととも周囲の機器との接続に便利である必要がある。ADF-300 形 A-D 変換器はトランジスタ化した電子回路により長寿命高信頼性をうるとともに、データ処理装置用として他の機器との接続も十分考慮されている。

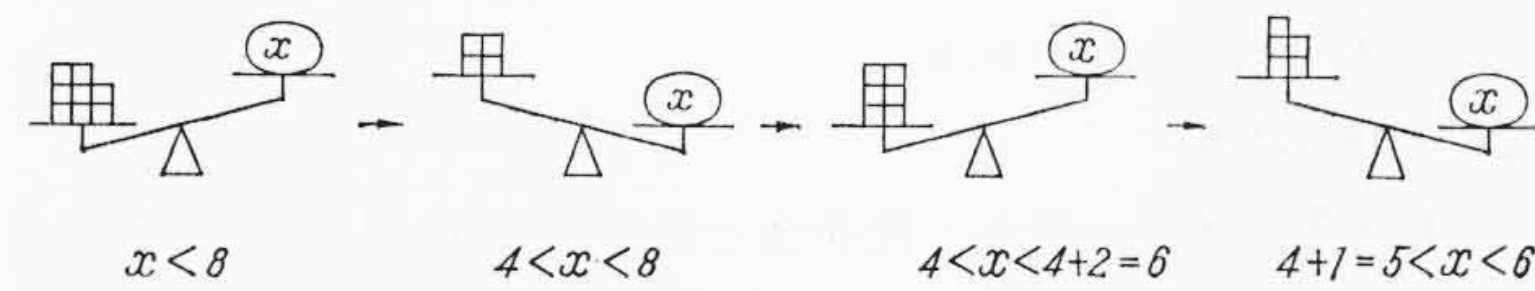
1. 緒 言

ADF-300 シリーズの A-D 変換器は、おもに工業用のデータ処理装置に使用する目的で、設計、製作されているものである。従来、このような目的には真空管式のものや、トランジスタと真空管を適材適所に併用したものなどを多く使用してきたのであるが、寿命および信頼度の点で、改良の余地が残されていた。これらの問題点を解決するには、寿命が長く、信頼度の高い部品を有効に使用した回路構成とすることが、最善で唯一の方法であることはいうまでもない。しかし、また別の点から重要なことは、これらを実際に使用する場合、外部との接続が容易かつ有機的でなければならないということである。このような観点から、種々の検討および改良を行ない試作品あるいは所内研究所における稼働実績から、その高信頼性を確認して製品化したものである。

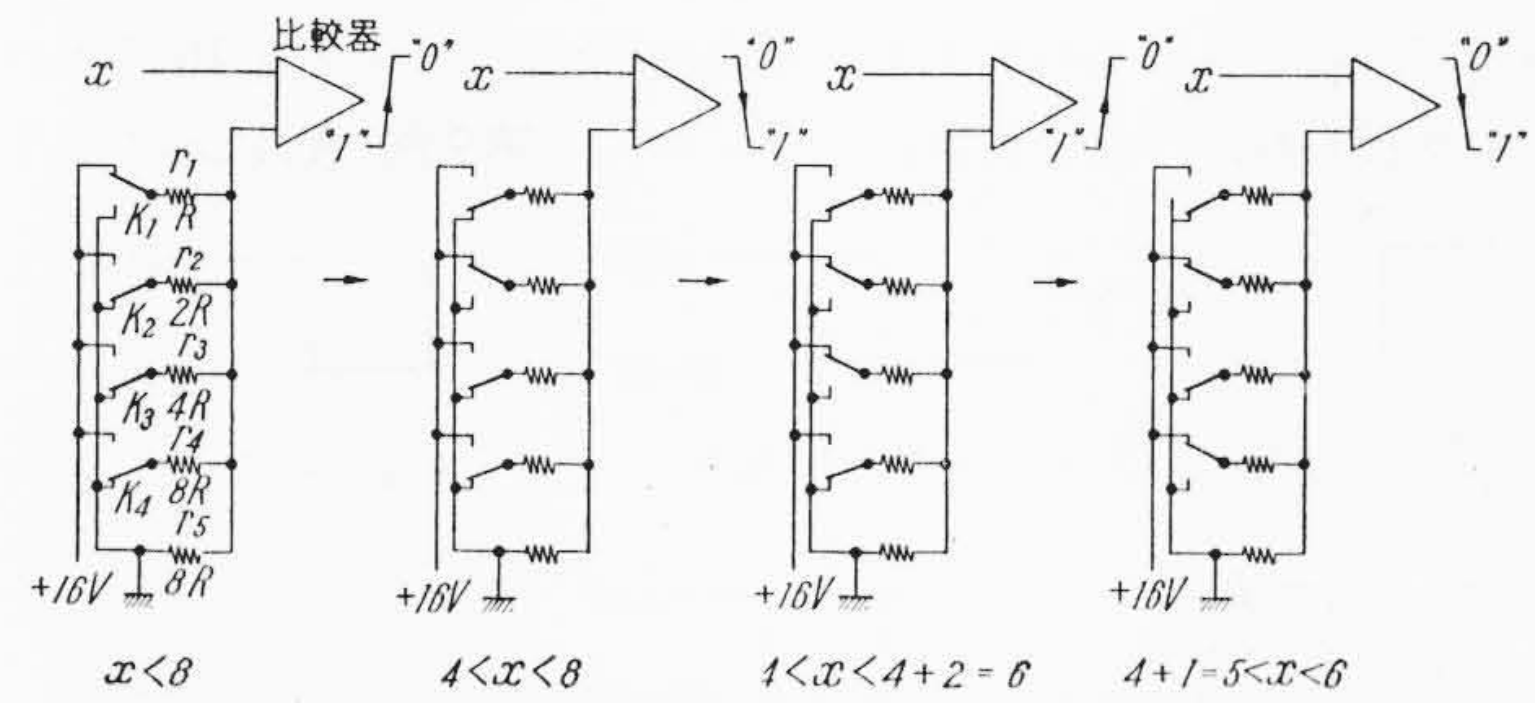
2. 変 換 方 式

A-D 変換を行なう方式には、計数形、符号化板形など色々あるが、ADF-300 シリーズでは動作の確実性と、トランジスタを主体として構成することが容易であるということから、帰還形を採用した。この方式は上述のほかに、変換動作が一つのフィードバックループ内で行なわれることや、内部を制御するタイミングを接続される機器の制御に利用できるなど有利な特長をもっている。

帰還形 A-D 変換器の動作原理は、第 1 図に示すように、てんびんで未知のものの重さを測る過程から容易に推察できる。これを電氣的な回路におき直した例が第 2 図である。この図でスイッチ $K_1 \sim K_4$ をアース側または、+16V 側に倒すことによって、0~+9V の電圧が 1V ステップで得られ、これと入力 x とを比較器で比較すれば 1V の精密さで x の値を知ることができる。

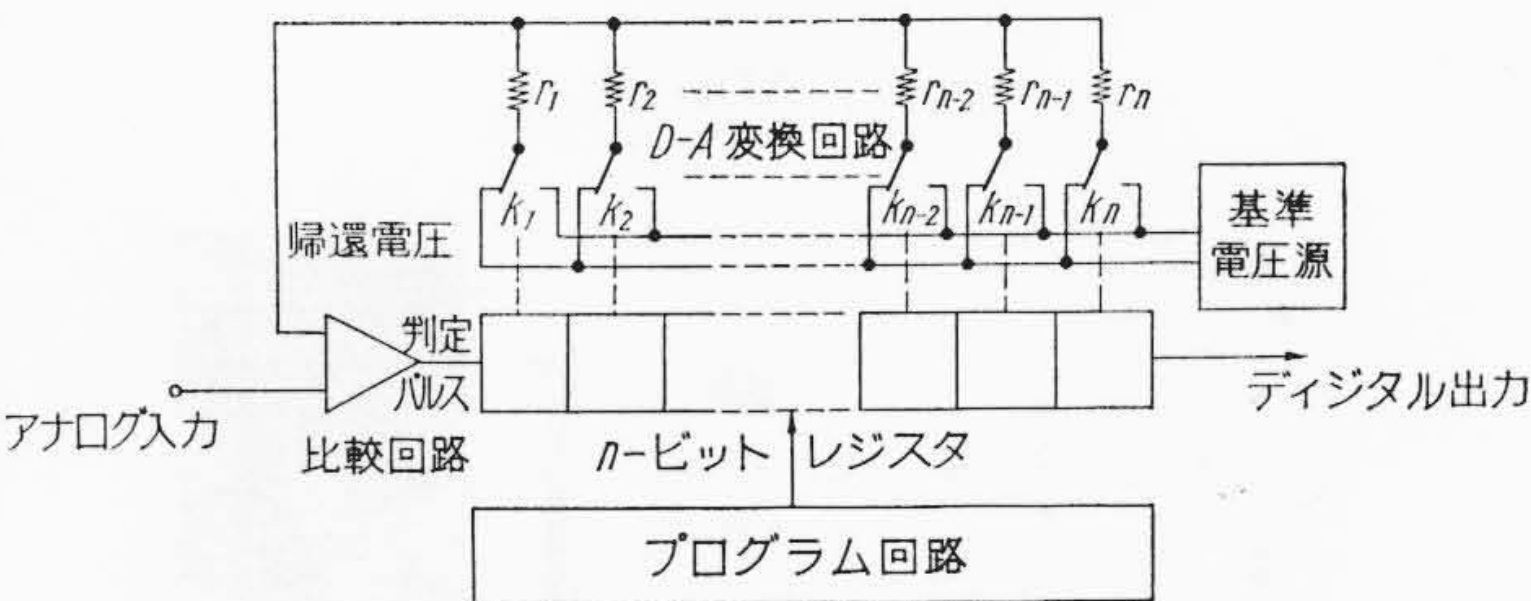


第 1 図 てんびんによる計量



第 2 図 てんびんに対応する電気回路の一例

* 日立製作所戸塚工場



第 3 図 帰還形 A-D 変換器のブロック図

さらに精密さを高める必要があるときは、スイッチ K と加算抵抗 r の数を増して、10~5mV 程度まで分解能を上げることができる。一方、変換結果であるデジタル量の表現形式は、加算抵抗 $r_1 \sim r_n$ の比をいかに選ぶかによって、純 2 進数、2 進化 10 進数などに行なうことができる。そこで上述の回路にスイッチ $K_1 \sim K_n$ を自動的にセットしたり、リセットするプログラム回路や特定のスイッチ K_i がセットされたとき、比較器出力の状態を記憶するレジスタなどを付加すれば A-D 変換を行なう装置を作ることができる。

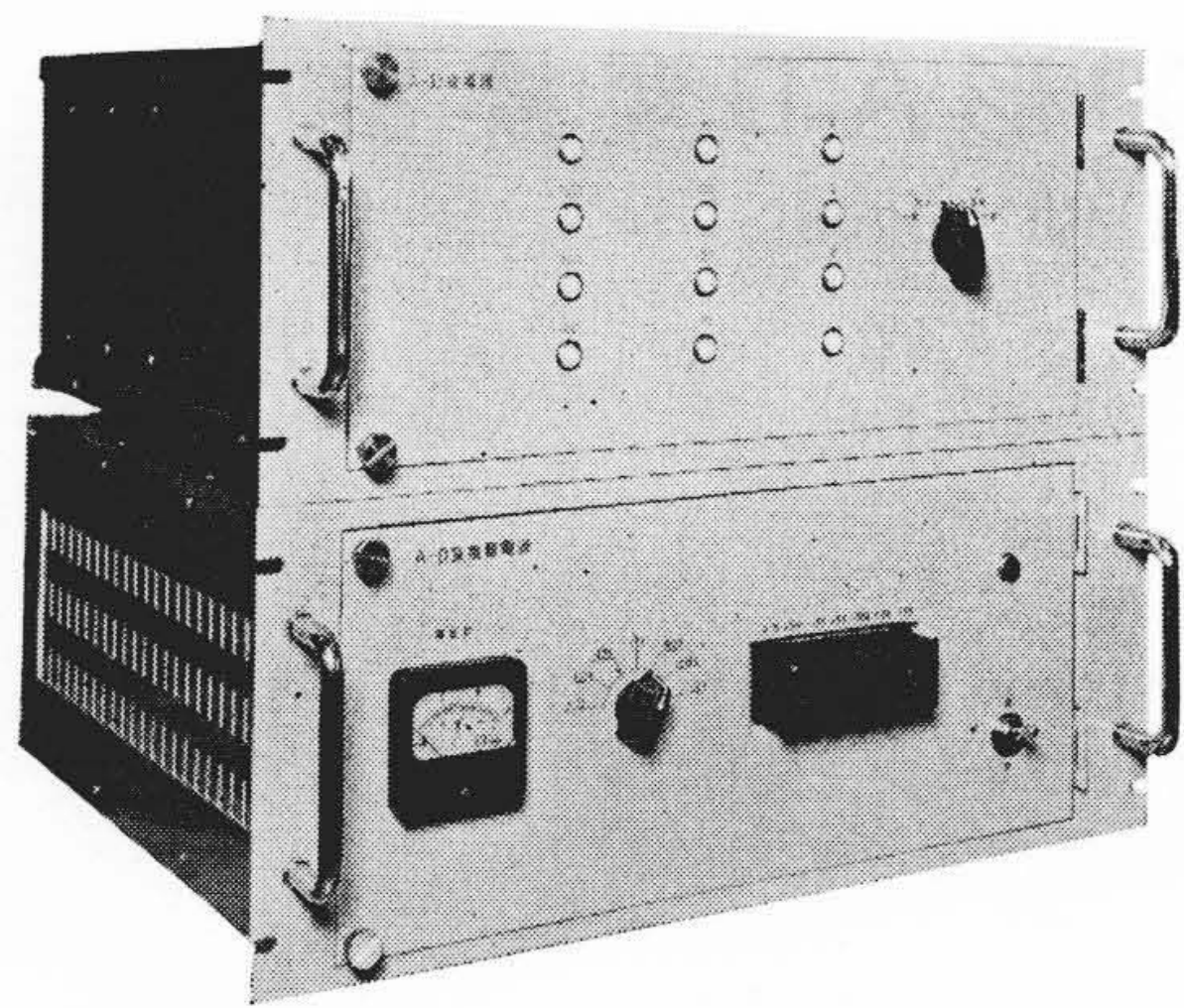
第 3 図は上述のような方式すなわち帰還方式 A-D 変換器のブロックダイアグラムである。

3. 機能、特長、性能

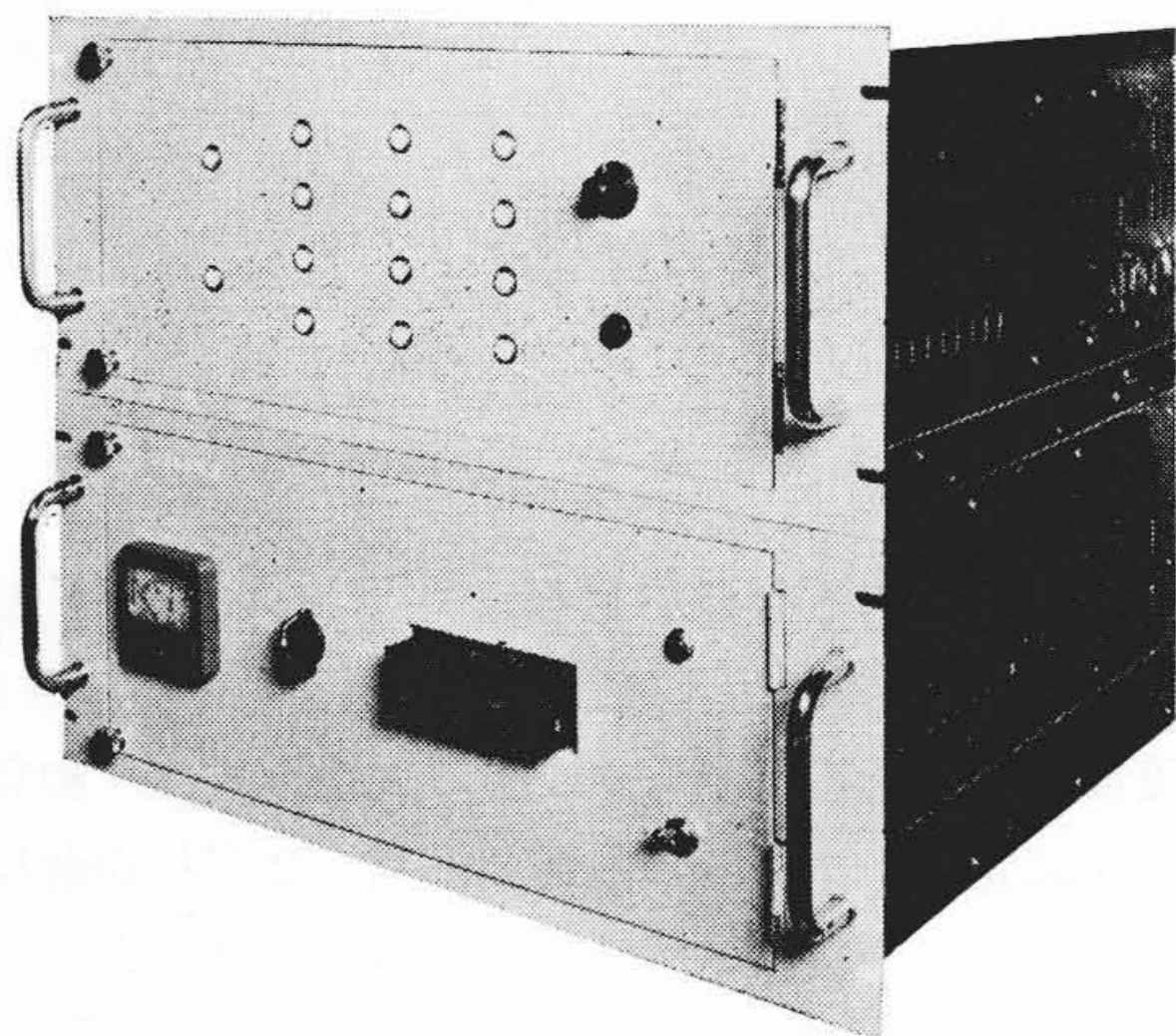
第 1 表は ADF-300 シリーズ A-D 変換器のおもなる仕様である。

第 1 表 ADF-300 シ リ ー ズ の 仕 様

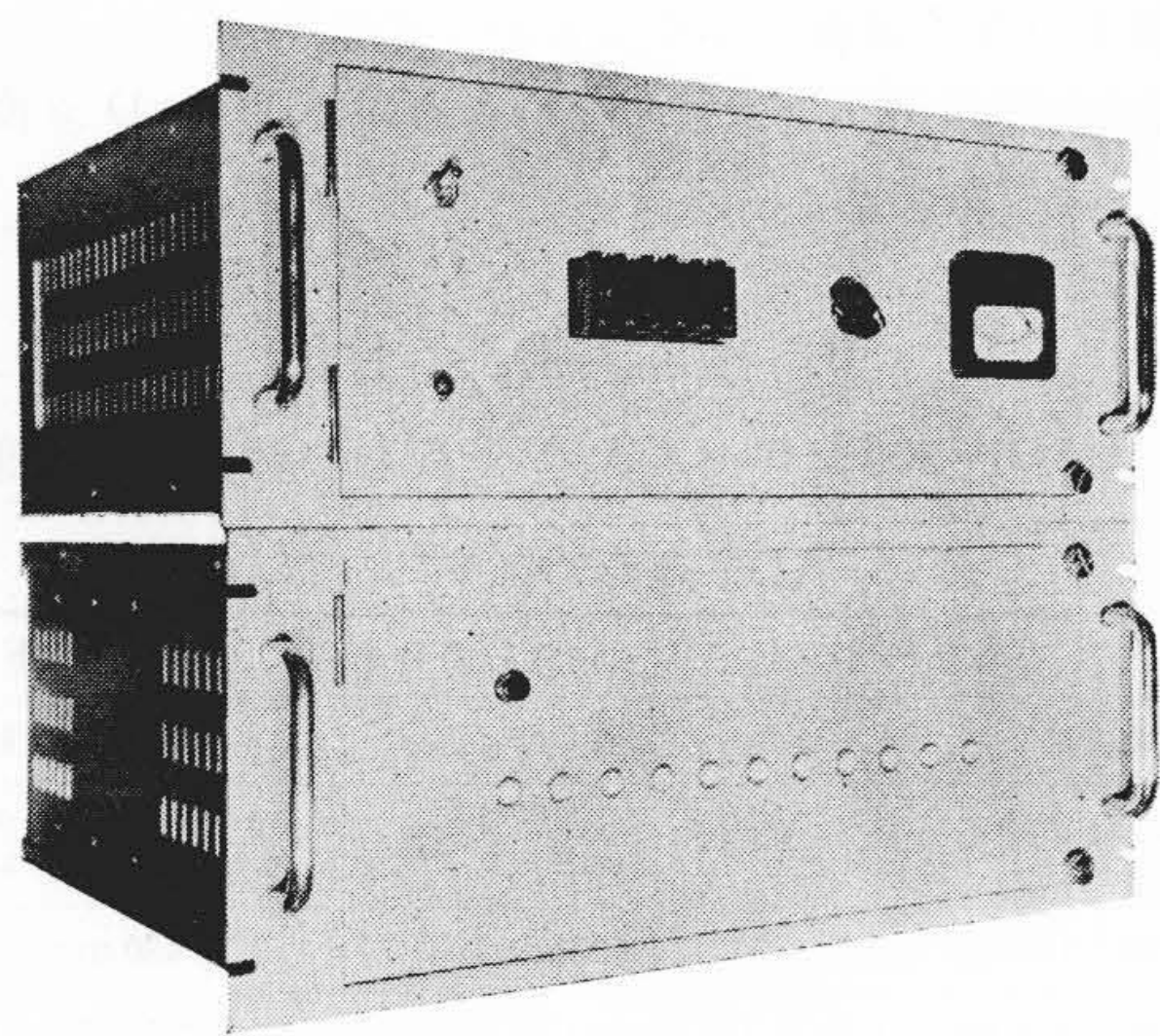
	ADF-311-B	ADF-301-B	ADF-301-U
1. 変換方式	帰 還 形	帰 還 形	帰 還 形
2. 使用素子	トランジスタ、ダイオード、リレーなど	トランジスタ、ダイオード、リレーなど	トランジスタ、ダイオード、リレーなど
3. 変換時間	150 ms (標準)	600 ms 以下	480 ms 以下
4. 変換精度	20±5°C のとき 0.1% 0~40°C のとき 0.2%	20±5°C のとき 0.1% 0~40°C のとき 0.2%	20±5°C のとき 0.1% 0~40°C のとき 0.2%
5. 入 力	0~±10.23V DC	0~±9.99V DC	0~±9.99V DC
6. 入力インピーダンス	不平衡時 40kΩ 以上 平衡時 500kΩ 以上	不平衡時 40kΩ 以上 平衡時 500kΩ 以上	不平衡時 40kΩ 以上 平衡時 500kΩ 以上
7. 出 力	パラレル出力 2 進 10 けたおよび符号 数値は“1”のとき -11V, “0”のとき -1.5V, 符号は“-” のとき -11V, “+” のとき -1.5V, 出力 インピーダンス約 2kΩ シリアル出力 2 進 10 けたおよび符号、 シフトパルス(第 10 図) が一つくるたびに同 図に示すような構成 の数値および符号を L.S.D. より順次送 出する。ただし符号は “-”が“1”, “+”が “0”に対応する。	4-2-2-1 コードによる 10 進 3 けた+符号パ ラレルおよび純 10 進 3 け た+符号シリアル。 パラレル出力は接点の 開閉により、シリアル 出力は -50V±5% の 電圧で 300mA の容量 を有する。	4-2-2-1 コードによる 10 進 3 けたシリアル。 パラレル出力は接点の 開閉により、シリアル 出力は -50V±5% の 電圧で 300mA の容量 を有する。
8. 電 源	AC100 ⁺⁵ ₋₁₀ V, 47~ 61 c/s, 約 150VA	AC100 ⁺⁵ ₋₁₀ V, 47~ 61 c/s, 約 150VA	AC100 ⁺⁵ ₋₁₀ V, 47~ 61 c/s, 約 150VA



第 4 図 ADF-301-U



第 5 図 ADF-301-B

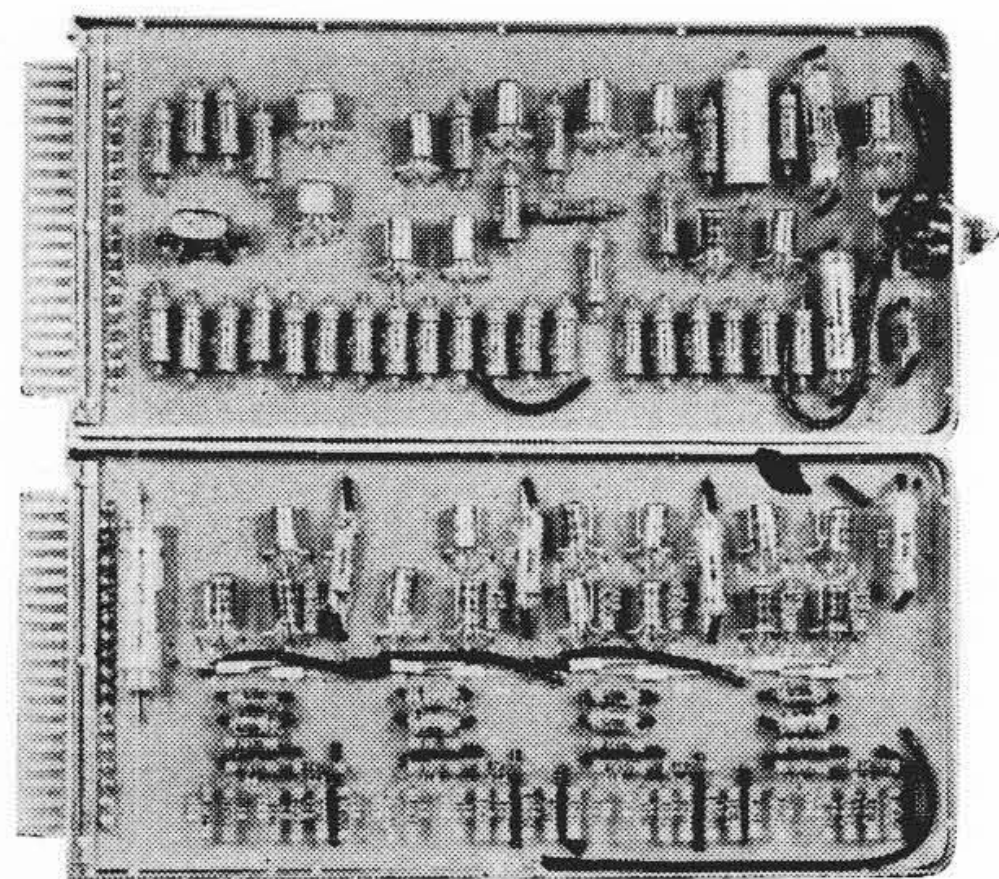


第 6 図 ADF-311-B

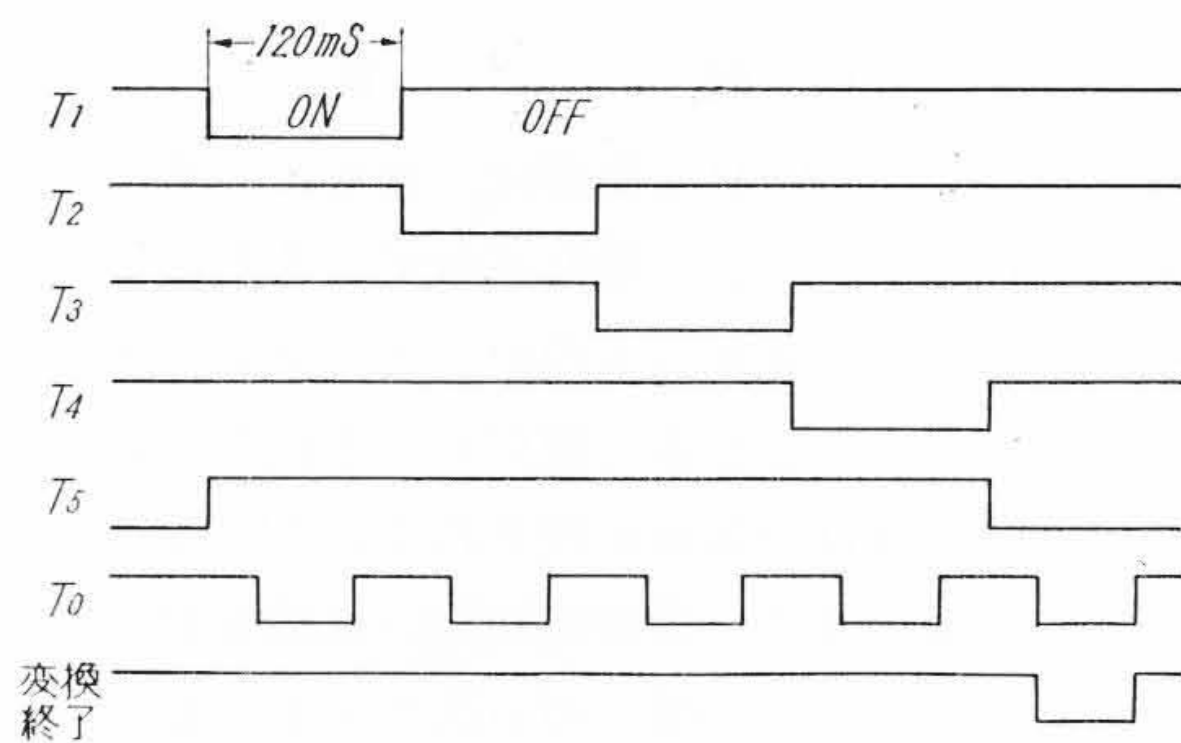
これらは第 4～6 図に示すように、変換部および電源部の 2 盤から構成され、変換部は保守、点検の容易さを考慮して第 7 図のようにプラグインユニット化された構造となっている。

3.1 ADF-301-B, U

ADF-301-B, U はいずれも変換結果を 4-2-2-1 コードによる 10 進 3 けた, 0～999 の数値として取り扱う。出力には 13 ビット (ADF-301-U の場合は 12 ビット) を、セミスタティックな接点の開閉で取り出す平行出力と、各けたを純 10 進数に変換し、 $-48V$ の信号として時分割に取り出すシリアル出力とがある。シリアル出力はレミントンランド社あるいはアンダウッド社などのソレノイドマグネット駆動のキーをもったタイプライタを直接駆動できるので、これらを直結するだけで、簡単なデータ作表装置を作ることが可能である。また第 8 図に示すように、入力をマルチチャンネル化するための走査器など外部に接続する装置を制御するためのタイミング出力 $T_0, T_1 \sim T_5$ (ADF-301-U は T_5 なし), A-D 変換終了信号などが、



第 7 図 プリント基板に組み込まれたプラグインユニット



第 8 図 ADF-301-B のタイミング出力

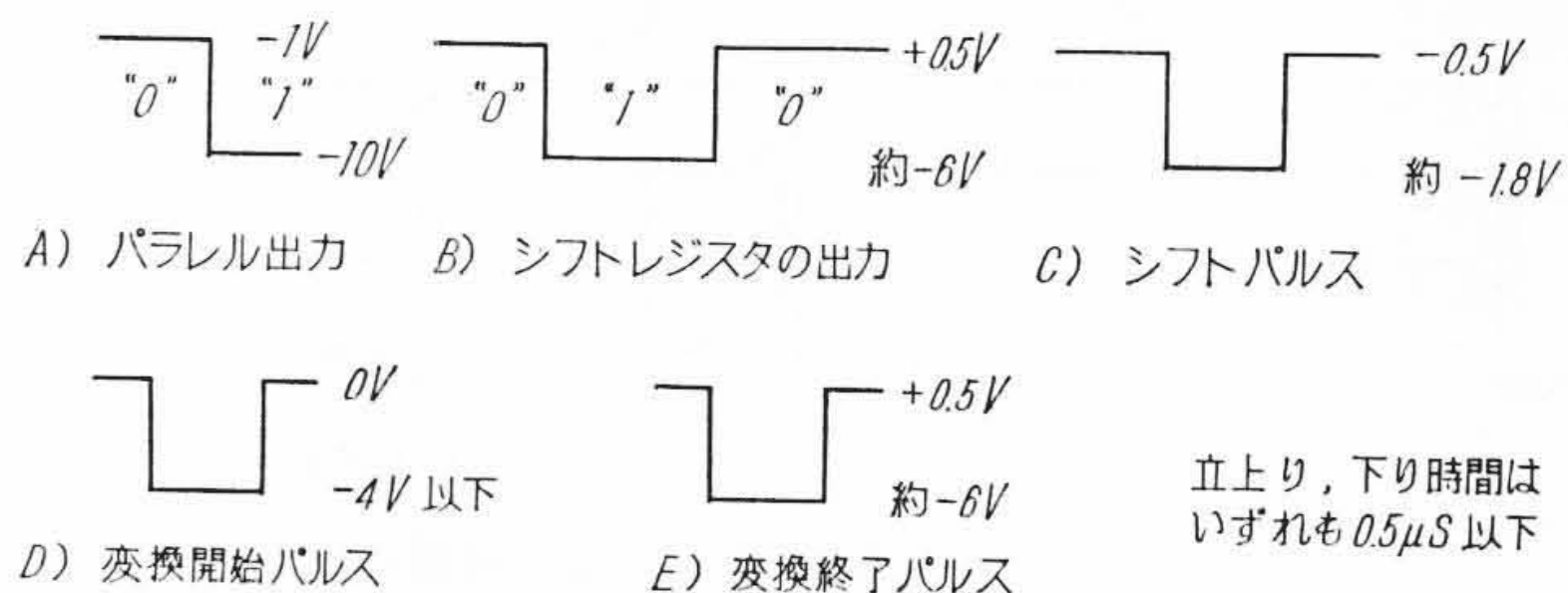
接点の開閉で取り出せる。これらの出力は、変換に必要なタイミングを作るプログラム回路を利用して出し、このために特別なタイミング回路を設けてはいない。したがって ADF-301-B, U を使用すれば、時計のように正確さを必要とするもの以外には、別にタイミング回路を設けなくてもデータ処理装置を作ることができる⁽¹⁾。一方、変換動作はパネル面のロータリスイッチにより必要に応じて次の (a)～(d) を選択することができる。

- (a) 「休止」 動作が休止する。
- (b) 「手動」 スイッチを手動でこの位置にしている間、連続的に変換を行なう。これはノンロックスイッチになっていて手を離せば「休止」位置に復帰する。
- (c) 「外部」 外部から、接点を閉じることによって変換を行なう。接点は耐圧 12V 以上、許容電流 10mA 以上であればよい。
- (d) 「内部」 動作は (b) と同じであるが、ロックスイッチになっている。

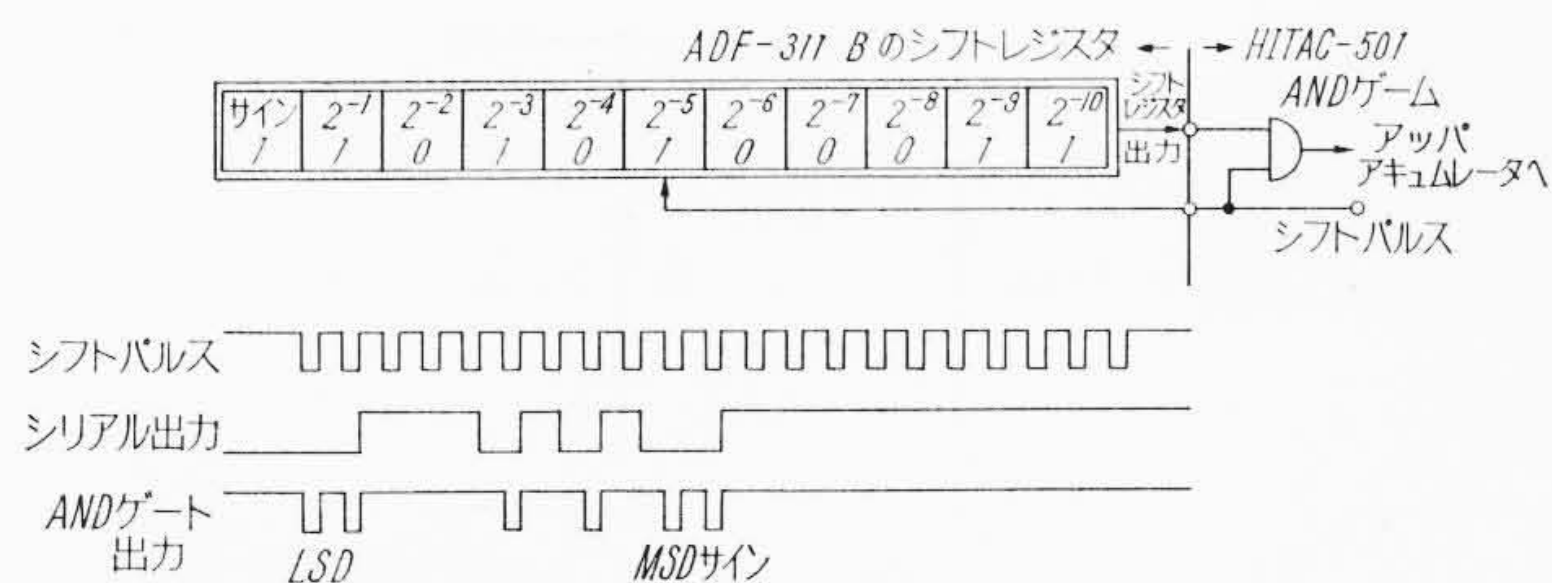
このように、ADF-301-B, U は内部の構成回路を最大限に利用して、接続される機器の類似回路を省略することに主眼をおいて設計された A-D 変換器である。

3.2 ADF-311-B

データ処理装置の一般性と機動性と処理能力を向上させるために、汎用のデジタル形電子計算機が利用される場合が多い。ADF-311-B はこのようなシステムのために、特に電子計算機との接続を考慮して設計されたものである。変換結果は、符号 + 2 進 10 けたの形で取り扱われ、これを各けたの平行に、第 9 図 (A) に示すよう



第 9 図 入出力電圧波形



第10図 HITAC 501 との接続を示すブロック図(上)とタイムチャート(下)

なレベルで送り出す「パラレル出力」と、シフトパルスを外から加えることにより、L. S. D. (Least Significant Digit) から順次読み出すことができる「シリアル出力」といずれの方法でも取り出せるようになっている。

ADF-311-B と直結が可能な電子計算機は、HITAC-501 および HITAC-502 であって、いずれもデータ処理装置用あるいは制御用として設計されたものである。第10図は HITAC-501 との信号の受け渡し関係を示すブロック図とタイムチャートである。シフトレジスタの出力は第9図(B)に示すような“0”を+0.5V, “1”を-6Vで表わすスタティックフリップフロップの出力であり、シフトパルスは同図(C)に示すようなパルス幅2 μ s, くり返し周波数約200 kc/s のダイナミックフリップフロップの出力である。シフトレジスタの出力は、HITAC-501 の入力ゲートでシフトパルスとの論理積をとってアップアキュムレータに送られ、これと同時に ADF-311-B のシフトレジスタは、シフトパルスの後縁で1ビット右にシフトされる。このようにして ADF-311-B の変換結果は HITAC-501 に転送される。シフトパルスは21個出るが、シフトレジスタの初段はシフトパルスによって常にリセットされるようになっているので、サインビット以下は“0”となり不都合を生じない。以上は HITAC-502 についてもだいたい同じである。一方、変換開始信号は第9図(D)に示すパルスまたはパネル前面の押ボタンスイッチで与えられ、変換終了信号は同図(E)に示すパルスで送出される。

4. 主要構成回路

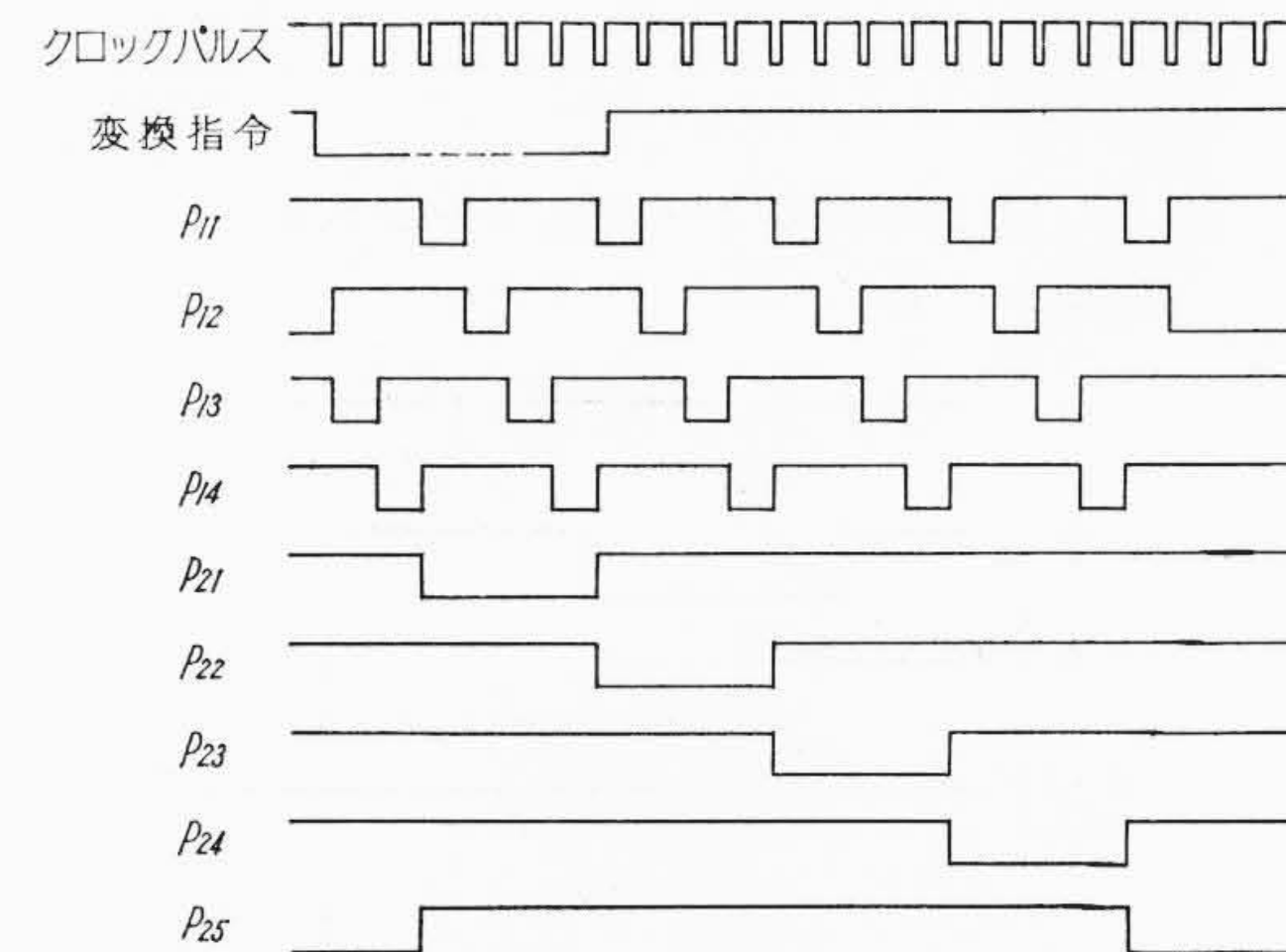
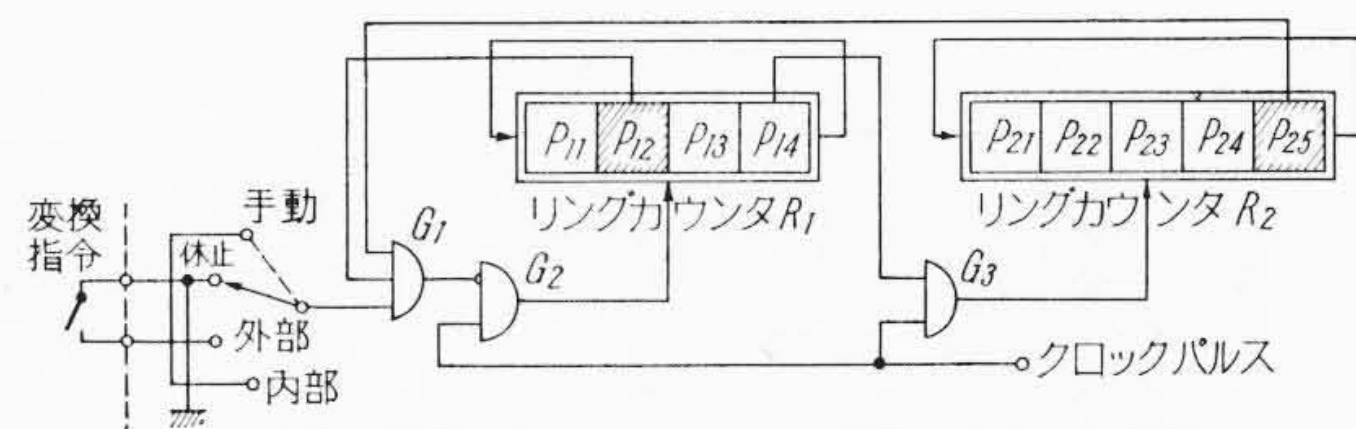
ADF-300 シリーズに採用した回路のうち、主要なものについて述べる。

4.1 プログラム回路

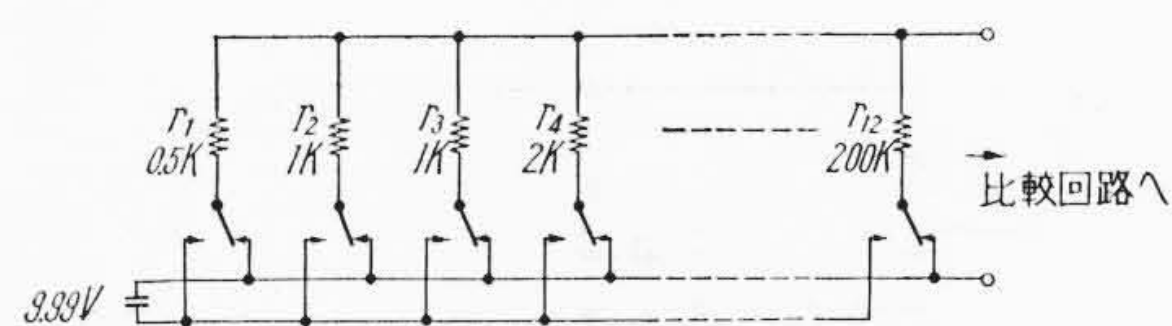
第11図は ADF-301-B のプログラム回路のブロックダイアグラムと、そのタイムチャートである。他の機種についても同様な構成であるので、ここでは説明を省略する。クロックパルスは、フリーランニングマルチバイブレータと、ワンショットマルチバイブレータとによって、パルス幅約100 μ s, くり返し時間30 ms (ADF-311-B では約9 ms) のものを得ている。 R_1 および R_2 はそれぞれ4進および5進のリングカウンタであって、同期式フリップフロップと、従来のエミッタ共通接続のリングカウンタとの長所を兼ね備えた構成として、安定度と信頼度を高めるようにしてある。これら二つのリングカウンタは、ゲート $G_1 \sim G_3$ で制御され、 R_1 の4周期に対して R_2 の1周期が対応するようになっている。したがって R_1 の出力と R_2 の出力の論理積をとると、0~19のタイミングが得られる。たとえば P_{13} , P_{22} は9番目のタイミングとなる。

4.2 D-A 変換回路

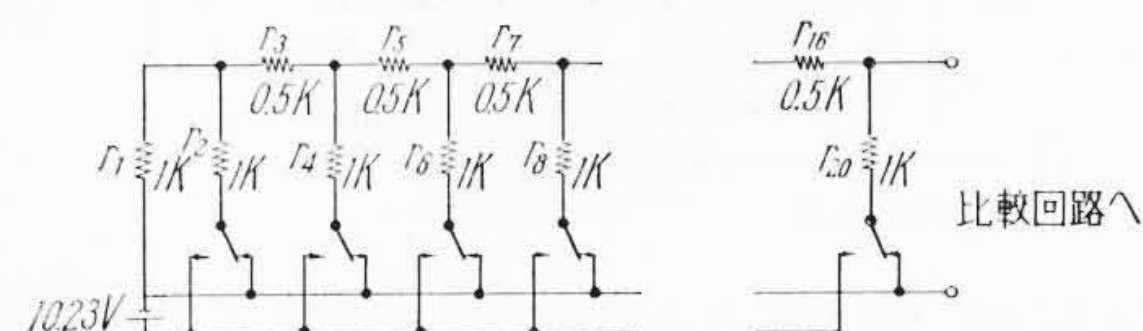
D-A変換回路は、帰還形A-D変換器の直線性を決定する重要な部分である。第12図および第13図は ADF-301-B, U および ADF-311-B の D-A 変換回路である。この回路で重要なことは、直線性のよいことと、オフセット電圧の小さいことであって、前者は使用する抵抗器の精度とスイッチの内部抵抗で決まり、後者はスイッチの



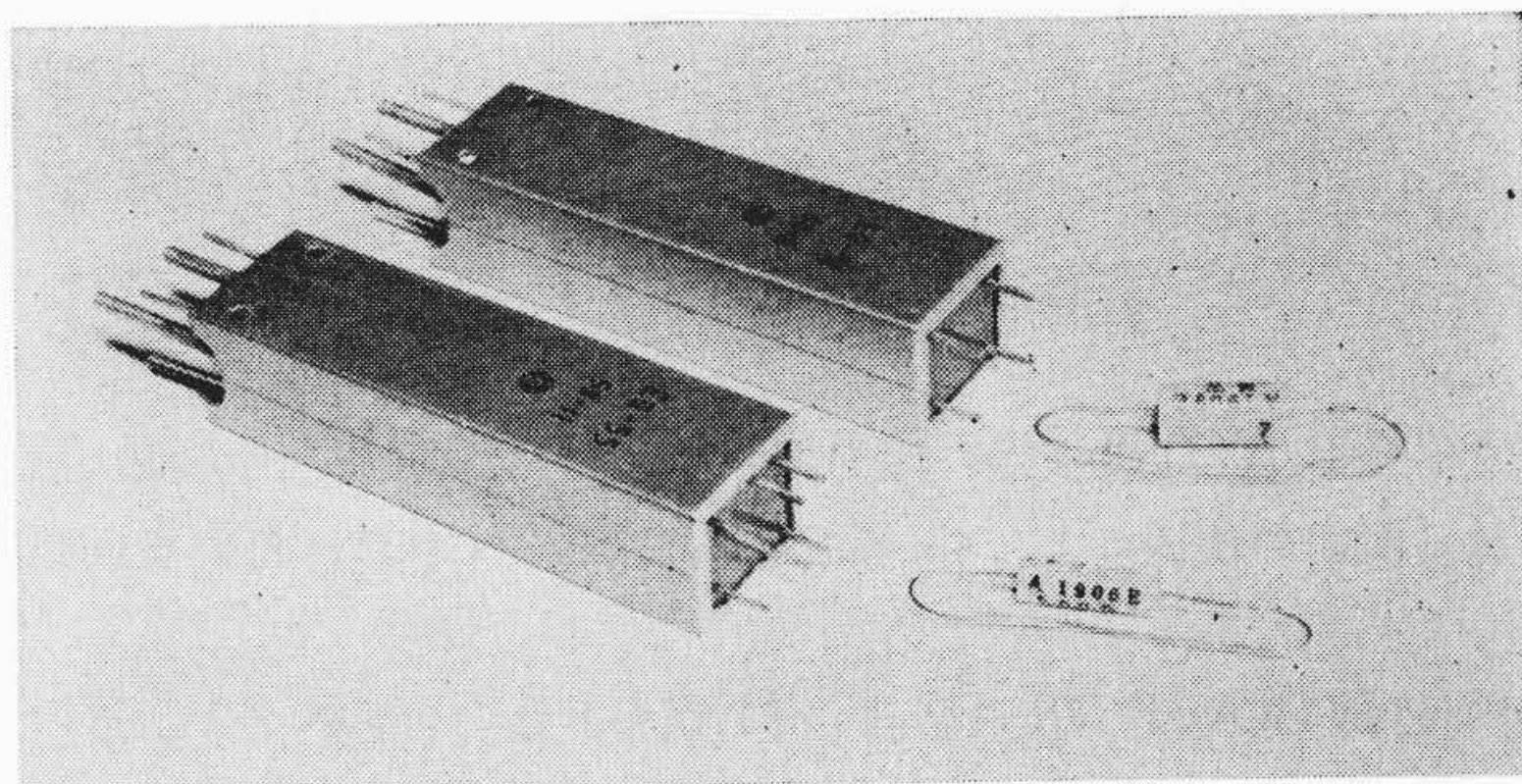
第11図 ADF-301-B のプログラム回路とその動作



第12図 ADF-301-B, U の D-A 変換回路



第13図 ADF-311-B の D-A 変換回路



第14図 精密巻線抵抗器(右)とリードリレー(左)

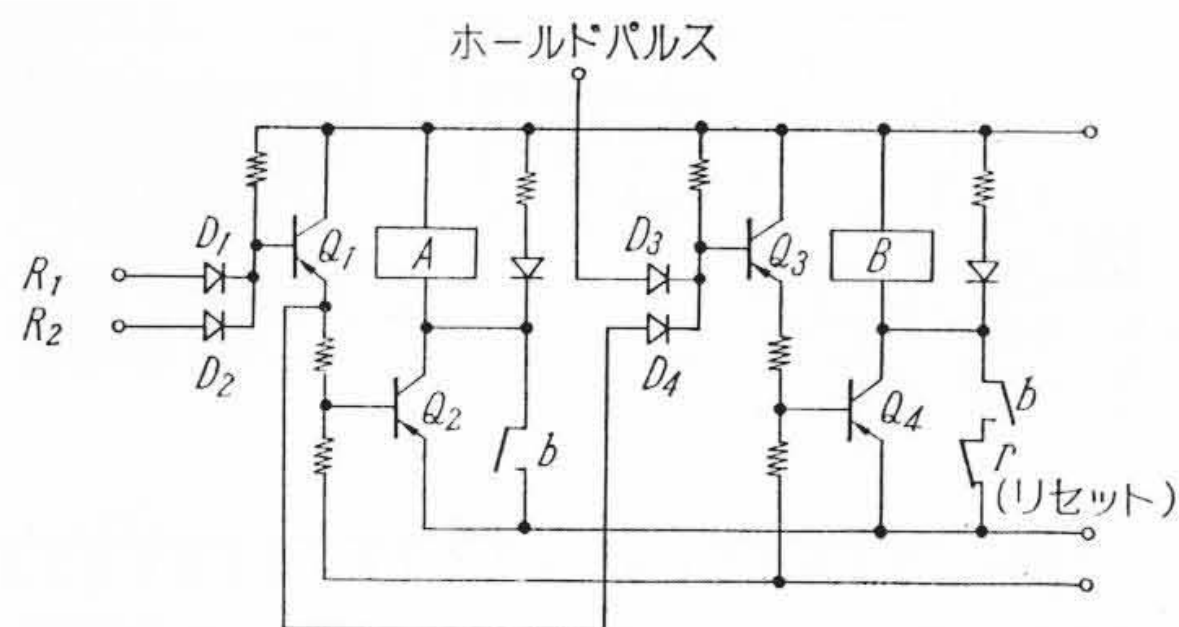
第2表 精密巻線抵抗器の仕様

端子形状	リード端子形
抵抗値	0.1~10M Ω
抵抗値精度	$\pm 0.1\%$
温度係数	E: $\pm 0.000031^\circ\text{C}$ 以下
電力	1/4W
使用温度	-65~105 $^\circ\text{C}$
高周波特性	50 kc

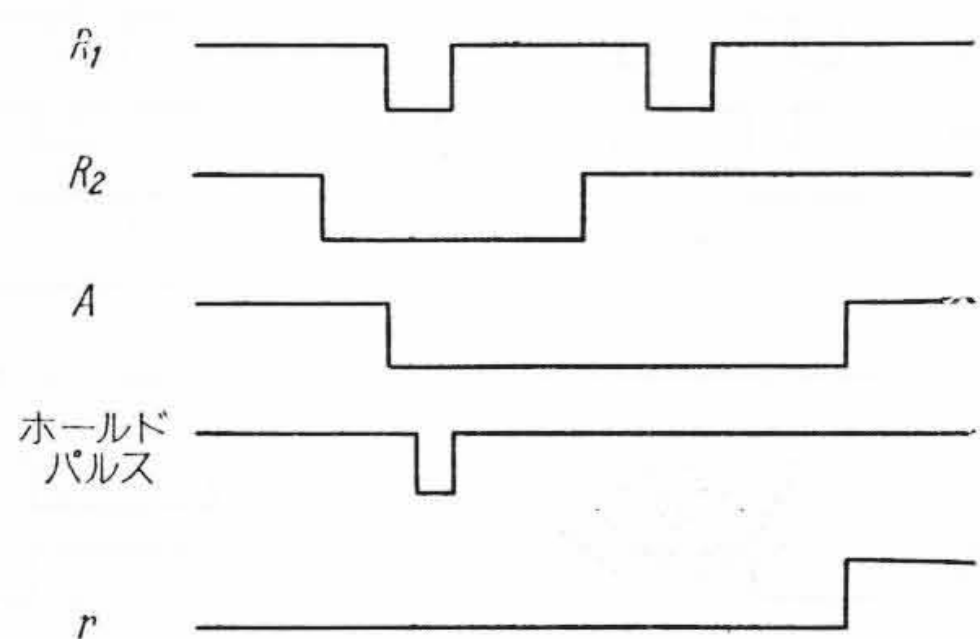
漏えい抵抗と内部抵抗の比で決まる。ADF-300 シリーズでは、抵抗器には第2表に示す仕様の0.1%級精密巻線抵抗器を採用し、スイッチには第14図のようなリードリレーを使って、これらの問題を解決している。

4.3 レジスタ

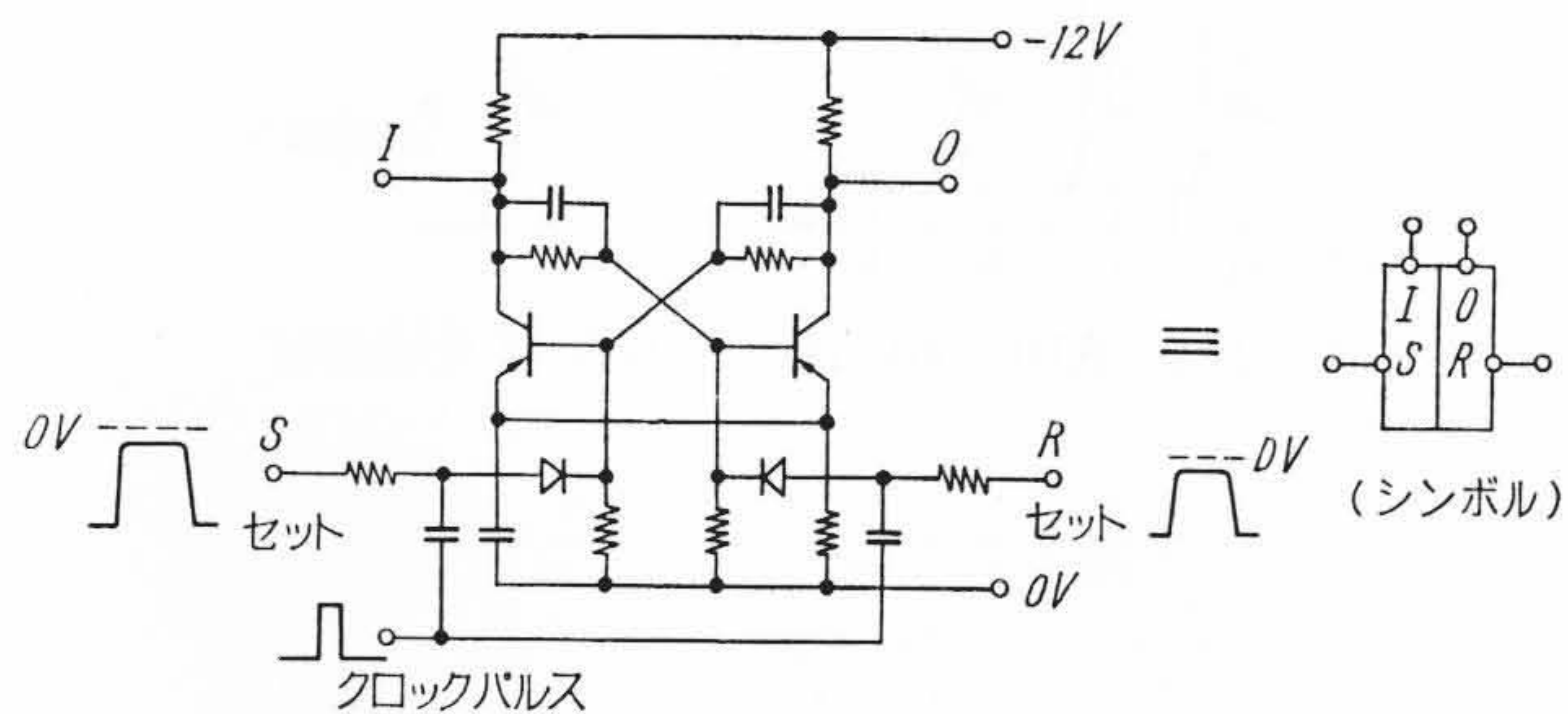
変換の各ステップにおける値を保持するためのレジスタは、それ



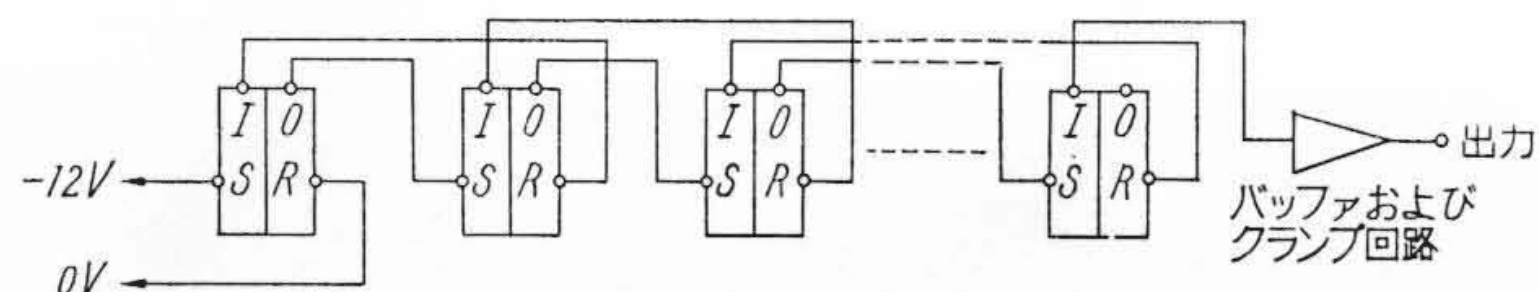
第 15 図 リレーによるレジスタ



第 16 図 レジスタの動作



第 17 図 同期式スタティックフリップフロップ

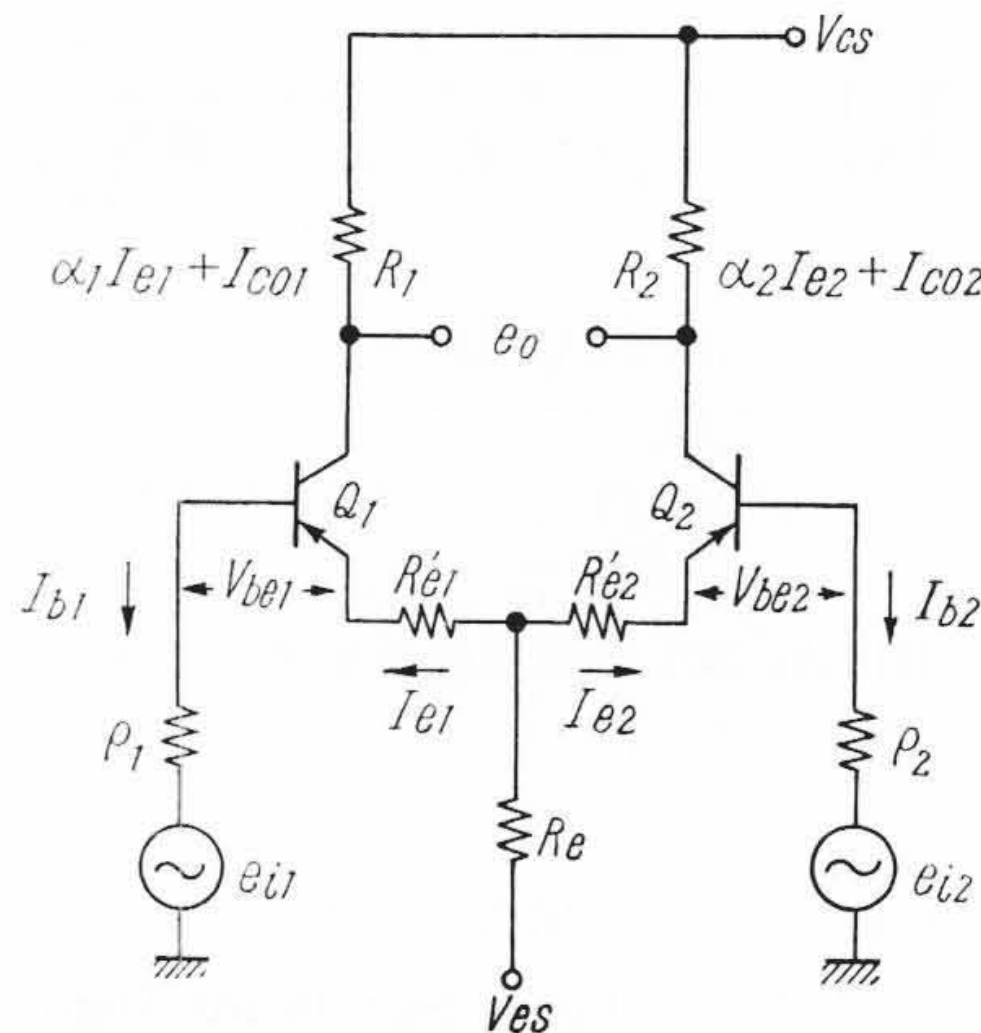


第 18 図 シフトレジスタの構成

自身帰還形 A-D 変換器の出力となる。したがって、出力側に接続される機器の仕様によって、回路構成を考慮すれば、むだな回路を省くことができる。

第 15 図は ADF-301-B, U の 1 ビット分のレジスタと、その入力回路である。これらの変換器は、リレーを主体として構成されるデータ処理装置に組み込まれることが非常に多いので、出力はリレーの接点で出すのが便利である。A は D-A 変換回路のリードリレー、B はホールド用の小形リレーであって、いずれもダイオードゲートとトランジスタスイッチ回路によって第 16 図のように動作する。リレー B は 4 個のトランスファ接点をもっているので、これらのうちの 1 個を「パラレル出力」に利用している。

ADF-311-B は、デジタル計算機と連動することを主眼としているので、レジスタには第 17 図に示すスタティックフリップフロップを使って変換速度を高め、さらにバッファレジスタとして、シフトレジスタをもっている。スタティックフリップフロップは、図に示すような、いわゆる同期式のトリガ方式を取り入れることにより、動作の信頼性を著しく高めることが報告されている⁽²⁾。これを用いてシフトレジスタを構成した場合は、クロックパルスはシフトパルスとなり、また初段を第 18 図に示す接続にすると、本文 3.2 に述べたように、不要のビットを“0”にすることができる。



第 19 図 差動増幅器

4.4 比較回路

帰還形 A-D 変換器においては、入力電圧と帰還電圧の大小を比較する部分の誤差が、そのまま変換誤差として表われると考えてよい。比較回路を構成するには、(1)チョップを用いた変調形、(2)マルシア形、(3)直流増幅器形などが考えられるが、ADF-300 シリーズにおいては、最も単純で十分解析されているトランジスタ化差動増幅器による直流増幅形とした。トランジスタは、使用する外周条件、特に周囲温度の影響を非常に受けやすいパラメタをもっているため、直流増幅器用の素子としては、きわめて不向きであるとされていた。しかし第 19 図に示すように、差動結合とすることにより、周囲温度の変化によるドリフトを十分小さくすることができる。

第 19 図について下記の関係式が成立する⁽³⁾。

$$e_0 = \frac{(e_{i1} - e_{i2})(\alpha_1 R_1 + \alpha_2 R_2)}{K} + \frac{(V_{be2} - V_{be1})(\alpha_1 R_1 + \alpha_2 R_2)}{K} + \left(\frac{\rho_1}{\beta_1} + R'_{e1} - \frac{\rho_2}{\beta_2} - R'_{e2} \right) \cdot \frac{V_{cs}}{R_e} \cdot \frac{(\alpha_1 R_1 + \alpha_2 R_2)}{K} + (I_{co1} R_1 - I_{co2} R_2) + \frac{(\rho_1 I_{co1} - \rho_2 I_{co2})(\alpha_1 R_1 + \alpha_2 R_2)}{K} \dots (1)$$

ただし

$$K = R'_{e1} + R'_{e2} + \frac{\rho_1^2 \rho_2^2}{\beta_1^2 \beta_2^2 R_e}$$

$$\beta_i = \frac{\alpha_i}{1 - \alpha_i} \quad (i = 1, 2)$$

β_i : Q_i の電流増幅率

I_{coi} : Q_i のコレクタ遮断電流

V_{bei} : Q_i のベース-エミッタ間電圧

とする。(1)式の中で、第 1 項はこの差動増幅器の電圧利得を表わすものである。

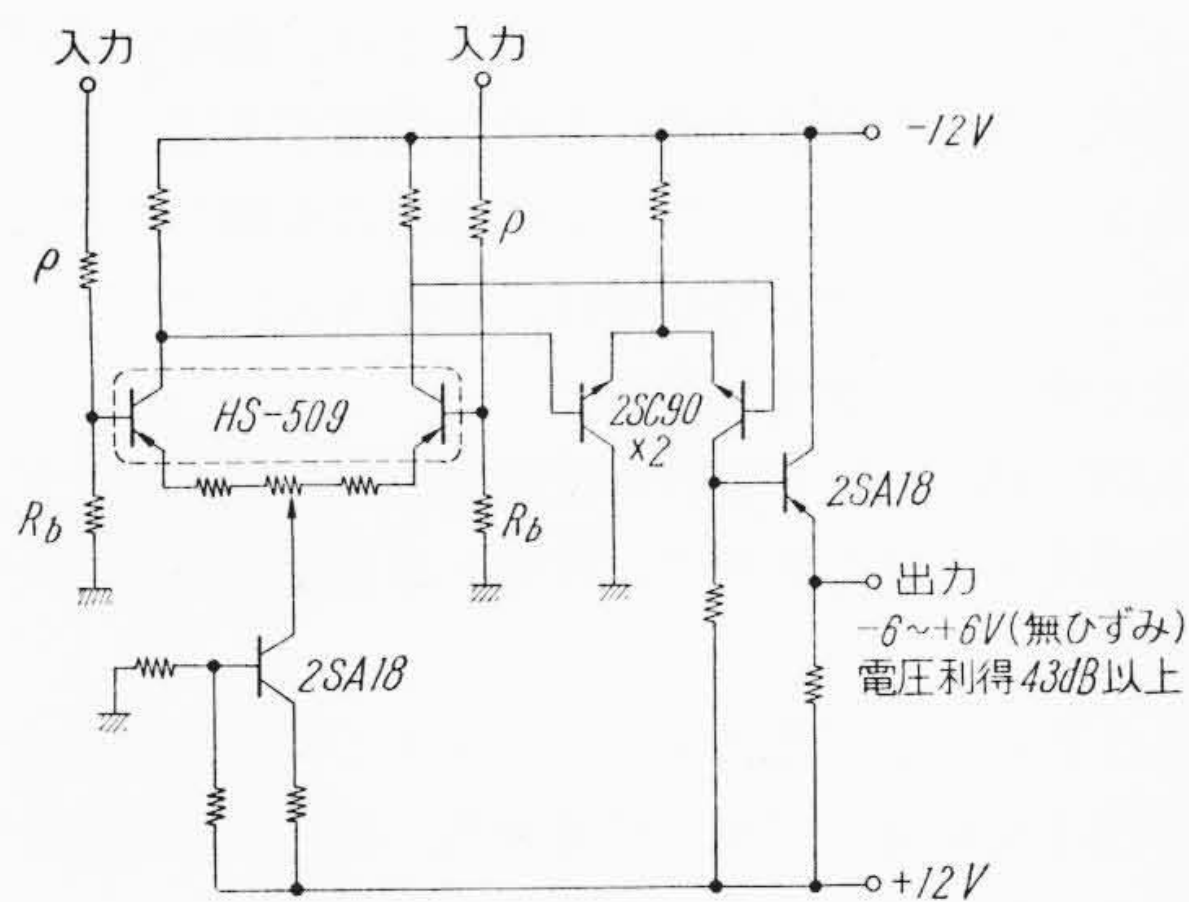
これを G とすれば

$$G = \frac{(e_0)}{(e_{i1} - e_{i2})} = \frac{(\alpha_1 R_1 + \alpha_2 R_2)}{K} \dots (2)$$

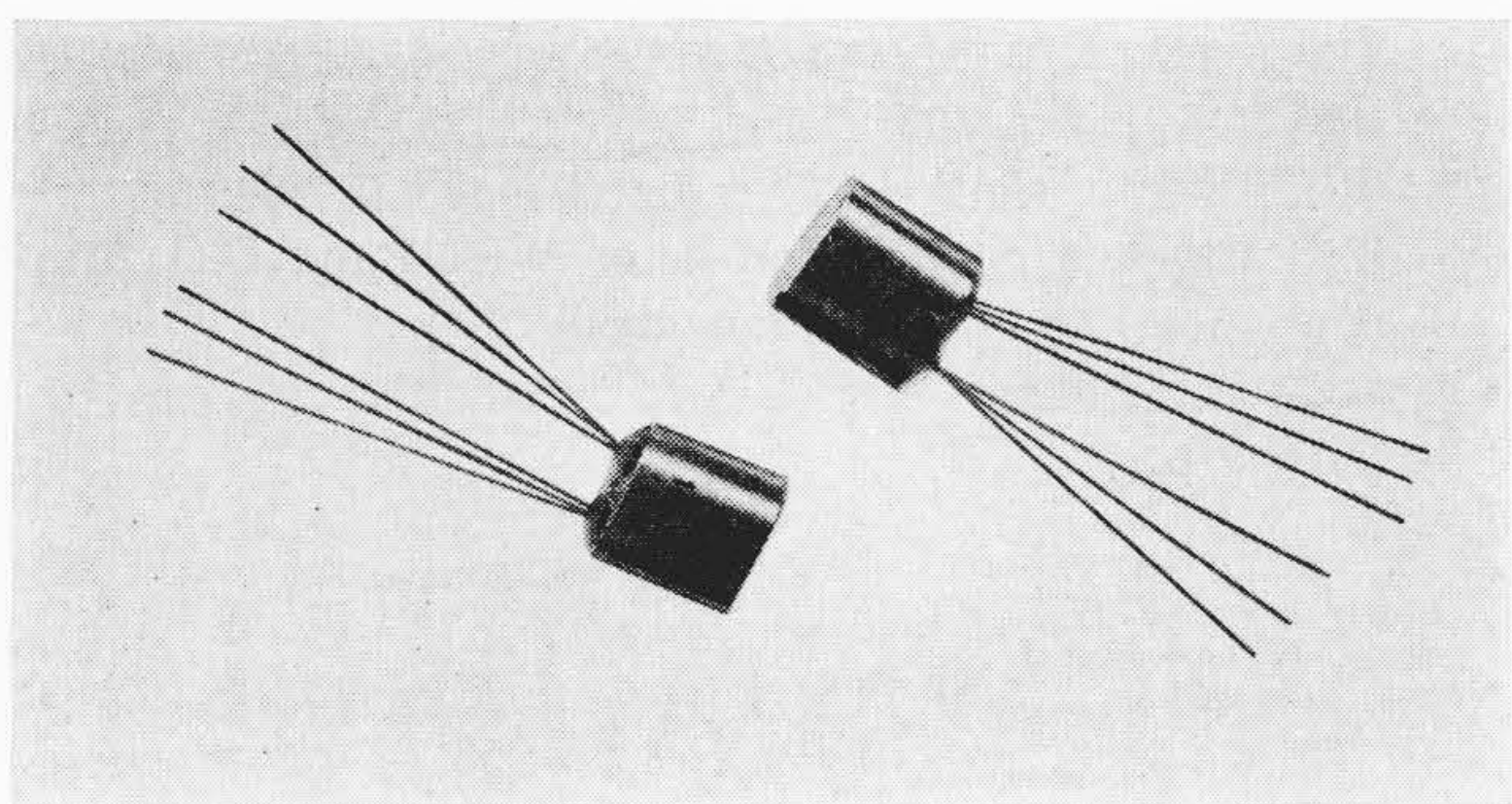
また(1)式に表われるトランジスタのパラメタのうち、特に温度変化の影響が大きいと考えられるのは I_{co} と V_{be} である。 I_{co} は温度上昇に伴って、指数関数的に増大する量で、普通のゲルマニウムトランジスタでは 30°C の上昇に対して約 10 倍となる。 V_{be} は約 2.4 mV/°C の温度係数をもつことが知られている。そこで e_0 の温度変化によるドリフト成分を ΔT_{e0} 、 I_{coi} の変化分を ΔI_{coi} 、 V_{bei} の変化分を ΔV_{bei} とすれば

$$\Delta T_{e0} = \frac{(\Delta V_{be2} - \Delta V_{be1})(\alpha_1 R_1 + \alpha_2 R_2)}{K} + \frac{(\Delta I_{co1} R_1 - \Delta I_{co2} R_2)}{K} + \frac{(\Delta I_{co1} \rho_1 - \Delta I_{co2} \rho_2)(\alpha_1 R_1 + \alpha_2 R_2)}{K} \dots (3)$$

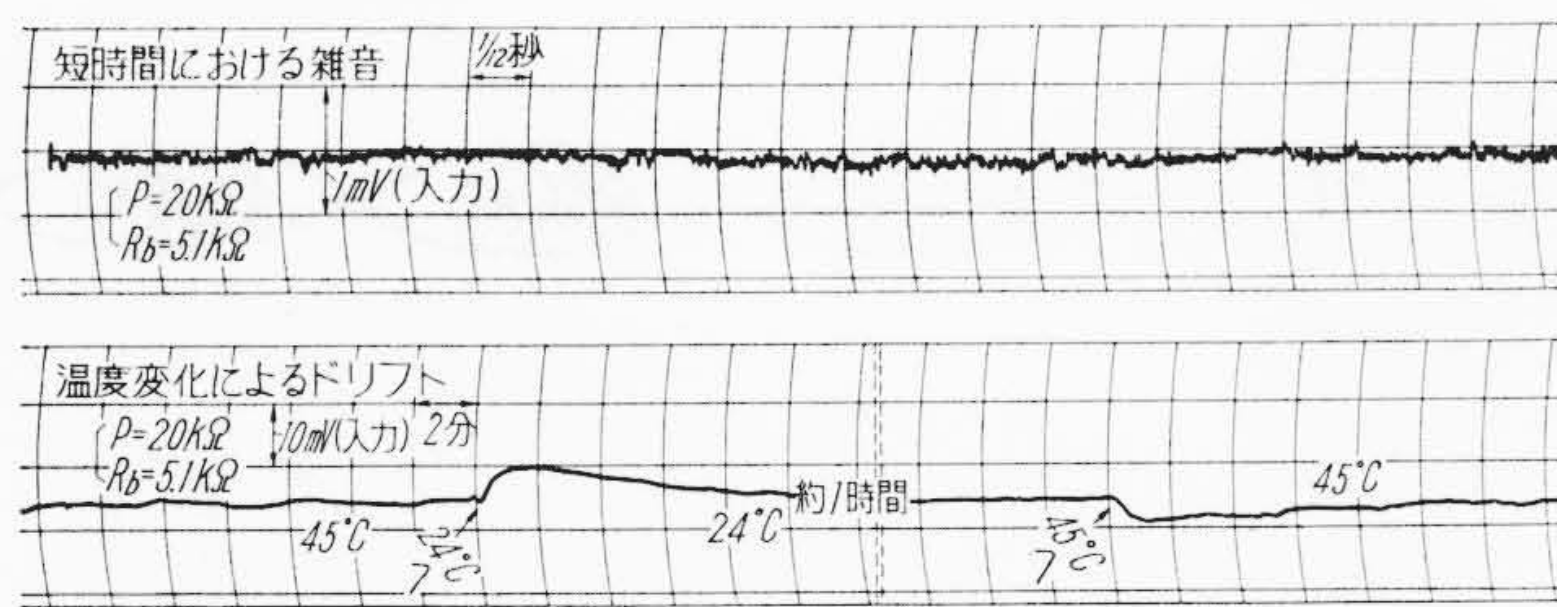
となる。したがって、温度変化によるドリフトの入力換算値 ΔT_{ei} は



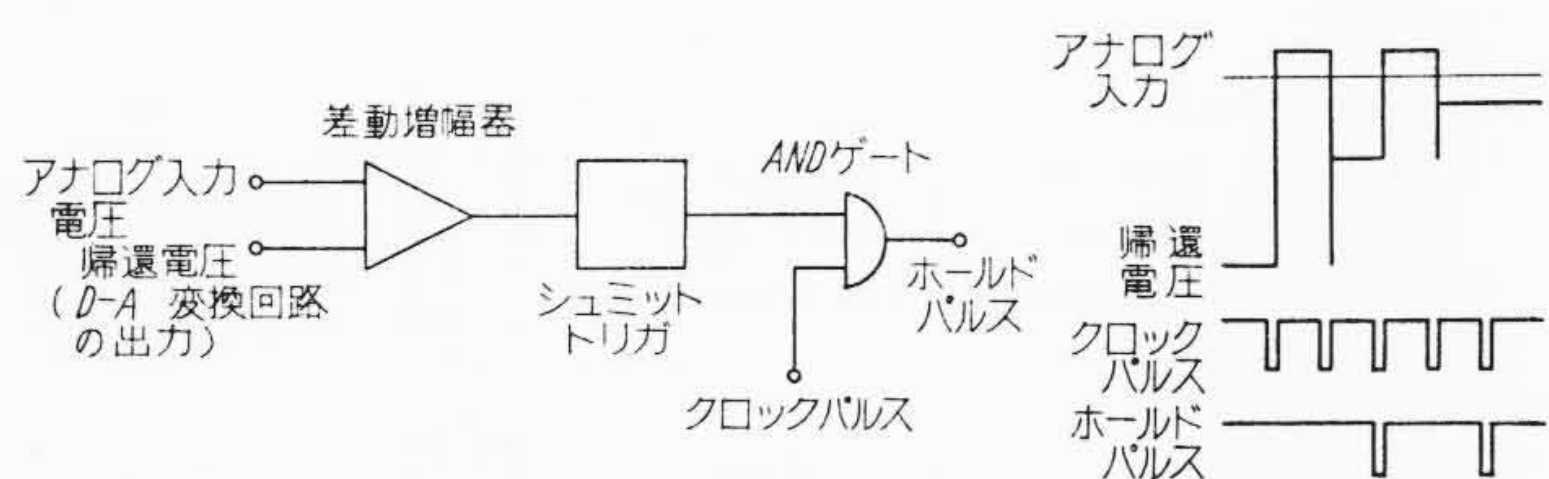
第20図



第21図 Twin形トランジスタ HS-509



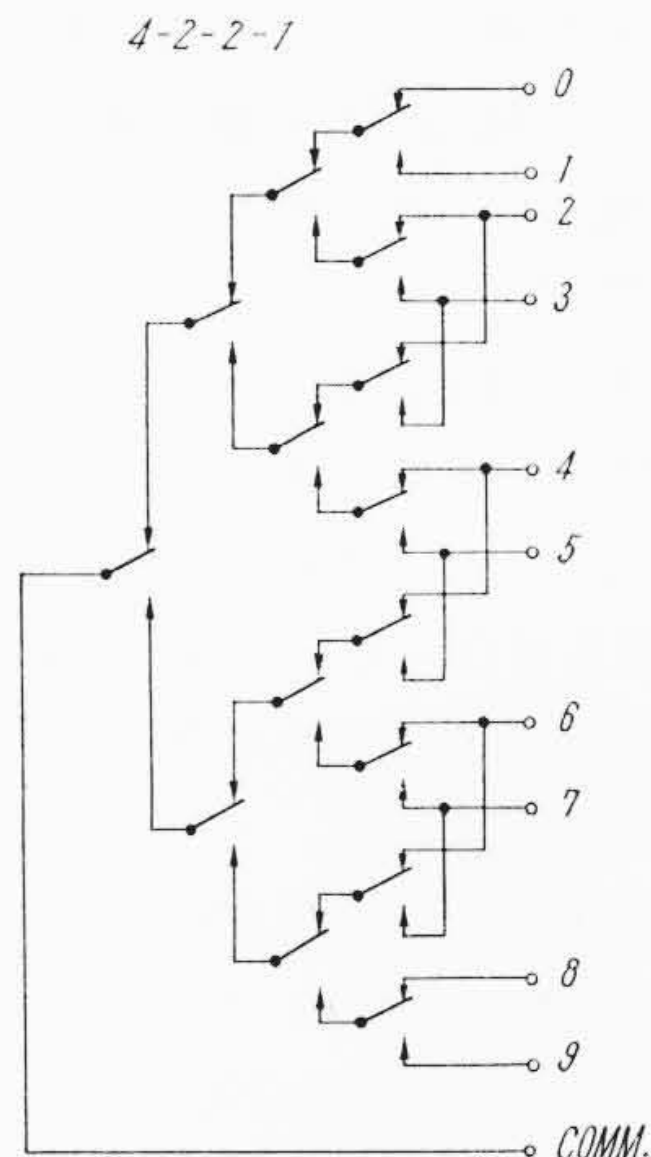
第22図 トランジスタ差動増幅器の雑音(上)と温度特性(下)のペンレコーダによる記録例



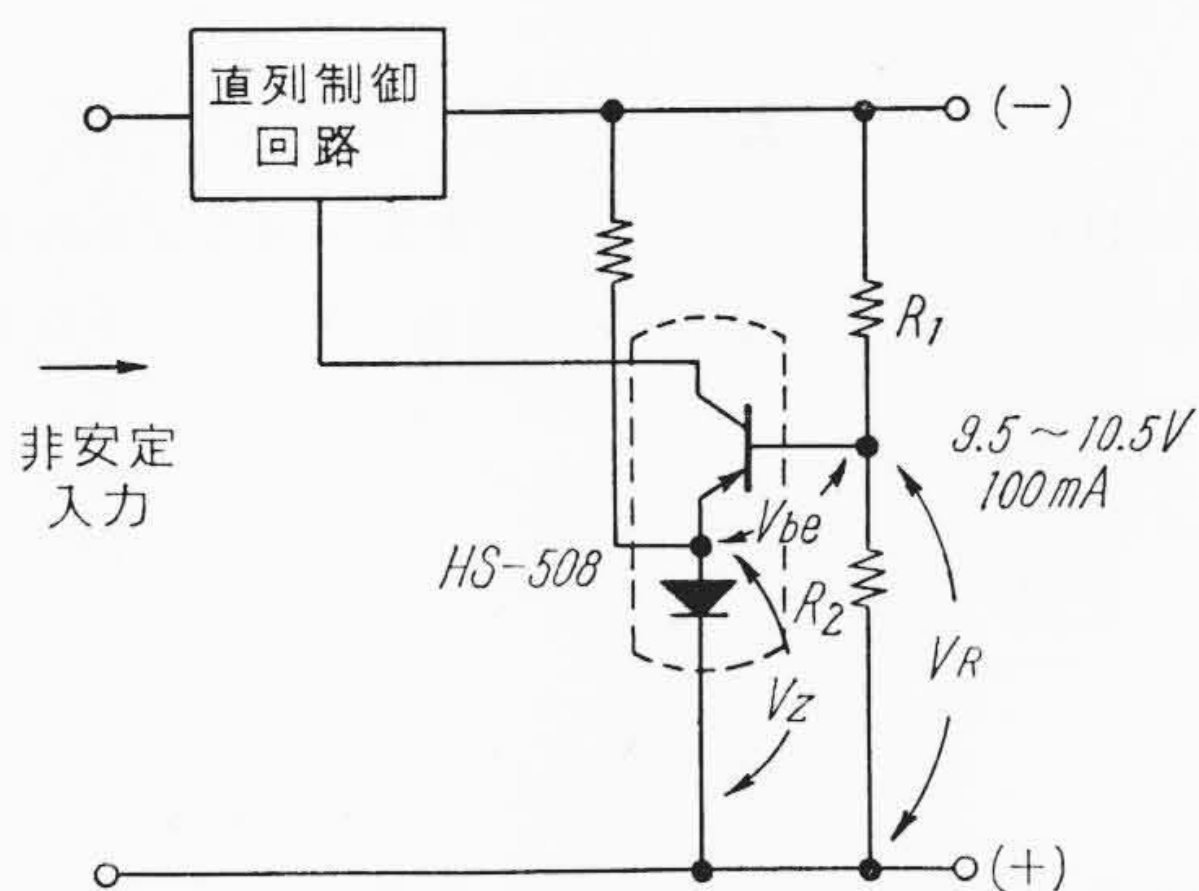
第23図 比較回路とその動作例

$$\Delta T_{ei} = \frac{\Delta T_{e0}}{G} = (\Delta V_{be2} - \Delta V_{be1}) + (\Delta I_{c01} \rho_1 - \Delta I_{c02} \rho_2) + \frac{(\Delta I_{c01} R_1 - \Delta I_{c02} R_2)}{G} \dots (4)$$

(4)式はトランジスタを差動増幅器として使用すれば、温度変化に対するドリフトを小さくすることおよび温度変化に対して安定な差動増幅器を作るには、2個のトランジスタをどんな基準で選別すればよいかということを示すものである。第20図は以上のようなことを考慮した差動増幅器の回路図であって、ADF-300シリーズの比較回路に使用しているものである。初段には、日立製作所で開発されたTwin形トランジスタHS-509(第21図)を使用した。HS-509は本来 R_b あるいは ρ の非常に低い回路に適用する目的で製作されているもので、 R_b あるいは ρ が比較的高い場合には(4)式からもわかるように、 $(\Delta I_{c01} - \Delta I_{c02})$ の及ぼす影響が大きいこ



第24図 ADF-301-B, Uのデコーダ



第25図 基準高圧源

とが考えられる。したがって ADF-300 シリーズでは特に $(\Delta I_{c01} - \Delta I_{c02})$ が小さいものを使用している。第22図は第20図に示す回路の雑音と、温度特性の一例をペンレコーダで記録したものである。またこの図からわかるように、トランジスタ差動増幅器の温度変化による特性の再現性は、かなり良好であることが予想される。第23図は ADF-300 シリーズの比較回路を示すダイアグラムであって平衡時の入力インピーダンスを高くするために、この回路の供給電源は他のものから直流的にフロートさせ、クロックパルスとホールドパルスはこれらの幅を十分短かくし、コンデンサを介して結合されるようになっている。

4.5 デコーダ

ADF-301-B, Uは先に述べたように、タイプライタと直結するための「シリアル出力」をもっている。これらの変換器のレジスタ出力は、4-2-2-1コードによる10進数であり、一方タイプライタはそれぞれのキー単独のソレノイドマグネットをもっていて、数値印字の信号は純10進数として扱われるようになっている。そこで、当然4-2-2-1コードから10進数への変換回路が必要となる。4-2-2-1コードの場合は“2”に相当するビットが2つあるので、少しくふうが必要である。この点を考慮して第24図に示すデコーダをワイヤスプリングリレーを用いて構成している。

4.6 電源

電源部は、定電圧ダイオードを基準電圧素子としたトランジスタ直列制御方式のものを使用している。電源部で問題となるのはD-A変換回路の基準電圧源である。この基準電圧源の安定度はA-D変換器の確度に直接影響するので、負荷変動、電源変動はもちろん、周囲条件の変化に対する考慮を十分にはならなければならない。この部分でも比較回路と同じように、周囲温度の変化に対するドリフトが最も重要かつ直接的な問題となる。ADF-300シリーズでは第25図に示すようなトランジスタ直列制御方式の安定化電源として

は、最も原理的で簡単な構成のもので満足すべき結果を得ている。この種の安定化電源では R_1 と R_2 に流す電流を Q_1 のベース電流およびコレクタ遮断電流に比べて、無視できる程度に十分大きくとると、 R_2 の両端の電圧 V_R が一定になり、その程度にしたがって所望の安定度が得られる。 V_R は Q_1 のベース-エミッタ間電圧 V_{be} と定電圧ダイオード ZD のゼナ電圧 V_z との和で表わされる。 V_{be} は、比較回路の項で述べたように、普通のゲルマニウムトランジスタでは約 $-2.4 \text{ mV}/^\circ\text{C}$ の温度係数をもっており、 V_z はその値が 6 V 付近のものを境にして、 $V_z < 6 \text{ V}$ のものは負、 $V_z > 6 \text{ V}$ のものは正の温度係数をもつことが知られている。したがって、 V_z の温度係数を適当に選べば、 $V_R = V_z + V_{be}$ は温度の影響を受けることなく一定であるようにできる。第 18 図に示す回路では、HS-509 と同様、日立製作所で開発された Twin 形定電圧素子 HS-508 の中で、特に V_R の温度係数が小さいものを使用しているの、簡単な回路でありながら非常に安定した特性が得られる。

5. 結 言

帰還形 A-D 変換器においては、本文 4.2, 4.6 などからもわかるように、その確度が精密巻線抵抗器、定電圧ダイオードなどの構成

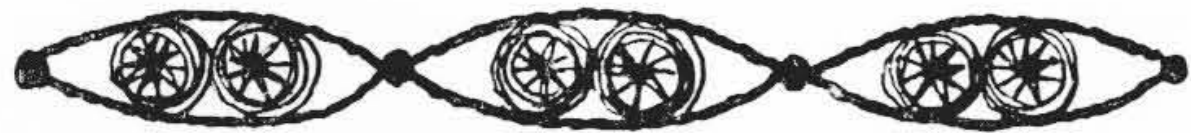
部品によって大きく支配される。このことは、逆にいえば、これらを慎重に選択して、信頼性の高いものを使用すれば、よりよい製品を作りうるということであって、この方式の欠陥がこの点にあるということではなく、設計に際しては、他の方式に比べてむしろありがたい特長と考えるべきであろう。

以上、ADF-300 シリーズ A-D 変換器について述べたが、今後もより高い信頼度と性能を目標に、検討と改良を重ねてゆく考えである。

最後に、これらの製品化にあたり、種々ご指導とご協力を賜った日立製作所中央研究所三浦主任研究員、同前戸塚工場小倉課長はじめ関係各位に厚く感謝の意を表するものである。

参 考 文 献

- (1) 不破：デジタル記録装置とその応用（エレクトロニクス，1961 年 6 月号 p. 700）
- (2) 中山，麻生：昭和 34 年連合大会講演論文集 1049
- (3) R. H. Okada：Stable Transistor Wide-Band D-C Amplifiers, A. I. E. E., p. 26 (Mar. 1960)
- (4) 大橋，永田，阿部：昭和電気通信学会全国大会シンポジウム (昭 6-9)



特 許 の 紹 介



特許第 267373 号

日立製作所日立研究所 竹村 克己
日立製作所 那珂工場 小沢 重樹
日立製作所 国分工場 平井 善一郎

経 済 的 負 荷 配 分 の 計 算 装 置

電力系統の経済的負荷配分の計算式は等増加率法によれば

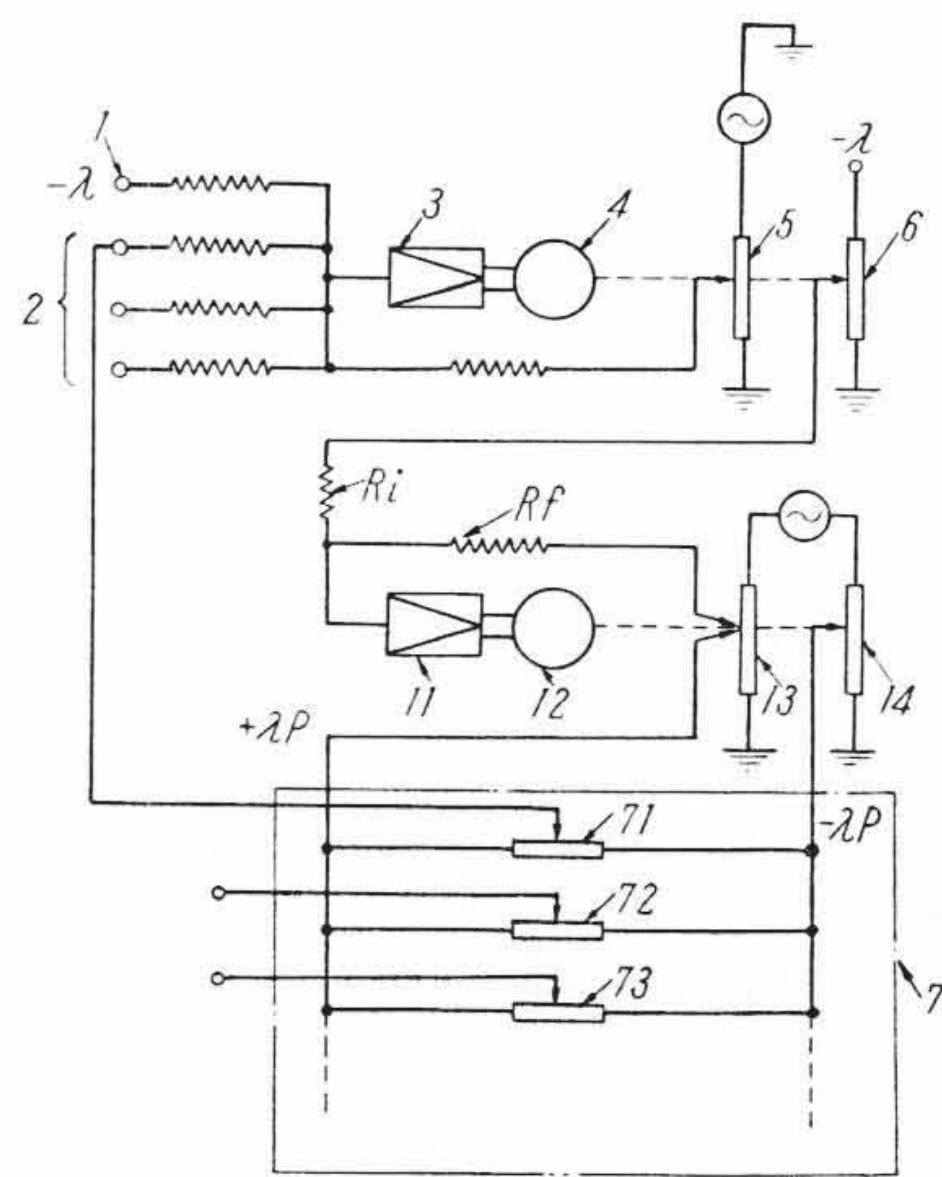
$$\frac{dF}{dP} + \lambda \frac{\partial L}{\partial P} = \lambda$$

となる。ここで dF/dP は増加燃料費， λ は最経済状態での総出力の増加燃料費 (円/kW)， $\partial L/\partial P$ は増加損失率である。

図は複数の発電所の経済的負荷配分を上式に従って計算する本発明装置を示すもので、従来装置にサーボ機構 11, 12 および分圧抵抗 13, 14 を付加するものである。3, 4, 5 よりなるサーボ機構の入力に $-\lambda$ に対応する電圧および $\lambda \frac{\partial L}{\partial P}$ に対応する電圧 2 を加える。5 は発電所の出力対増加燃料費曲線 $\partial E/\partial P$ に等しい関数抵抗である。このようにすれば 5 のしゅう動抵抗の位置は P (電力) に、電圧は dF/dP に対応する。7 は B 係数整定器で、通常は分圧器 6 より $-\lambda P$ に応ずる電圧付勢を受けているので 71, 72, 73, には $-\lambda P \times$ (その B 係数)，すなわち $\partial L/\partial P$ に応ずる電圧が得られる。

しかし、発電所数が多く、B 係数整定器を構成する電位差計 71, 72, 73 が多くなると誤差を伴いやすくなる。すなわち 6 に表われる分圧電圧が電位差計 71, 72, 73 の存在のため正確に $-\lambda P$ に対応しなくなる。

これを解決するために入力抵抗 R_i と帰還用抵抗 P_f を等しくした増幅器 11 を用いてサーボ電動機 12 を作動せしめ、反対極性の電圧



の与えられている二つの電位差計 13, 14 を調整して得られた信号を $+\lambda P$, $-\lambda P$ として B 係数整定器 7 に与えるようにするものである。
(小川)