

# 液体変速機用速度比および回転検出装置

## Speed Ratio Detecting & Speed Checking Device for Hydraulic Transmission

刈谷 志津郎\* 高岡 征\*  
Sizuo Kariya Tadashi Takaoka

### 内 容 梗 概

大出力の液体式ディーゼル機関車においては複数の特性の異なったトルクコンバータを塔載し、入出力軸の回転速度比を検出して、走行中各速度比において最も効率のよいトルクコンバータを選択し、運転効率の向上をはかっている。従来は油圧式あるいは機械式の検出装置により変速機の自動切り換えが行なわれてきたが、検出部分に損耗があり、保守上に問題があった。今回、これに代わるものとして全トランジスタ化したデジタル方式の速度比回転および検出装置を開発し、保守上の問題をなくすとともに検出装置の精度向上をも実現することができた。本装置は、日本国有鉄道 DD51 形および DD20 形液体式ディーゼル機関車に採用されすでに営業運転に使用されている。

### 1. 緒 言

液体変速機の効率は入力軸と出力軸との速度比に従って変化し、ある点で最大となりその前後では低下する。したがって高出力の液体式ディーゼル機関車におけるように、入出力軸の回転比が大幅に変化し、しかも全体として特に効率向上を必要とする系においてはトルクコンバータを複数個そなえ、機関側入力軸と、車軸側出力軸との回転速度比に最も適した変速機を選択使用する方法がとられている。第1図はこの関係を示すもので、横軸に変速機速度比（入力軸に比例する1, 2速コンバータ軸と出力軸に比例する中間軸との回転比、以後1, 2速コンバータ軸を一次軸、中間軸を二次軸という）、縦軸に効率をとっている。図においては三つの特性の異なるトルクコンバータを有する例を示しており、この3段を速度比によって適宜選択使用すれば全負荷運転であると部分負荷運転であるにかかわらず高効率運転することができる。この動作を自動的に行なうため、切り換え点に図示のようなヒステリシスを設ける。

従来は油圧式または機械式検出装置が用いられてきたが、特に機械式検出装置は連続使用されるため、機構部品に損耗があり、保守上問題となってくる。本装置はこの問題を解決するため全トランジスタ化デジタル方式を採用して、しゅう動部を有する機械的部品を全廃し、あわせて精度の向上をはかり装置の小形化をも実現せんとしたもので、機関車塔載という過酷な使用条件にも耐えうるよう幾多の試験を経て実用化されたものである。

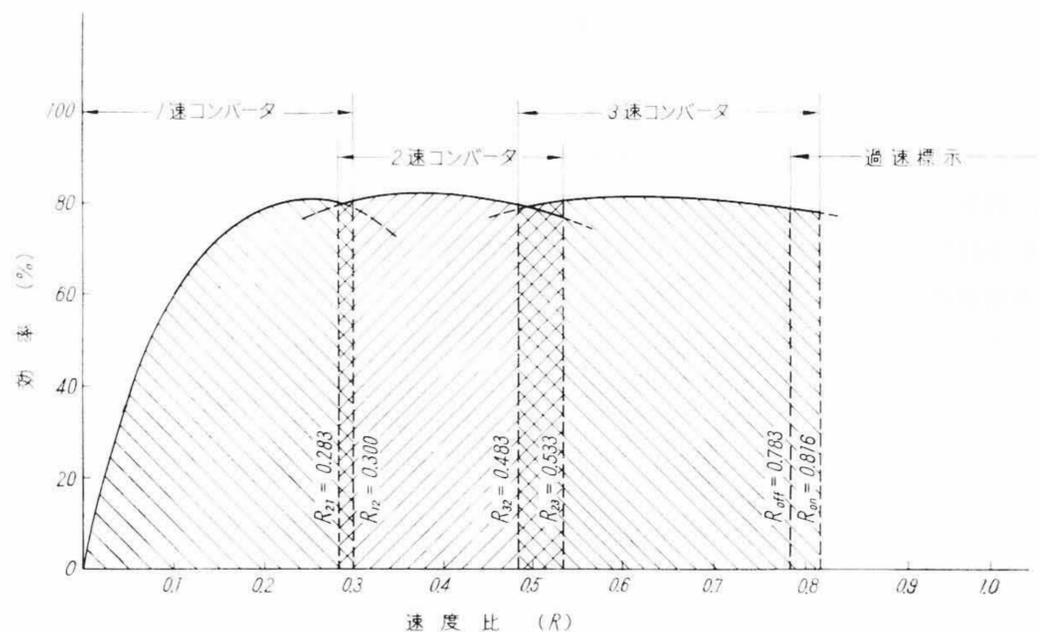
本装置は、出力軸発生パルスを利用して列車の絶対速度をも検出し、車速が十分に低いときにのみ逆転機の切り換えができ、誤操作による機器の損傷を防止している。第2図に本装置の外観を示す。

### 2. 仕様および構成

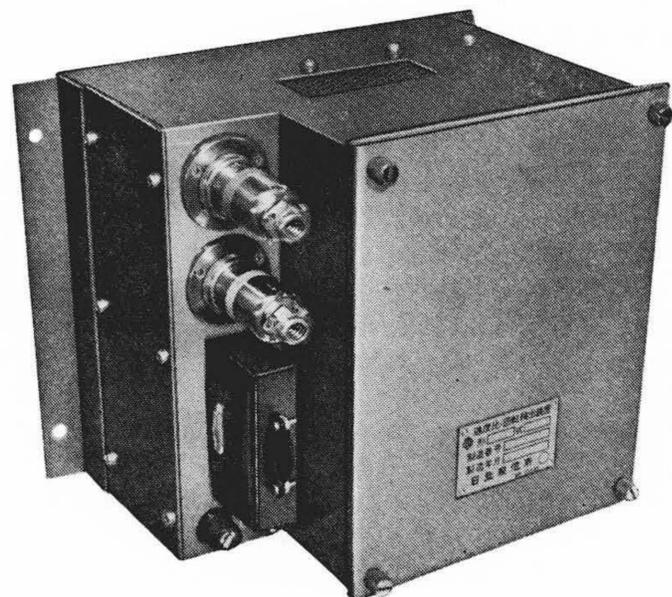
本装置の概略仕様は下記のとおりである。

- 検出段数 3段
- 検出速度比 第1表に示す。
- 低速回転検出 正転軸が 10 rpm 以下であることを検出する。
- 電源電圧 DC26V
- 許容電源電圧変動 ±6V
- 許容周囲温度 0~50°C

\* 日立製作所水戸工場



第1図 液体変速機効率曲線と切換点



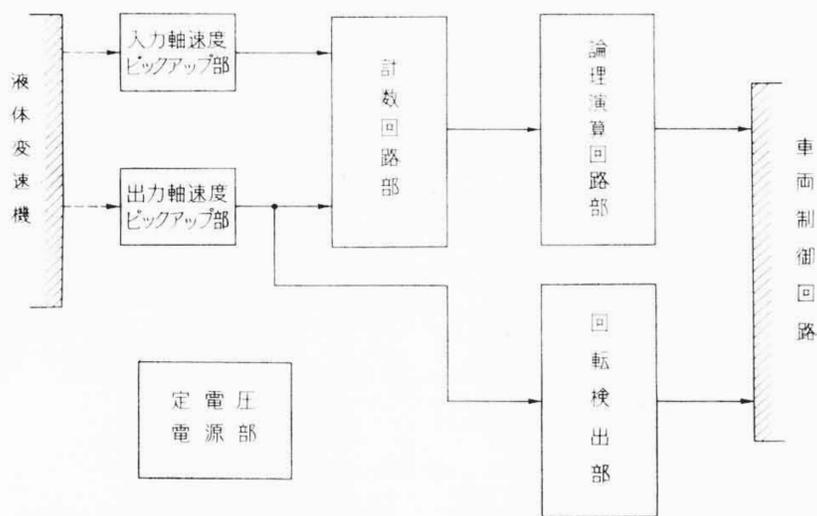
第2図 速度比および回転検出装置外観

第1表 検出速度比

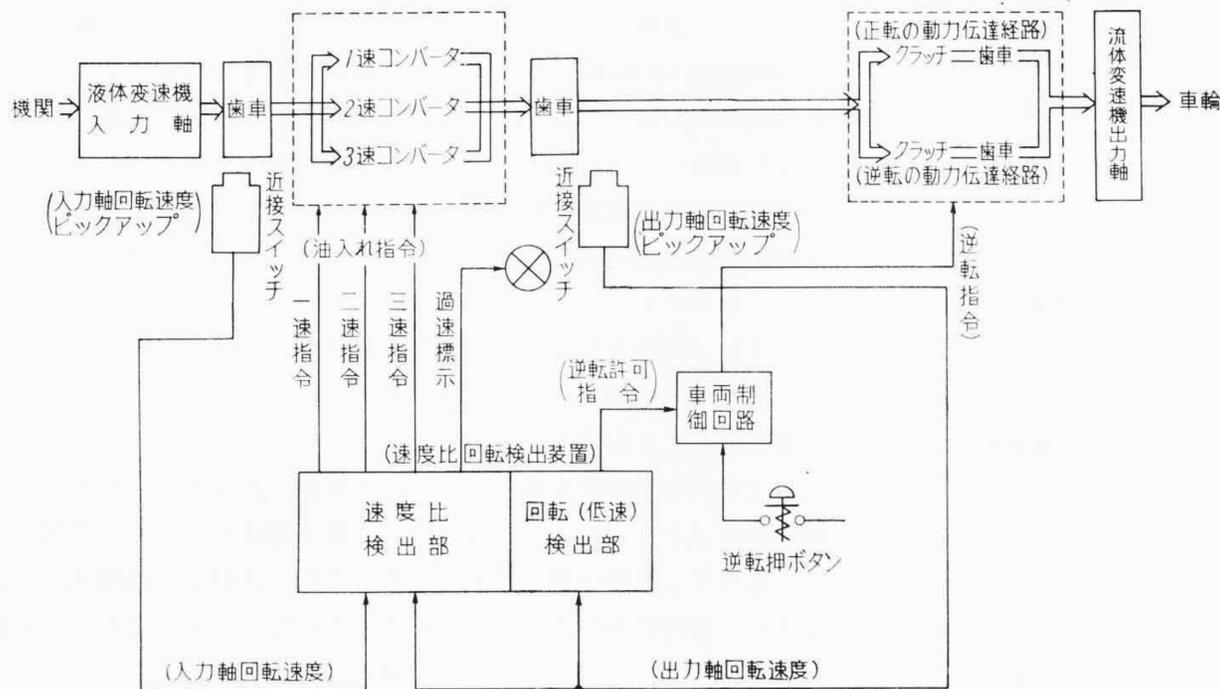
検 出 段	検 出 速 度 比
1 速 → 2 速	0.300
2 速 → 1 速	0.283
2 速 → 3 速	0.533
3 速 → 2 速	0.483
過速標示 オン	0.816
過速標示 オフ	0.783

消費電力 約 20W

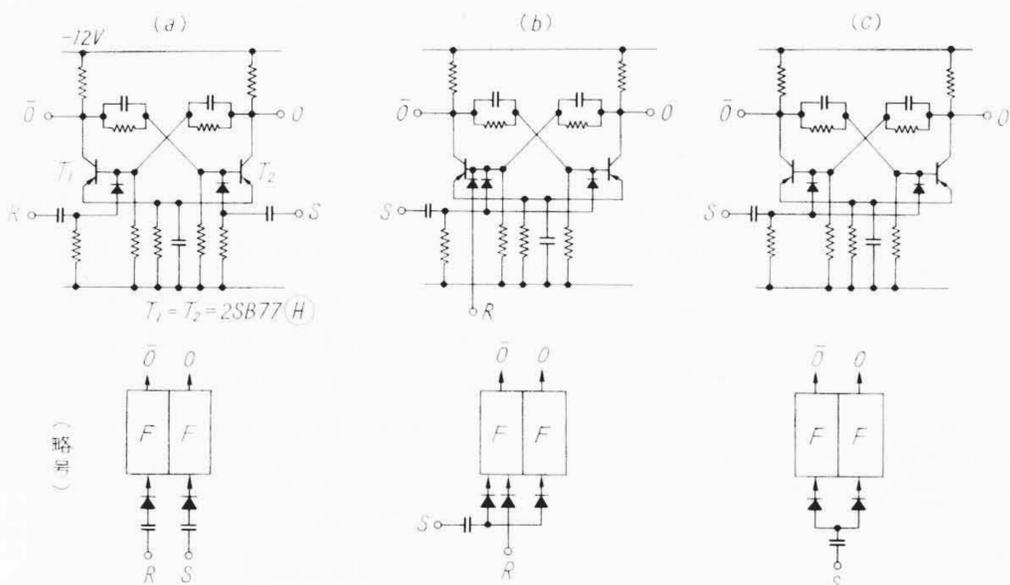
本装置の構成は第3図のとおりで、液体変速機の入出力軸回転速



第3図 装置の構成



第4図 液体変速機系統図



第5図 フリップフロップ回路およびバイナリ回路

度に比例した周波数の方形波信号を発生する一次軸速度ピックアップ部および二次軸速度ピックアップ部、二次軸パルスを二進計数して、液体変速機二次軸パルス1パルスに対する二次軸パルス数をカウントする計数回路部、その結果によりいかなる変速比にあるかを判断し、与えられたヒステリシス特性をもって液体変速機指令を出す論理演算回路部、液体変速機正転軸回転数が 10 rpm 以下であることを検知する回転検出部および電源回路部よりなっている。このような構成をもつ本装置は第4図に示されるように液体変速機の動力および指令伝達回路を制御している。ディーゼル機関によって入力軸に与えられたトルクは並設された3台のコンバータのうち本

装置の指令に応じて選択制御される最適なコンバータにより伝達されるわけである。トルクはさらに逆転機を経て出力軸から車輪へ伝えられるが、正転の場合と逆転の場合とは逆転機により切り換えられて回転方向が逆になる。この切り換えは十分低速になった後行なわれねばならないが、本装置の回転検出部は高速回転中に誤って乗務員により切替指令が出された場合でも直ちに逆転機切替操作を行なうことなく、一応その指令を記憶しておき正転軸回転数が 10 rpm 以下に低下したことを検出確認したのち、はじめて切替操作を行なわせるためのものである。

### 3. 基本回路とその動作

#### 3.1 フリップフロップ回路とバイナリ回路の動作

ここでフリップフロップ回路とは、セットとリセットのトリガ回路を持つ記憶的使用法のものを指し、バイナリ回路はフリップフロップ

回路のセットとリセット入力を結合した計数的使用法のものを指している。またバイナリ回路の二進計数を行なわせるものと単に分周作用を行なわせるものとに分けている。第5図(a)はフリップフロップ回路、(b)は二進計数用バイナリ回路、(c)は分周用バイナリ回路の回路図とその略号である。ここでSをセット入力、Rをリセット入力、O、 $\bar{O}$ を出力とする。ここで出力端子にあらわれる電圧 -12V を“1”、0V を“0”とすると以下のすべての基本回路入出力は“1”と“0”で表わされる。今、フリップフロップの出力  $\bar{O}$  = “1”、O = “0” でセット入力Sに正パルスを入れるとフリップフロップは反転し  $\bar{O}$  = “0”、O =

“1”となるが、 $\bar{O}$  = “0”、O = “1” でセットに正パルスがはいっても反転しない。また  $\bar{O}$  = “1”、O = “0” でリセット入力Rに正パルスがはいっても反転しないが、 $\bar{O}$  = “0”、O = “1” でRにリセットパルスがはいるとフリップフロップは反転する。第5図(b)の二進計数用バイナリはこれと異なり、セット入力Sに正パルスがはいると出力は反転する。しかしリセット入力があるとき  $\bar{O}$  = “1”となるのはフリップフロップと同じである。第5図(c)の分周用バイナリはリセット入力Rがなく、セット入力Sに正パルスがはいると出力は反転し、この動作をくり返す。

#### 3.2 モノステーブルマルチ回路の動作

モノステーブルマルチ回路はCとRより成る時定数回路を持ち、トリガパルスが与えられるとこの時定数回路で定まる一定時間幅の出力パルスを発生する。

#### 3.3 シュミットトリガ回路の動作

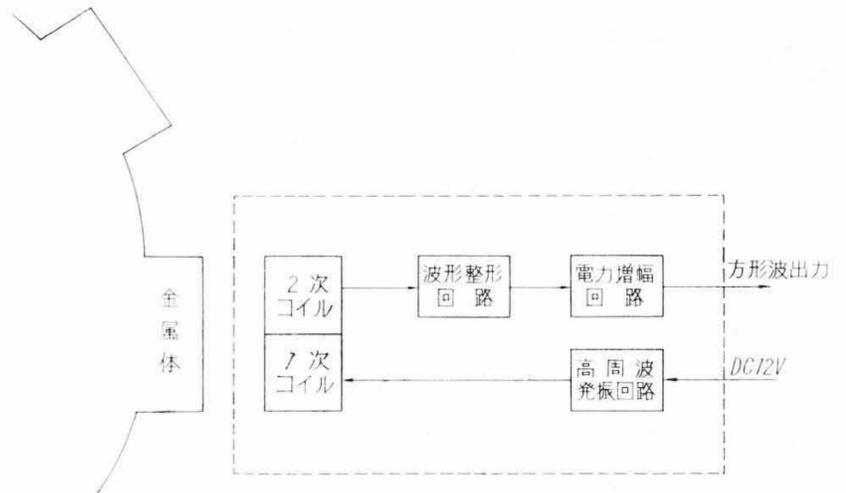
シュミットトリガ回路は入力波形の瞬時レベルがある一定値より高いか低いによって出力トランジスタが on と off になる二進的振幅判別動作を行なう波形変換回路である。出力波形は常に方形波であり、本装置では近接スイッチから得られた波形を整形し計数回路を駆動している。

#### 3.4 その他の基本回路

以上の基本回路以外に本装置では、インバータ回路、AND回路、エミッタホロワ回路、スイッチング回路の4回路を使用している。これら基本回路の設計にあたっては特に回路の温度特性に留意し、

第2表 基本回路

名称	路号	回路図	機能
マルチ回路 モノステーブル			一定時間発生
シュミット回路			波形整形
インバータ回路			位相反転 電圧増幅
AND回路			論理積
エミッタホロフ 回路			バッファ用 電流増幅
スイッチング 回路			リレー駆動用



第7図 近接スイッチ原理図

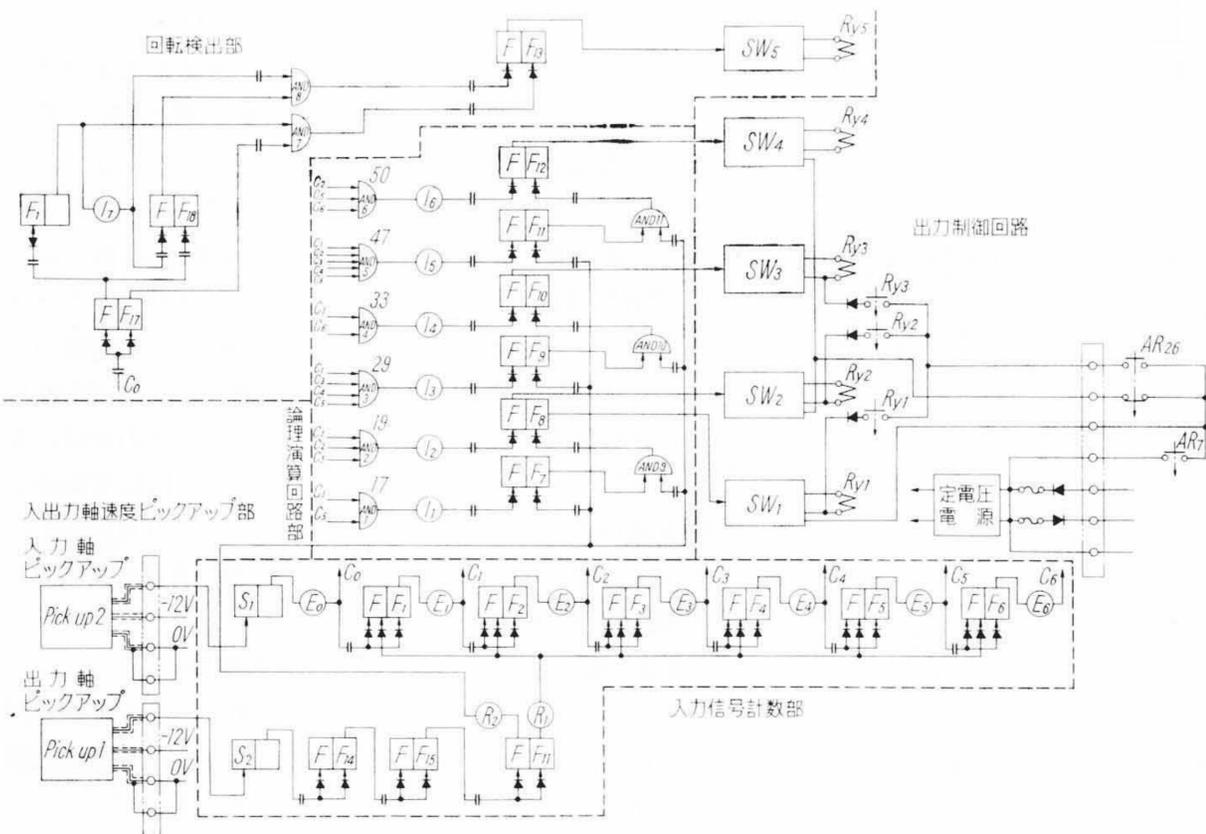
4.1 一次、二次軸速度ピックアップ部

一次、二次軸の回転速度を検知するピックアップは二次軸の最低検出回転数(正転軸が10rpm)で計数回路を十分動作させる出力を発生せねばならないし、一方最高3,000rpm以上の高速回転にも追従し速度パルスが発生しうるものでなくてはならない。アナログ的速度比および低速回転検出を行なうには上記の範囲で直線的な特性を持つ検出器が必要なわけで、このような検出器に適当なものがないことがデジタル方式を採用した大きな理由の一つとなっている。また、可能なら軸の回転速度に無関係に一定の出力を発生するピックアップが望ましく、液体変速機の側面に取り付けるため振動や温度に対して安定で小形のものでなくてはならない。本装置においてはこれらの要求を満足させるため無接点近接スイッチを入出力軸速度ピックアップとして採用した。第7図はそのブロック図である。本スイッチは一種の差動変圧器で常時一次側より高周波にて励振され、近傍にその誘起磁束を乱すものがないときには出力が平衡

して二次側には出力を誘起しない。ここで金属体が検出コイルに近づくと金属内に渦電流が流れ磁界が乱されるため、検出コイルの誘起電圧の平衡が破れ出力電圧が発生する。この出力電圧を整流し増幅波形整形をして負荷に信号を供給する。回路はすべてシリコントランジスタを使用して構成され全体が樹脂モールドされている。一方被検出体となる金属体は各金属中最も感度のよいアルミ製の歯車を用いており、変速機一次軸には歯数1の歯車を使用し、二次軸には歯数15の歯車を使用している。したがって回転速度信号として、一次軸1回転につき1パルス、二次軸1回転につき15パルスを発生する。

4.2 入力信号計数部

速度比は原理的には入力軸回転数に比例した繰返し周波数に対応する時間でゲートを作り、そのゲートを通した出力軸のパルス数があらかじめ定められた一定数になるか否かによって検出している。ここでゲートを一次軸パルス1パルスの時間とすれば、一次軸歯車の歯数は1、二次軸は15であるから、速度比1のときゲートを通するパルス数は15となるはずである。ゲート通過パルス15ということは実際には15パルスと16パルスの間にあるということになり最悪1パルスの誤差があるはずである。すなわち通過した15パルスに対し1パルスミスカウントする可能性がある。言い換えれば一次軸パルス1パルスのゲートを通するパルス数が15であると、検出精度は $1/15=0.066$ 以内とな



第6図 速度比検出装置ブロック図

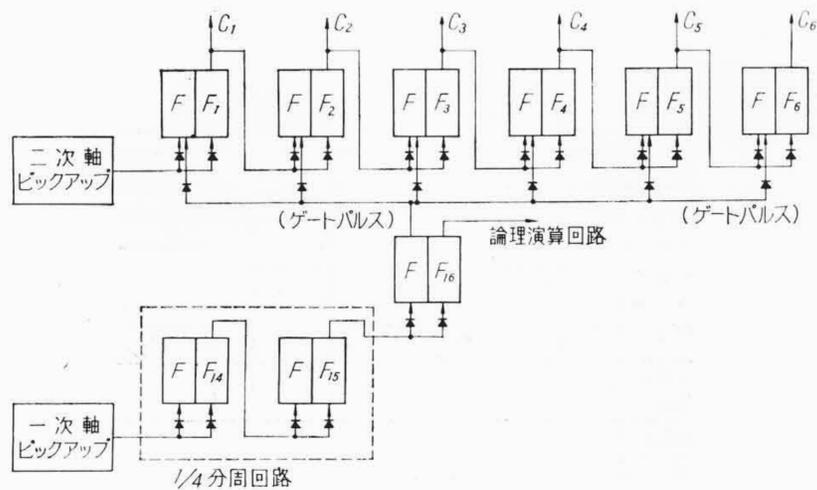
周囲温度 50°C 以上まで使用可能なものとした。その他部品点数を極力少なくして装置の信頼度をあげるとともに、各所に雑音対策がほどこしてある。

4. 各部の動作

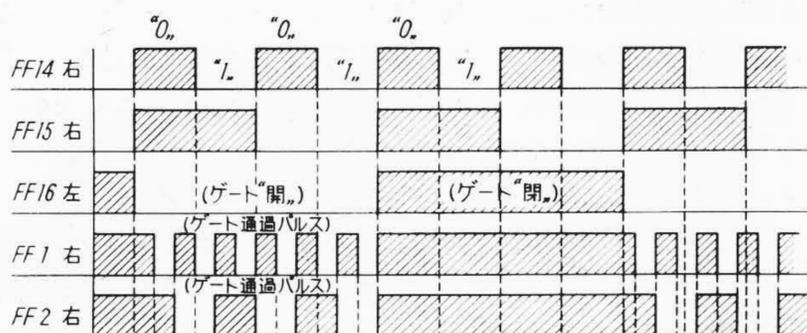
第6図に本装置全体のブロック図を示す。以下第6図を入出力軸速度ピックアップ部、入力信号計数部、論理演算回路部、回転検出部およびその他の回路に分けて説明する。

第3表 通過パルス数と速度比との関係

	基準速度比	検出速度比	パルス数 (計算値)	パルス数 (ゲートの プリセット数)	検出誤差 (±0.008 以内)
1速→2速	0.306	0.300	18	19	-0.006
2速→1速	0.277	0.283	17	17	+0.006
2速→3速	0.531	0.533	32	33	+0.002
3速→2速	0.480	0.483	29	29	+0.003
過速標示 on	0.809	0.816	49	50	+0.007
過速標示 off	0.809	0.783	47	47	-



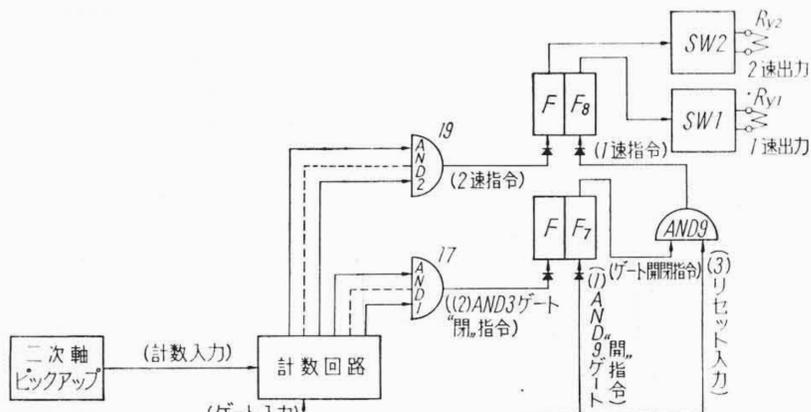
第8図 計数回路部原理図



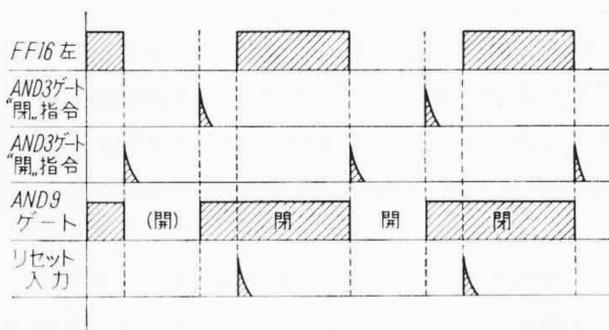
第9図 計数回路部タイムチャート

さらに精度を上げるにはゲート時間内に通過するパルス数を多くすればよい。すなわち一次軸歯車の歯数1に対する二次軸歯数15をさらに多くし、たとえば歯数60とすれば検出精度は $1/60=0.016$ となり歯数15の場合の4倍の精度が得られることになる。しかし歯車の歯数を増すことは歯車の直径を大きくすることによって好ましくないため、等価的には一次軸パルスを1/4に分周しこれをゲートとしてもよい。ただし過度に分周すると回路の複雑化をまねくことにもなるので、本装置においては要求精度の仕様とあわせて1/4に分周している。第3表は一次軸歯車の歯数1、二次軸歯数15とし、さらに一次軸発生パルスを1/4に分周した系において、一次軸パルス1パルスのゲートを通る通過パルス数と速度比との関係を示したものである。

第8図に計数回路部の原理図を示す。本図において機関車が停止時には二次軸パルスは発生せず一次軸パルスのみがはいってくる。すなわち一次軸パルスはフリップフロップ2段より成る1/4分周回路で分周された後さらにFF16で1/2にされ、FF4以下6段のフリップフロップ回路のリセット入力となる。このFF16は分周が目的ではなく計数回路のゲートの開閉と、論理演算回路のリセットとを半サイクルずつ行なわせるためのもので、半サイクルの間ゲートを開き、計数し終わると後の半サイクルはゲートを閉じ、論理演算回路のリセットを行なう。したがってFF15の1サイクル間にゲートを通るパルス数を計数することはFF16の半サイクルのゲートを通る数と同じはずである。さてここで主幹制御器を力行ノッチに操作するとその瞬間速度比は零であるから1速コンバータに油が満たされ、列車は動きだす。すると二次軸パルスが出はじめ



第10図 論理演算回路原理図



第11図 ゲート信号、リセット信号の関係

計数回路の入力となる。しだいに車速が速くなるとゲートを通るパルス数が多くなり、入力計数回路の次段に接続されている論理演算回路にプリセットされている数になると信号を出して演算が行なわれ、コンバータの切り換えが行なわれることになる。第9図に入力計数回路部のタイムシーケンスを示す。

### 4.3 論理演算回路部

論理演算回路部には一定のパルス数にプリセットされたANDゲート回路が6個ある。これは第3表の第1速→第2速、第2速→第1速などの切換点に対応している。第10図は1速→2速の検出段を1段だけ取り出し、論理演算回路を中心に描いた原理図である。AND1およびAND2の右上の数字はプリセットされた数字でそれ以上のパルスが計数回路のゲートを通ったとき出力を出すものである。FF7, FF8はともに記憶用フリップフロップ回路である。さてAND回路のプリセット数より少ないパルスしか計数回路のゲートを通らないときはAND1, AND2の出力はともに出ず、入力軸パルスが分周されてFF16右よりの出力だけが論理演算回路部にはいる。この出力はリセット入力とAND9ゲート“開”指令であってFF7にAND9ゲート“開”を指令し、FF7にAND9ゲート“開”を記憶させた後第1速入力としてAND9にはいる。ゲートは開かれたからAND9出力は出て1速指令となりFF8を記憶させリレーを働かせる。これによってANDゲートのプリセット数を越えない場合に1速がはいっているわけである。出力軸回転数が上昇し計数回路部のゲート通過パルス数がAND1のプリセット数17を越えると、AND1出力が出てFF7に“AND9ゲート閉指令”がはいっている。このときの“AND9ゲート閉指令”と“AND9ゲート開指令”“リセット入力”の時間関係は第11図に示されるとおりで①ゲート開指令、②ゲート閉指令、および③1速入力の順序ではいるため、ゲート出力は得られない。AND1出力が出るまで存在したFF8への1速指令はAND9ゲートが閉じられるためなくなり、一方いままでの指令はFF8に記憶され1速指令を出し続けている。ここでさらに出力軸回転数が上がった場合を考えよう。するとAND1だけでなく今度はAND2からも出力が得られる。このAND2出力はFF8をトリガし、ここで、初めて1速から2速への切り換えが

