

高速 A-D 変換器

— H-43 形, H-44 形 について —

Types H-43 & H-44 High Speed A-D Converters

尾 塔 博 之*
Hiroyuki Osako

内 容 梗 概

さきに、本誌上^①に発表した ADF-300 形 A-D 変換器を高速化した H-43, H-44 形 (変換時間 200 μ 秒以下, 変換精度 0.1%) について、回路技術的な問題、他の装置へのリンクなどを中心に述べる。

1. 緒 言

計測技術あるいは、デジタルデータ処理技術の進歩により、高速かつ高精度な、工業用データ処理装置、各種プラントの計算制御組織、風洞、モデルプラントの計装装置などの制御ないしは演算機構の大半がデジタル化されるようになった。しかし、これらの装置への入力データは、一部を除いてほとんどの場合アナログ量である。したがって、これを何らかの方法でデジタル量に変換する必要があるが、この変換は、入力の多チャンネル化、応答速度の向上、処理精度の向上の面から、高速で高精度でなければならない。

アナログ-デジタル変換すなわち、A-D 変換の方式には、その用途に応じていろいろなものがあるが、電圧、電流、抵抗の値を扱う場合は、性能的な点で、帰還形 A-D 変換方式が、現在では最もすぐれている。この変換方式については、すでに、多くの文献があるので、本文では、今度新しく製品化した H-43 形および、H-44 形 A-D 変換器について、回路技術的な問題、デジタル形電子計算機へのリンクなどを中心に述べる。

2. 仕様について

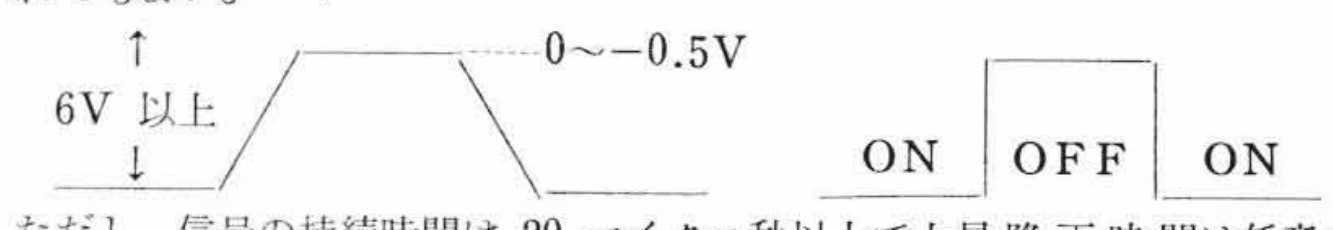
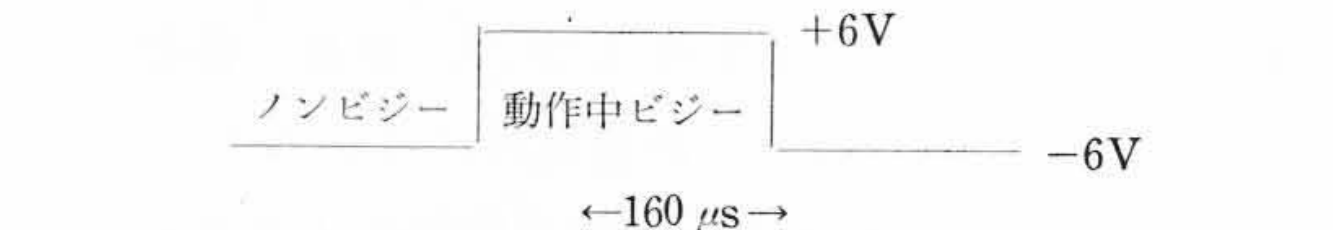
2.1 概 要

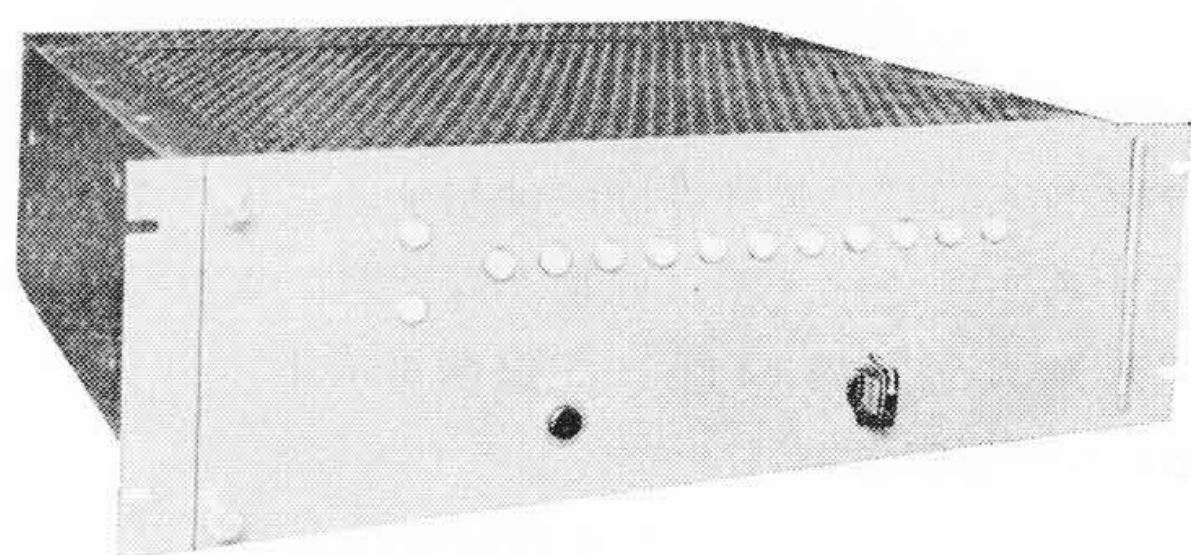
H-43, H-44 形 A-D 変換器は、第 1 表に、そのおもな仕様を示すように、高速、高精度を主眼とした設計で、かつ、小形化、長寿命化を考慮して、構成回路は、すべて半導体化されている。第 1 図は外観の写真で、内部は第 2 図に示すようなエポキシ系材料の印刷回路板によるプラグイン実装となっていて、非常にコンパクトで、保守、点検が容易に行なわれるようになっている。また、H-43 は、10 進で、1,000+3 けた、H-44 は、2 進で、11 けたのデジタル量を扱うが、外観的に表示ランプの配置などが異なるのはやむを得ないとして、内部は、プラグインユニット 1 枚と、他の 1 枚の一部が異なるだけで、そのほかは同一の構成となっている。こうすることによって、いずれにも、多少のむだが生じるが、生産性と、アフタサービス面でのメリットを重視すると、このほうがはるかに有利である。

2.2 入 力 と 出 力

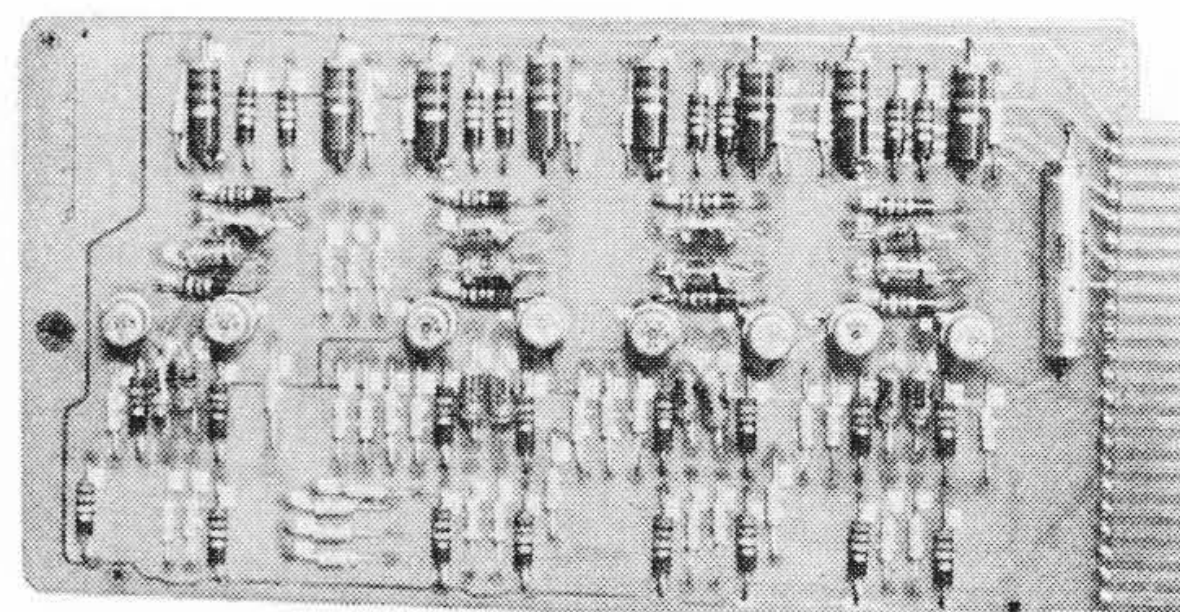
A-D 変換器の入力レベルは、入力側の装置あるいは計器によって理想的な値を定めるべきである。国内、国外の例をみても、アナログ入力のフルスケールは、大部分のものが、 ± 10 V 付近に集中している傾向があるが、これは、主として、工業計器の出力レベル、信号伝送路の SN 比、低レベル信号用の前置増幅器の SN 比などの外部的な問題と、それ自体の構成回路の性能の限界とから必然的に決定された値であると思われる。また、出力側の装置からの要求として、最小単位あるいは、フルスケールが、入力側の単位と容易に対応づけられることが望ましい。この問題は、簡単な装置に適用される場合はもちろん、電子計算機などを用いて、出力を処理する場合

第 1 表 H-43, 44 のおもな仕様

形 式	H-43	H-44
変換方式	帰 還 形	
変換時間	200 マイクロ秒以下	
入 力	入力インピーダンス 100 k Ω のとき、 0 $\sim\pm 9,995$ V, 200 k Ω のとき 0 $\sim\pm 19.99$ V	入力インピーダンス 100 k Ω のとき、 0 $\sim\pm 10,235$ V, 200 k Ω のとき 0 $\sim\pm 20,470$ V
出 力	0 $\sim\pm 1,999$ (2 進法 10 進法)	0 $\sim\pm 2,047$ (純 2 進法)
制御信号	出力信号は“0”と“-”を -6V, “1”と“+”を +6V および、これらの“NOT”で表示する。許容負荷は -6V のとき -1 mA, +6V のとき 2 mA である。 変換開始信号は下図の示す、レベル信号あるいはスイッチの開閉信号いずれでもよい。  ただし、信号の持続時間は 20 マイクロ秒以上で上昇降下時間は任意である。 変換器の動作は下図に示すパルスで表わす。 	
変換精度	フルスケール 9,995 V, または 10,235 V に対して 0.1%	
構造寸法	幅 480mm, 奥行 400mm, 高さ 150mm のラックマウント形パネル 2 盤 (内 1 盤は電源部)	
電 源	AC -100V $\pm 10\%$, 50/60 ± 2 c/s, 単相約 150 VA	



第 1 図 H-44 形 A-D 変換器の外観

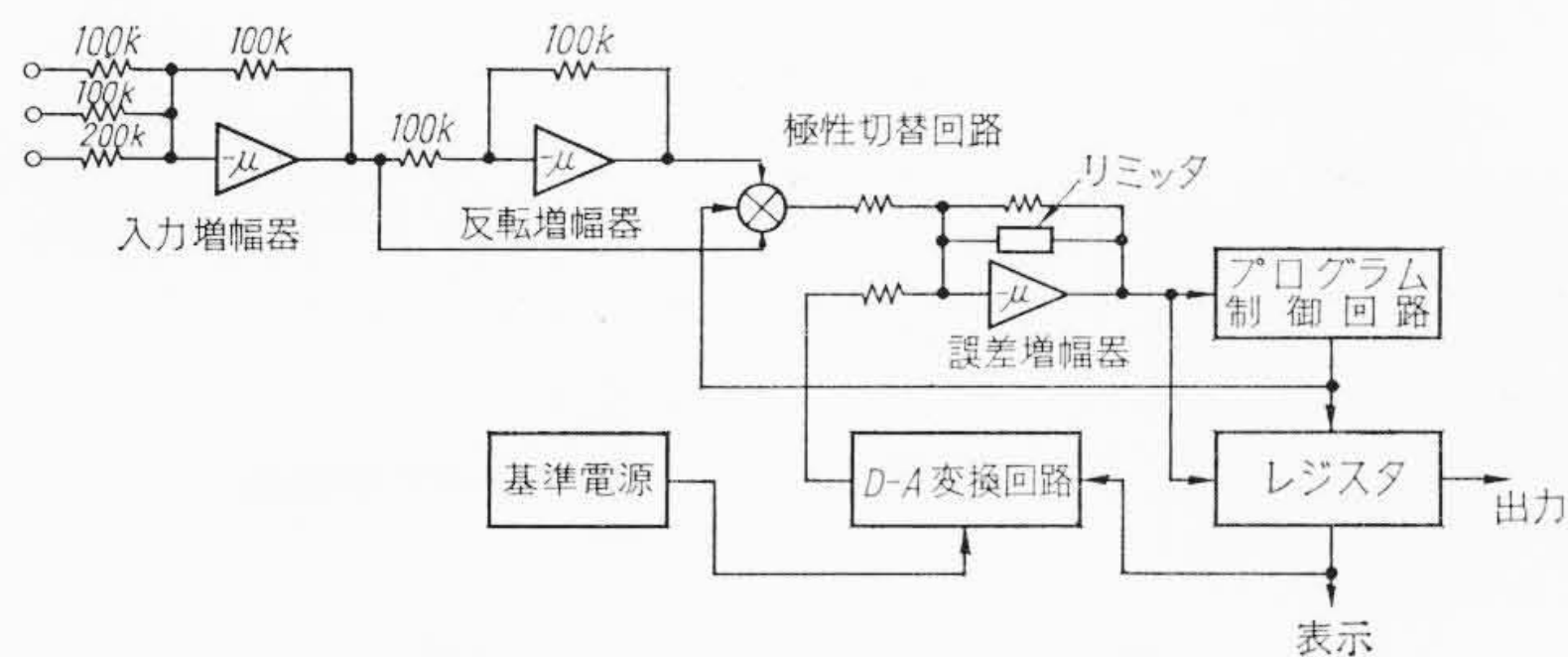


第 2 図 印刷回路板によるプラグインユニット

でも、プログラムないしは、演算装置の簡易化などの面で重要な点の一つである。

出力で扱うデジタル量についても、同様なことがいえるが、このほうは、むしろ、変換器自体の性能的なもの、たとえば、分解能、ドリフトなどから決められる場合が多い。しかし、プラント、風洞

* 日立製作所神奈川工場



第3図 H-43, H-44 のブロック図

などで扱うデータの中には、その仮数が1.0~2.0にあるものが比較的多いことは、注目すべき点である。

H-43では、入力、 $0 \sim \pm 9,995 \text{ V}$ または、 $0 \sim 19,995 \text{ V}$ 、出力は、 $0 \sim \pm 1,999$ 、また、H-44では、 $0 \sim \pm 10,235 \text{ V}$ または、 $0 \sim \pm 20,470 \text{ V}$ の入力に対し、出力は $0 \sim \pm 2,047$ であって、ともに、出力側の最小単位は、入力側の 5 mV または、 10 mV に対応するようになっている。

一方、第3図に示すように、入力増幅器が、3入力の加算増幅器となるように、 $100 \text{ k}\Omega$ 端子2個、 $200 \text{ k}\Omega$ 端子1個が、用意されているので、入力側で、結果がフルスケールを越えない範囲での加減算が可能である。

2.3 制御信号

A-D変換器には、当然のことながら、変換開始信号と、変換終了信号の制御入出力が必要である。これらの信号は、外部からの雑音、特にインパルス性のものに対する防御が完全で、その受授関係が簡単であることが望ましい。H-43, 44においてはこれらを次に述べる方法で解決した。

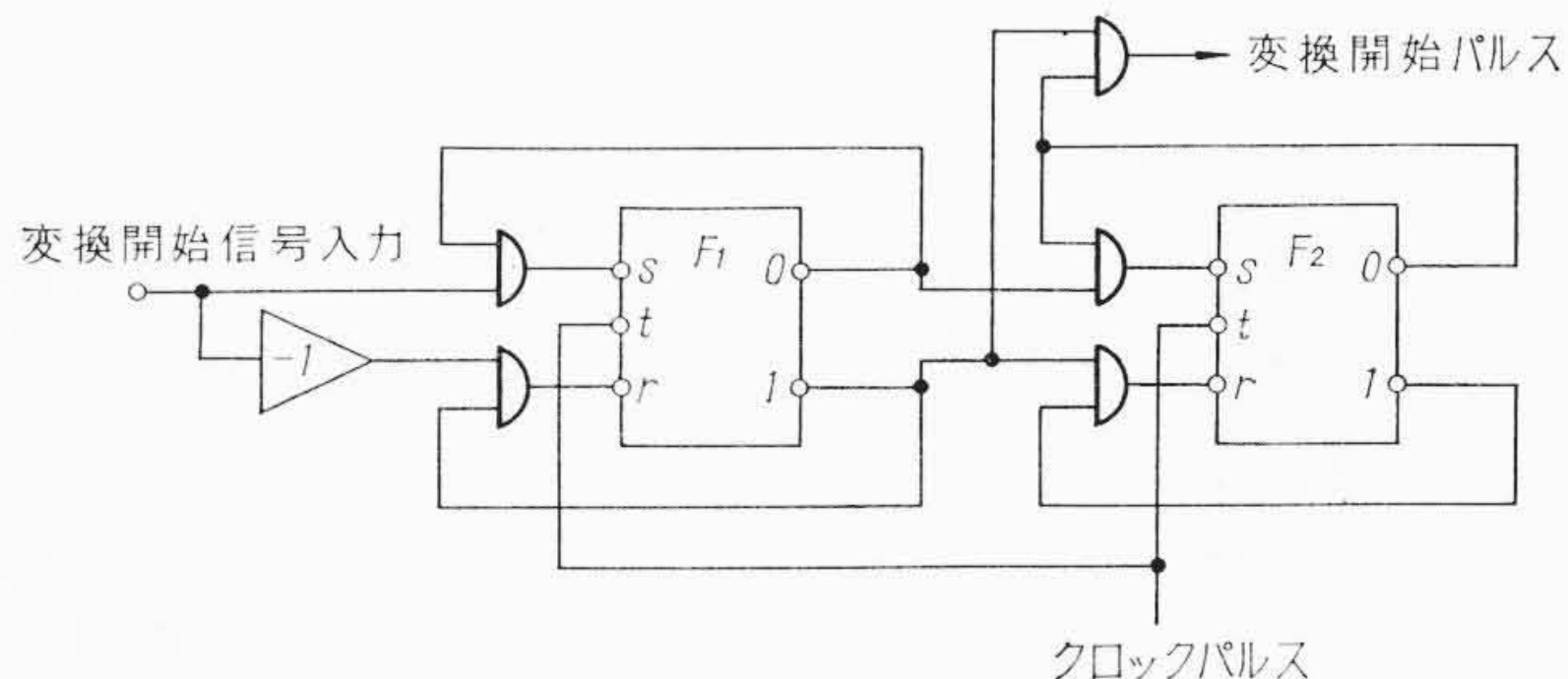
まず、変換開始信号に対しては、入力回路を第4図に示す構成として、信号を直流の形で扱い、同期化フリップフロップ F_1 と、遅延フリップフロップ F_2 と、ゲート回路によって、論理的な意味で微分することにより、制御パルスを得ている。同期化フリップフロップの入力は、積分回路となっているので、SN比は、非常に改善されている。つぎに、変換終了信号であるが、これには専用の信号出力を設けず、変換器の動作中をビジー、そうでない場合をノンビジーで表わすパルスが取り出せるようにしてある。この信号は、その後縁が、変換終了を表わし、前縁が、変換器の事実上の変換開始を表わす。したがって、変換開始信号のアンサーバック信号、インタラプト信号として利用できるもので、外部装置との接続が、一段と確実になる。第5図に、これらの時間関係を示す。

3. 構成回路

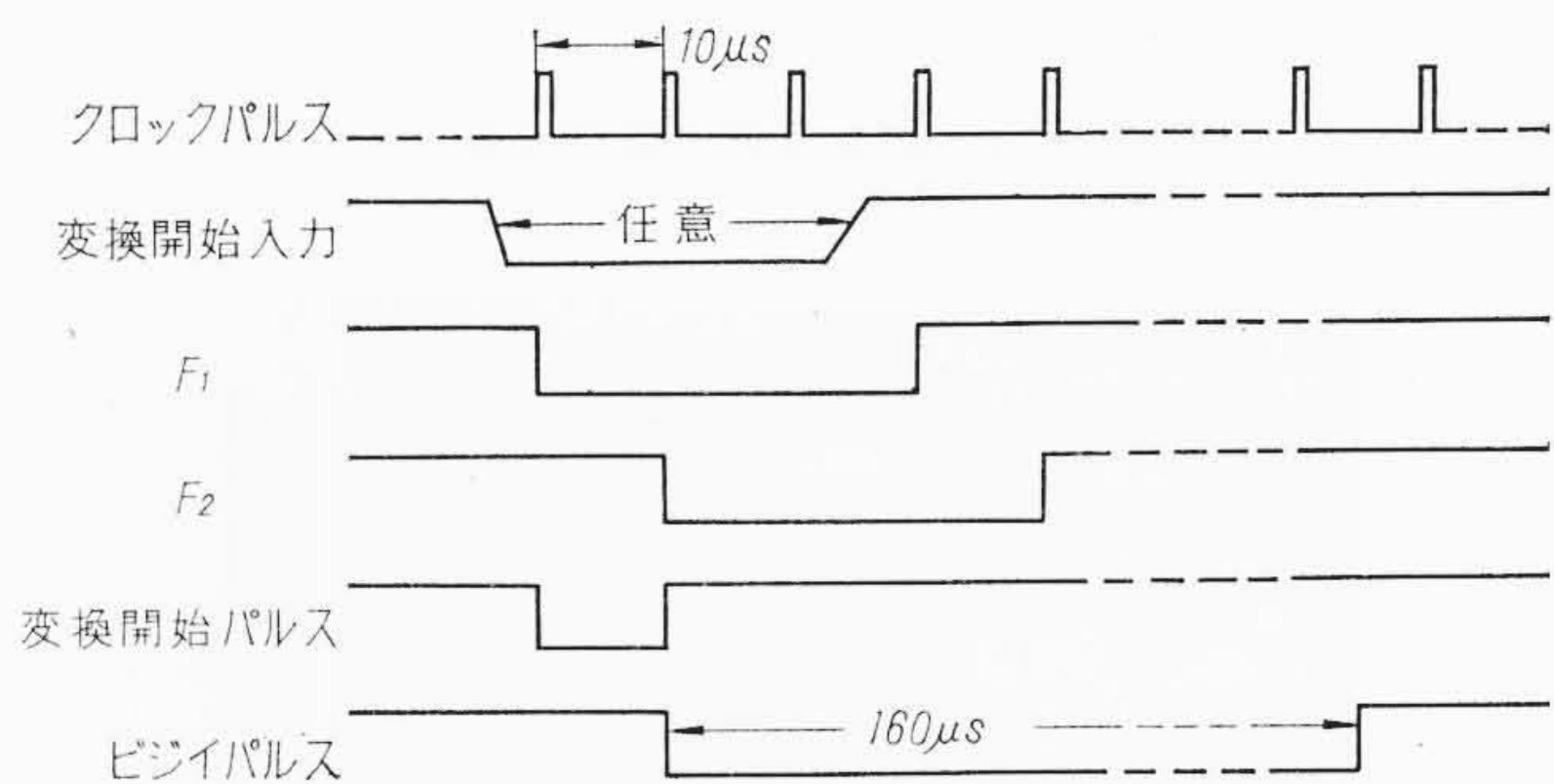
変換器の長寿命化、小形化、高信頼化などに対する配慮から、構成回路は、全半導体化してあるが、これに伴う回路技術的な問題が、構成素子と、要求される性能とに関連して生じる。以下に、おもなものについて述べる。

3.1 入力増幅器

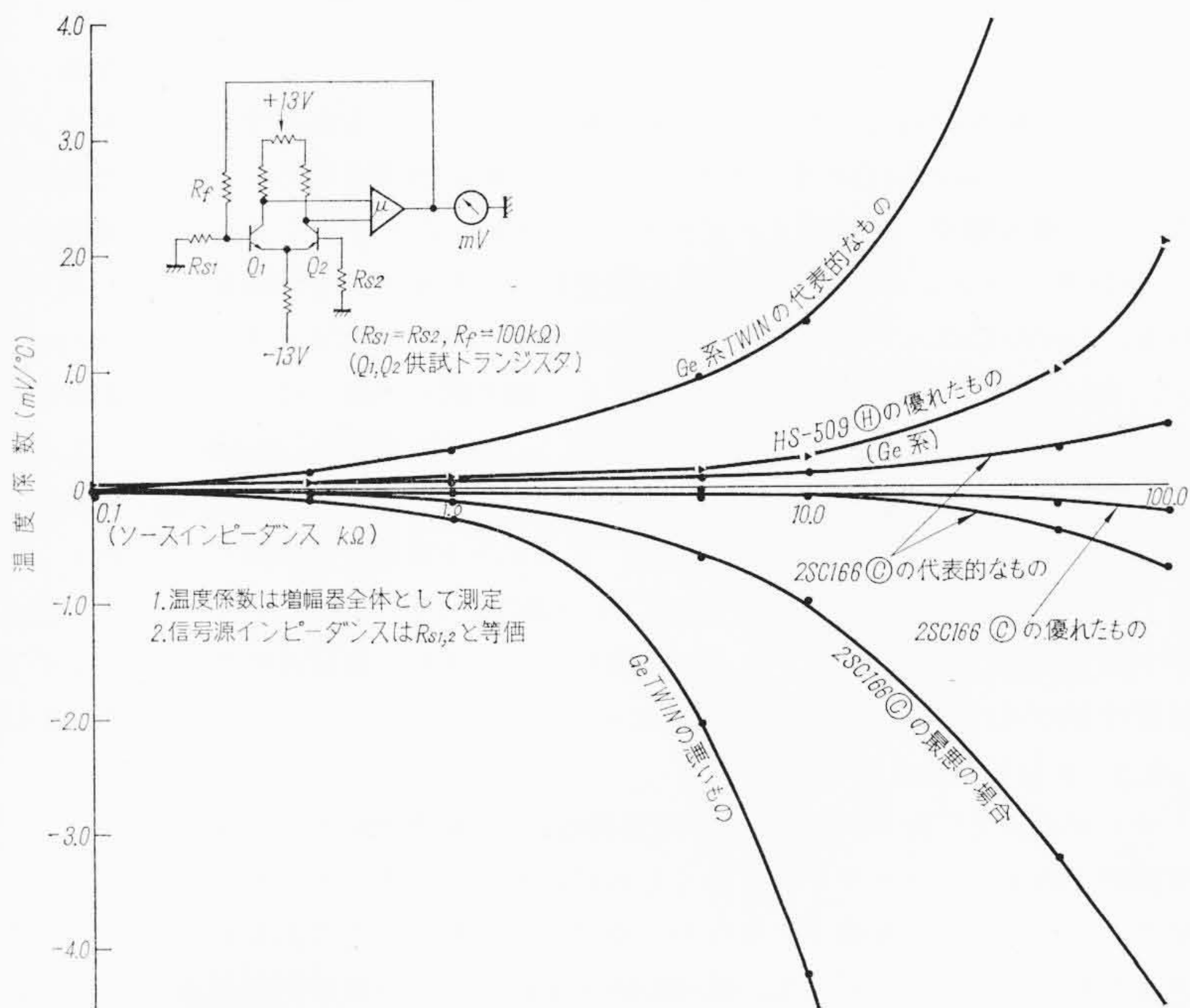
全半導化されたA-D変換器においては、変換部自体の入力インピーダンスを高くすること、極性の切り換えなどに困難を伴うので、入力の部分に、入力増幅器、反転増幅器などを付加して、これらの機能を向上あるいは追加することが必要となる。これらの増幅器はいうまでもなく、高インピーダンス、低ドリフト、かつ、利得精度のよい直流増幅器でなければならない。利得精度については、必要



第4図 変換開始信号の入力回路

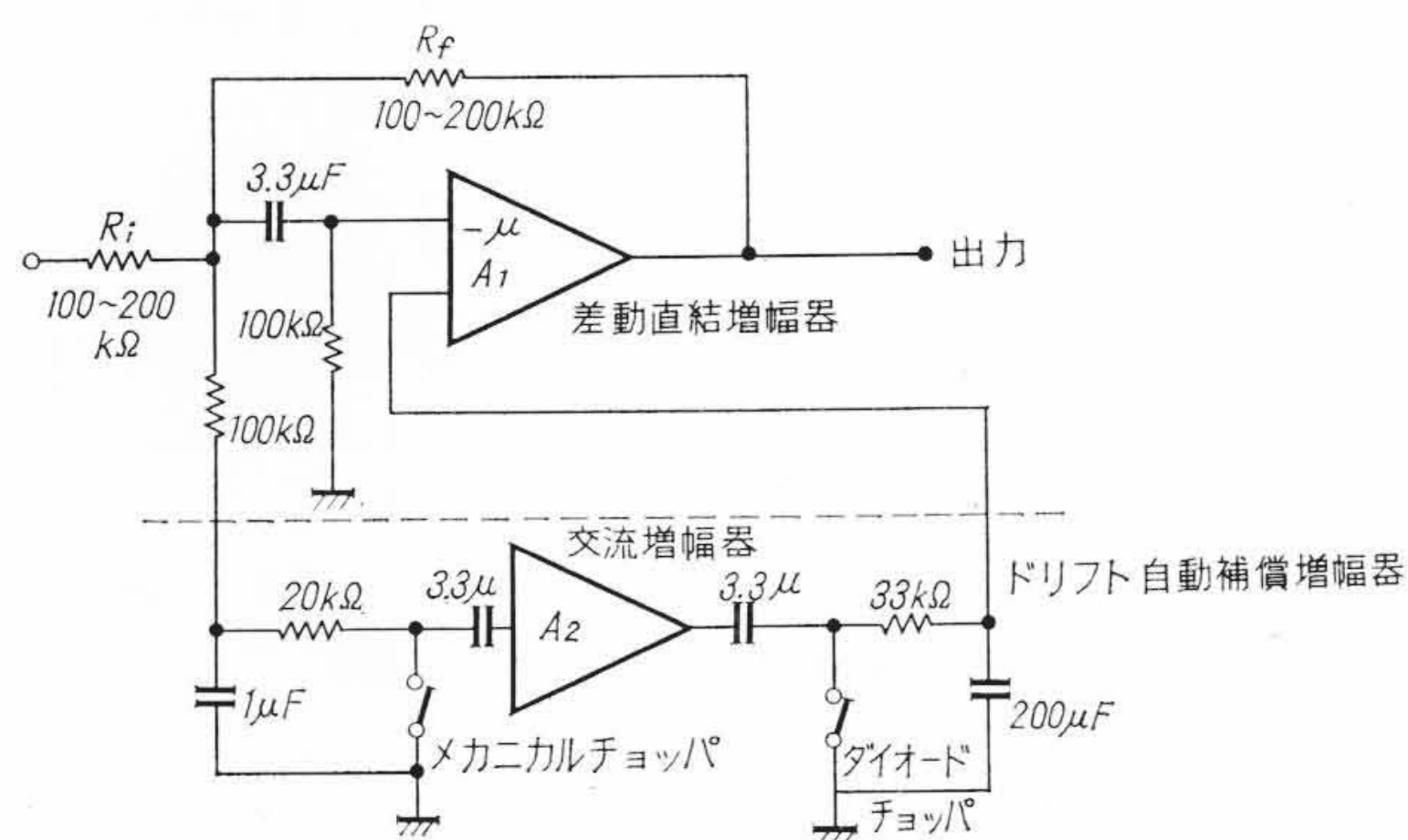


第5図 変換開始信号とビジーパルスとの関係

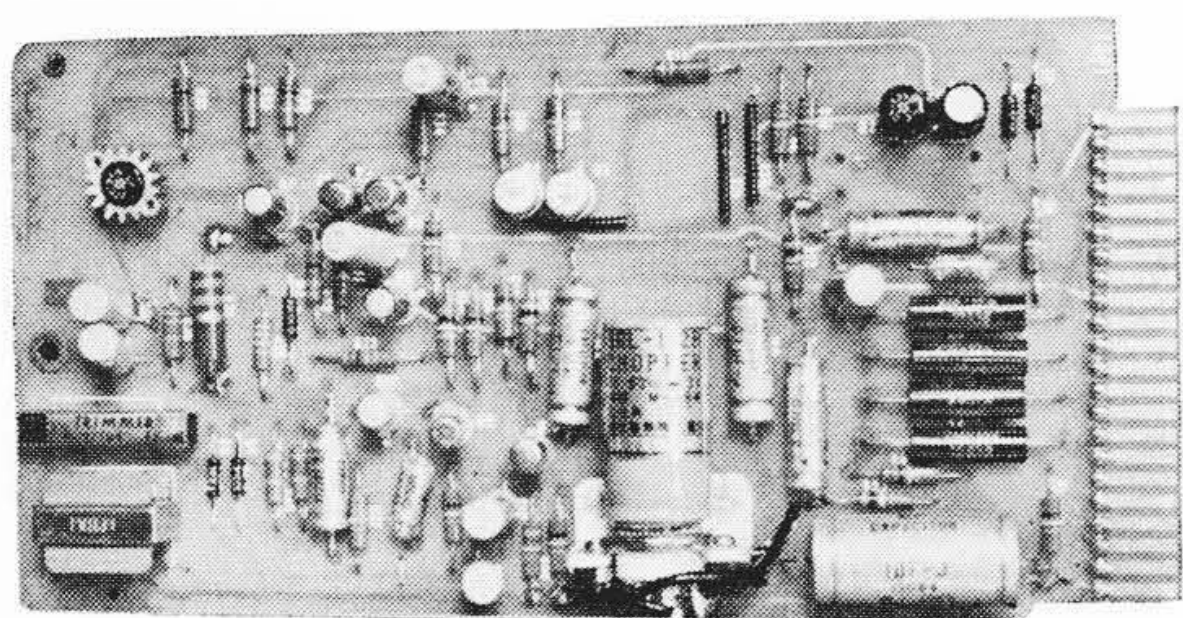


第6図 差動形直結増幅器の信号源インピーダンスと入力換算の温度係数

な程度の負帰還によって要求を満たしうるが、高インピーダンス化、低ドリフト化については、半導体を主体とする回路の場合、温度変化、経時変化の影響を特に受けやすい直流増幅器では、種々の問題点を残す。トランジスタを直流増幅器用素子として用いるには、よく特性のそろったペアを差動接続とすることが有効である⁽¹⁾。第6図は各種トランジスタ差動増幅器の信号源インピーダンスと入力換算温度係数との関係を示したものである。図からわかるように、ゲルマニウム系トランジスタよりもシリコン系トランジスタのほうが、はるかにすぐれた特性を示すが、素子の選別に要する工数、他素子との互換性などの面に問題があり、すぐれた特性と均一な品質の素子が容易に入手できるようにならなければ、生産性と保守の容易さを欠く。第7図は、H-43, 44に使用した直流増幅器の回路図で、機械的のチョッパによる変調増幅器をドリフト自動補償増幅器とした組合せ形直流増幅器である。組合せ形増幅器では、ドリフト



第7図 組合せ形直流増幅器



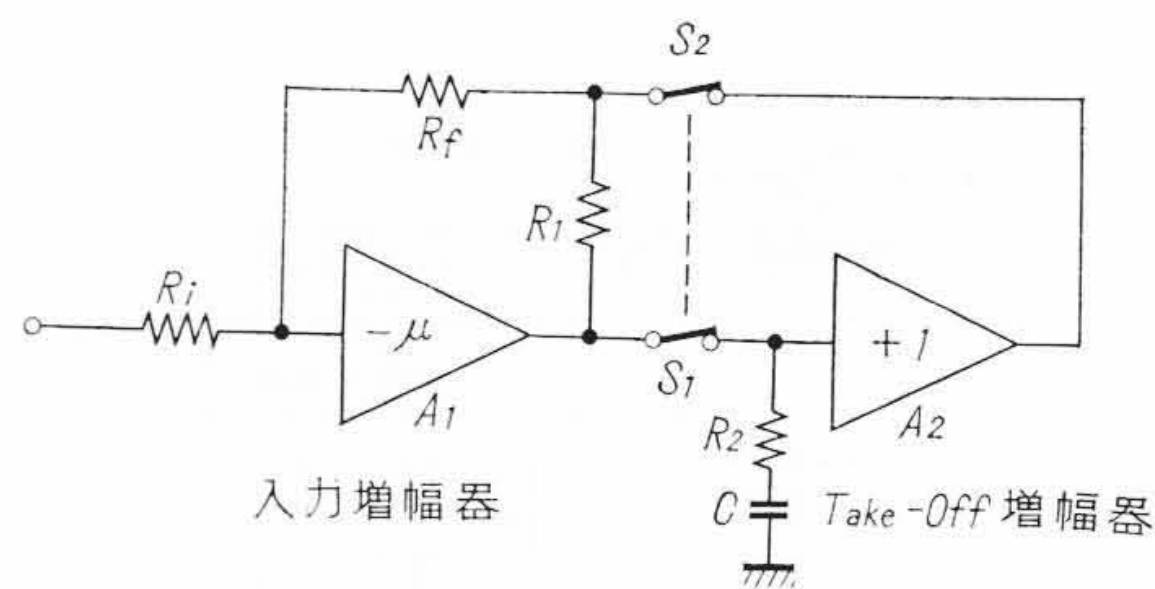
第8図 トランジスタ化組合せ形直流増幅器の外観

自動補償増幅器の利得を K とし、この増幅器のドリフトを無視すると、直結部のみの場合に生じるドリフトは $1/K$ に改善される。すなわち、第6図で、信号源インピーダンス $100\text{k}\Omega$ のとき、シリコンMD形トランジスタ2SC166Cの最悪組み合わせの場合の温度係数、 $4\text{mV}/^\circ\text{C}$ は、ドリフト自動補償増幅器の利得を 46dB とすると、 $20\text{ }\mu\text{V}/^\circ\text{C}$ まで改善されることになる。第7図の回路では、直結部、補償増幅器部の直流に対する利得は、それぞれ 80dB 、 46dB 以上、また周波数-利得特性は、広い周波数帯域で、安定に十分な負帰還をかけられるよう修正してある。 $R_i=R_f=100\text{k}\Omega\sim 200\text{k}\Omega$ としたとき、長時間ドリフトは $\pm 300\text{ }\mu\text{V}/8\text{時間(入力)}$ 、温度ドリフトは $\pm 20\text{ }\mu\text{V}/^\circ\text{C(入力)}$ をそれぞれ上回らない。また、高域遮断周波数は 200kc/s 程度である。第8図にその写真を示す。

3.2 サンプルおよび保持回路

サンプルおよび保持回路は、A-D変換器の変換開始時の入力を変換終了時まで、クランプしておくために必要なもので、入力が直流であるかまたは、変換中の変化が、要求される精度以内であるときは不要である。したがって、H-43,44ともにこの部分はオプションとなっている。第9図にこの回路の原理図を示す。図中、増幅器 A_1 は、前述の入力増幅器が共用され、 A_2 は、Take-off増幅器と呼ばれるもので、利得は $+1$ 、高入力インピーダンスを必要とする増幅器である。スイッチ S_1 、 S_2 が図に示されている状態のときにサンプル動作をする。このとき、Take-off増幅器の入力側のコンデンサ C は、出力とほぼ等しいレベルに充電されている。スイッチ S_1 、 S_2 が、それぞれ反転すると、Take-off増幅器は、入力増幅器と切り離され、入力側の C に充電されたレベルを保持し保持状態となる。その場合、 C の電荷は、 S_1 遮断時の抵抗、Take-off増幅器の入力抵抗などによって漏れいし、これに従って出力レベルが減少する。しかしこれは、 S_1 に高逆抵抗のシリコントランジスタあるいはダイオードを、 A_2 として、多段ダーリントン接続のエミッタフォロアあるいは強度のアドミッタンス負帰還をかけた増幅器などをそれぞれ用いれば、比較的容易に解決できる問題である。

H-43,44に採用したサンプルおよび保持回路は、シリコントランジスタスイッチ回路と、アドミッタンス帰還増幅器とを主体として



第9図 サンプルホールド回路

構成され、保持誤差 5mV 以下、設定時間 $7\text{ }\mu\text{s}$ 以下、サンプル時の遮断周波数は約 150kc/s である。

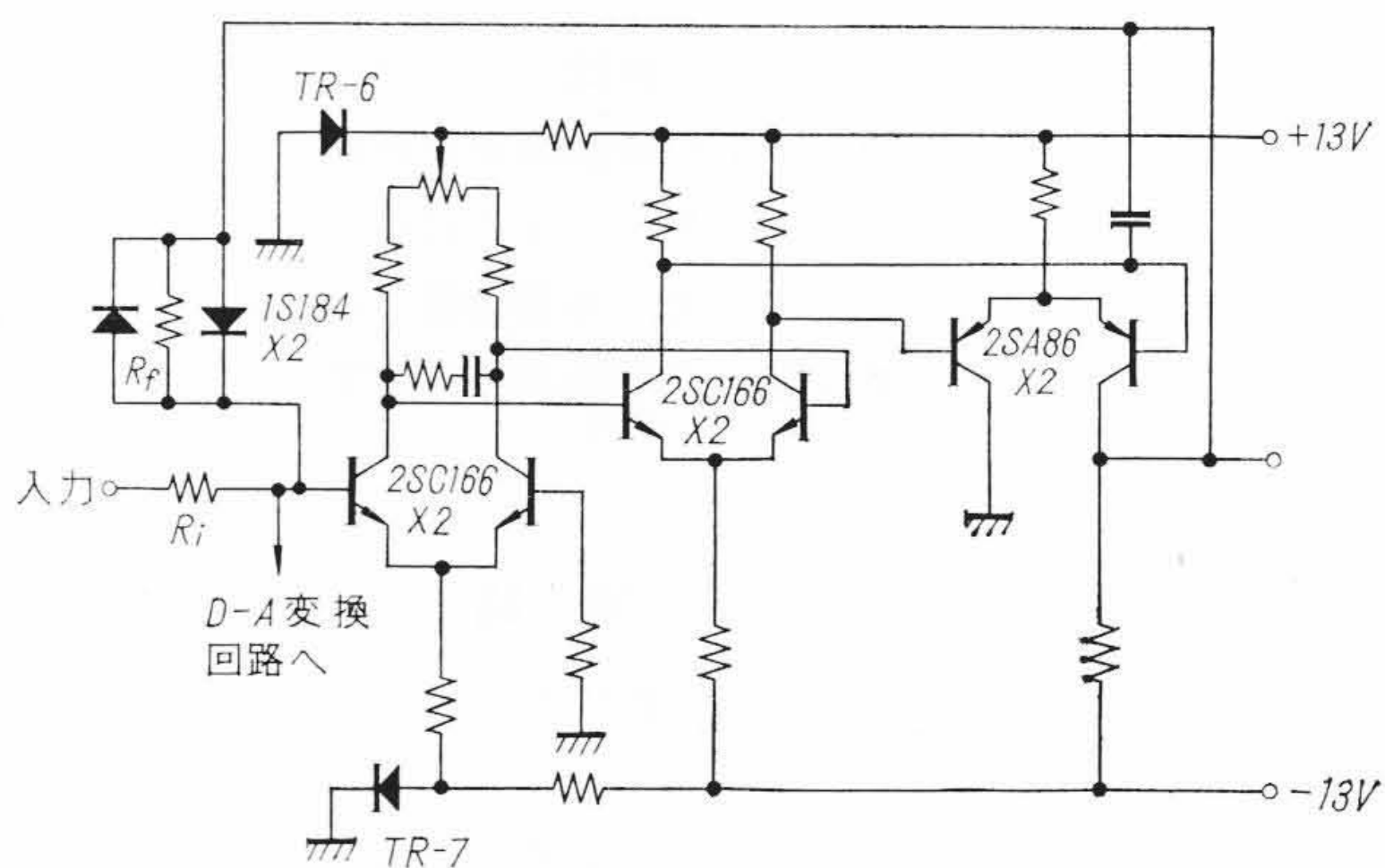
3.3 誤差増幅器

帰還形A-D変換器では、入力と、後述するD-A変換回路からの帰還電圧とを比較して、それらの誤差を検出する部分が必要である。これには種々雑多な方法があるが、H-43,44では、入力増幅器と同様な差動直流増幅器を用いた。しかしこの部分は、信号源インピーダンスが比較的低いので、ドリフト自動補償増幅器は不要である。

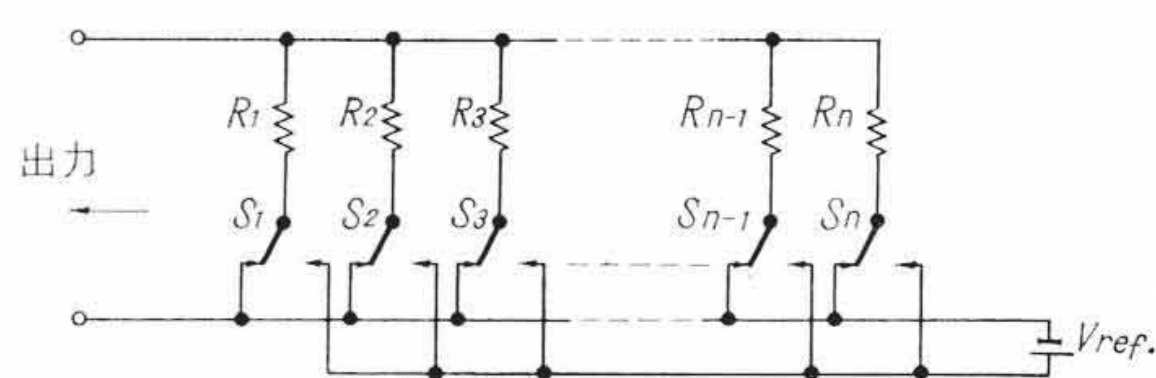
誤差増幅器で重要な点は、誤差検出感度を大きくとる必要性からつねに、増幅器が飽和しているということである。飽和状態からの回復時間による動作の遅延、差動結合されたトランジスタの電力損失による熱的な不平衡から生じる検出誤差などが、しばしば問題となる。これらを解決するには、増幅器の帰還路に、十分な周波数特性をもった非線形素子を入れて、出力が所定のレベルより大きくなった範囲での利得を極端に落とすことが有効である。第10図に誤差増幅器の回路を示す。この場合はシリコンダイオードの正逆抵抗比を利用して非線形帰還をかけている。この回路の誤差検出感度は、 $\pm 2\text{mV}$ 、温度係数は $\pm 50\text{ }\mu\text{V}/^\circ\text{C}$ (入力)、長時間ドリフトは $\pm 2\sim 3\text{mV}/8\text{時間(入力)}$ で、周波数応答はきわめて良好である。

3.4 D-A変換回路

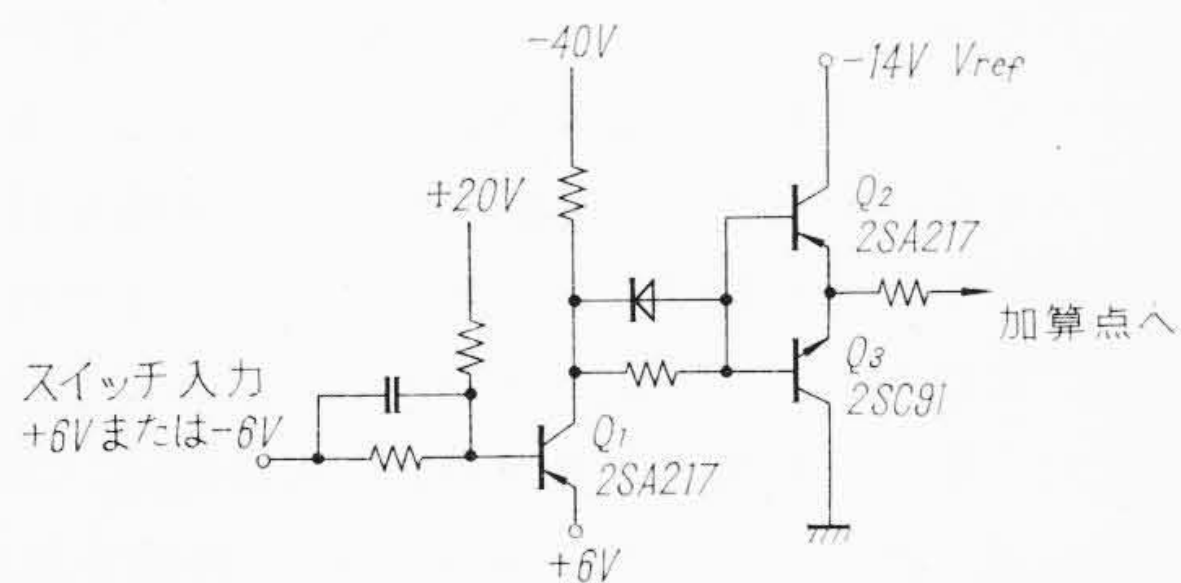
3.3で述べたように、この方式の変換器においては出力レジスタにセットされたデジタル量が、入力として与えられたアナログ量と一致しているかどうかを、誤差増幅器で検定する手段として、そのデジタル量をアナログ量に変換するD-A変換器が必ず用いられる。第11図に並列抵抗加算形D-A変換回路を示す。この回路は、基



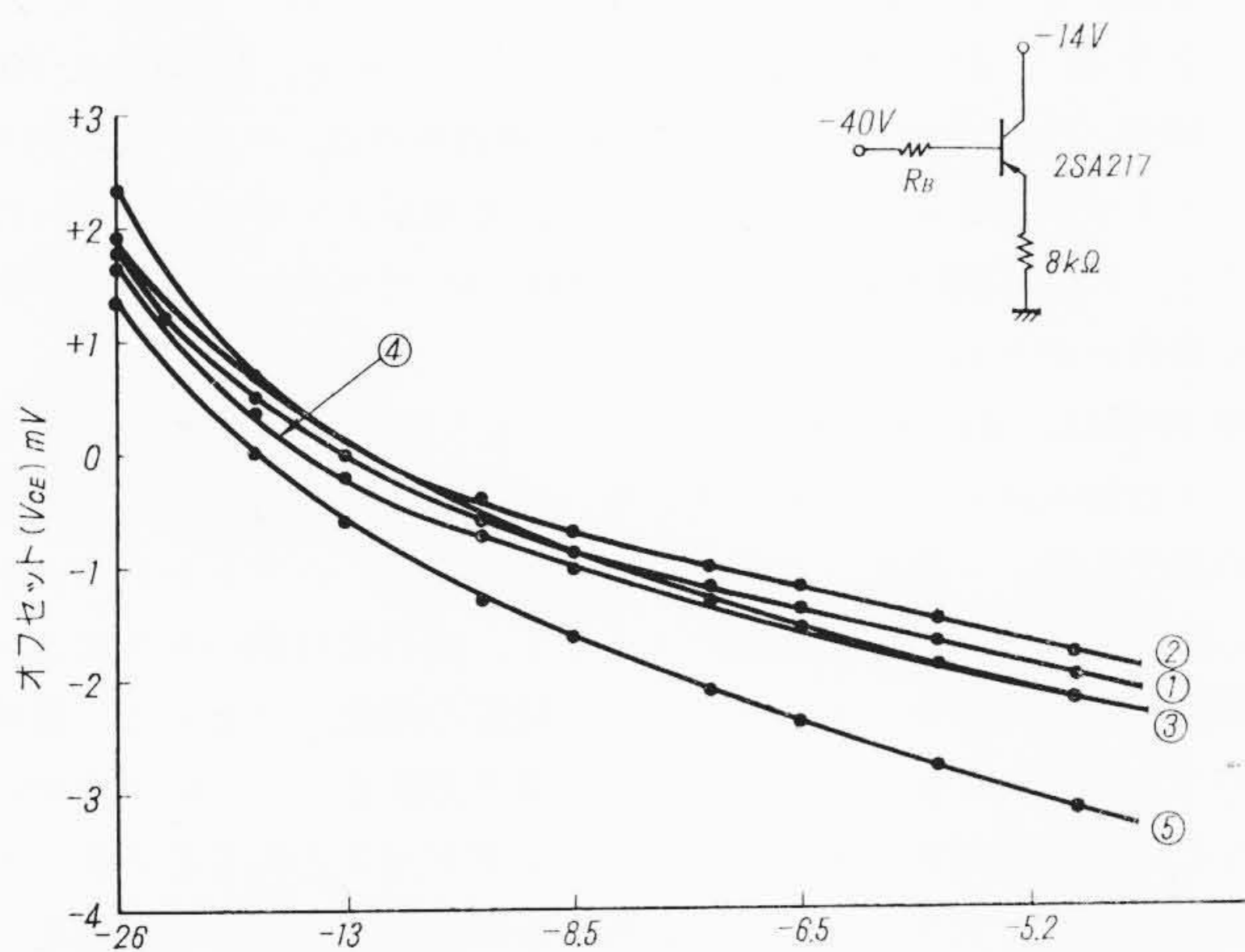
第10図 誤差増幅器



第11図 並列加算形D-A変換回路



第12図 トランジスタ化されたスイッチ回路



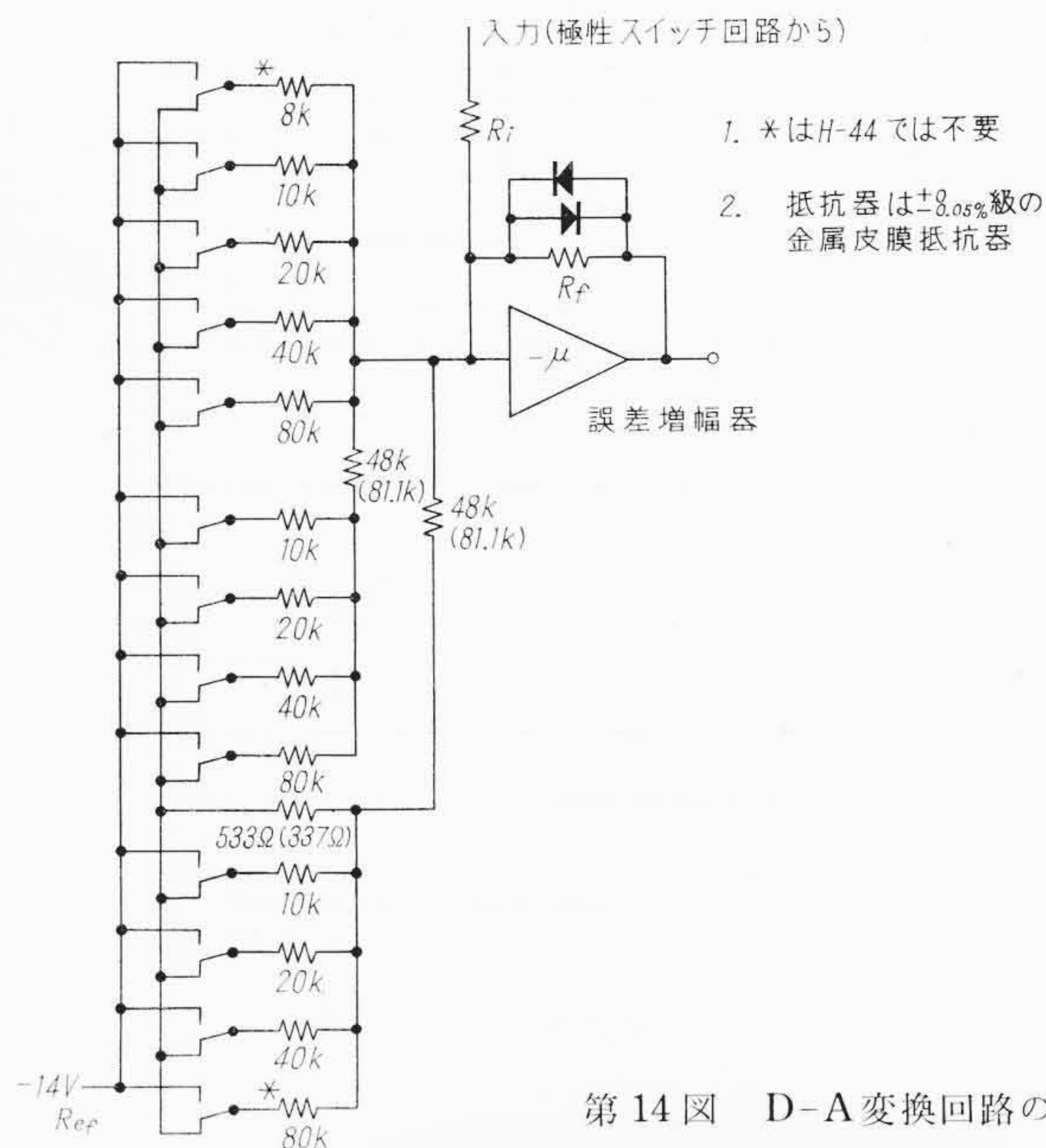
第13図 トランジスタスイッチ回路のオフセット電圧

準電源 V_{ref} の内部抵抗を無視すると、 $S_1 \sim S_n$ のすべての組み合わせについて、出力抵抗が一定であるので、誤差増幅器を電流加算増幅器として動作させるのに好つてであり、 $R_1 \sim R_n$ の比によって、任意の形式で表現されたデジタル量を容易に電圧あるいは、電流の形に変換できる。第12図は、スイッチ回路 S をトランジスタ化したもので、 Q_1 が ON のとき Q_2 は OFF、 Q_3 は ON となって A 点は 0 ボルトに、 Q_1 が OFF のときは逆に、 Q_2 は ON、 Q_3 は OFF となって A 点は -14 ボルトになる。この回路のように、トランジスタのエミッタベース、コレクタベース両接合を同時に、順方向あるいは逆方向にバイアスするスイッチ回路においては、両接合の順方向バイアス電流の比を適当に選べば、このときコレクタ、エミッタ間に発生するオフセット電圧を原理的に 0 ボルトにすることができる。また、このオフセット電圧の温度変化は、トランジスタの大信号電流増幅率を β とすると

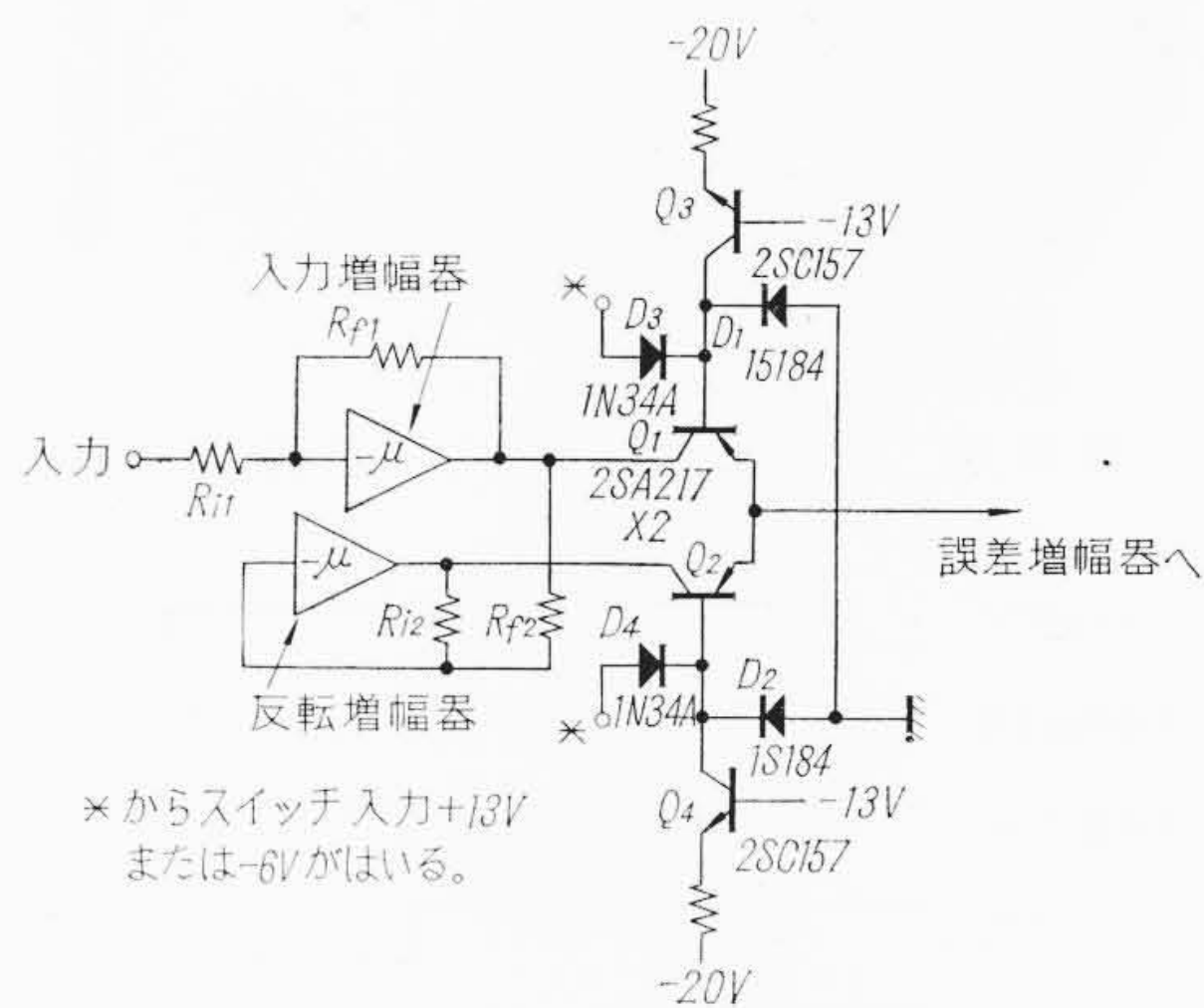
$$\frac{400}{\beta} \mu\text{V}/^\circ\text{C} \sim \frac{600}{\beta} \mu\text{V}/^\circ\text{C}$$

程度の非常に小さい値であり、導通時の動作抵抗が非常に低いので、OFF 側トランジスタのエミッタ、ベース間遮断電流の影響はほとんど無視できる。ここに使用するトランジスタとしては、 β の大きいもの、ベースエミッタ、ベースコレクタ両接合の逆耐圧が比較的大きいもの、一般的なスイッチング特性のよいものなどの諸条件を満たすものが望ましい。実験的に調査した結果では、ゲルマニウム合金接合形トランジスタで、中速度スイッチング用と呼ばれているものが特にすぐれた特性を示すようである。第13図は、この回路に使われたトランジスタ 2SA217 のベース電流とオフセット電圧との関係を静的に測定したデータの一つの例である。この図からわかるように、オフセット電圧のバラツキは、実用上無視できる程度に小さいものである。

H-43, 44 の D-A 変換回路と誤差増幅器周辺を、系統的に第14図に示す。() 内の数字は、H-44 に対応するものである。



第14図 D-A変換回路の周辺



第15図 極性切換回路

3.5 極性切換回路

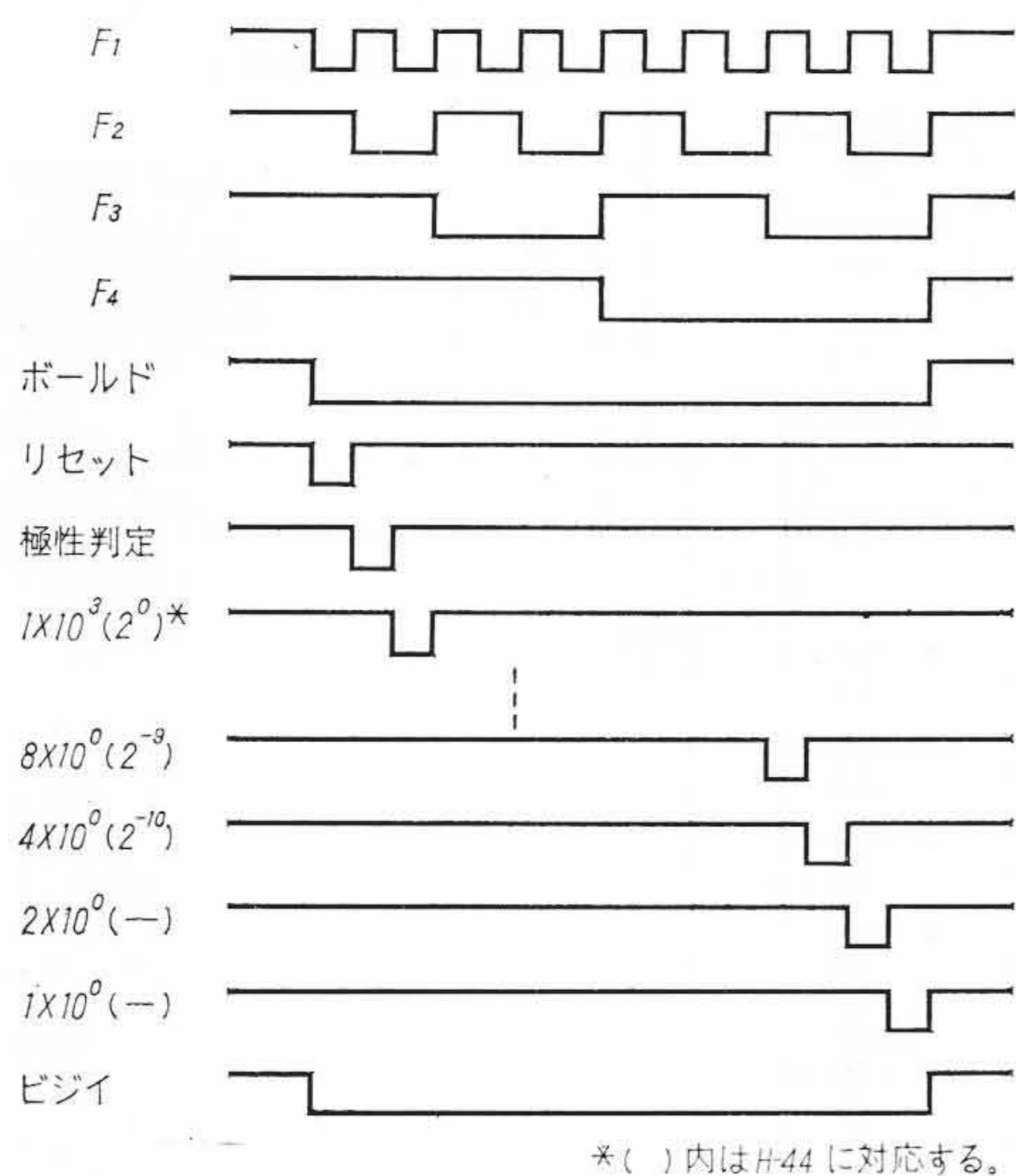
入力増幅器、反転増幅器などの入力処理回路を除けば、これらの変換器は、正単極性である。一般的な使用条件を考えると、正負両極性の入力処理しなければならないので、第15図の回路で、入力が正のときは、反転増幅器の出力、負のときは、入力増幅器あるいは、サンプルおよび保持回路つきのときその出力をそれぞれ誤差増幅器の入力として与えるようにしてある。この切り換え動作は、いうまでもなく、自動的に行なわれる。極性の判定は、変換の最初のタイミングで行なわれ、その結果は、フリップフロップによって保持されて、入力の正負両極性に対応するスイッチ回路の状態が決められる。

回路的には、この回路は、前節で述べた D-A 変換回路用のスイッチ回路と本質的に同じであるが、入力の変化範囲 $-10 \sim +10 \text{ V}$ における導通時のオフセット電圧の変化を極力小さくするための考慮がなされている。すなわち、スイッチ用トランジスタのベースは、導通時に定電流で駆動され、また、この回路の入力が負になったときは、クランプ用ダイオード D_1 、あるいは D_2 によって前段の回路は自動的に切り離されるようになっている。

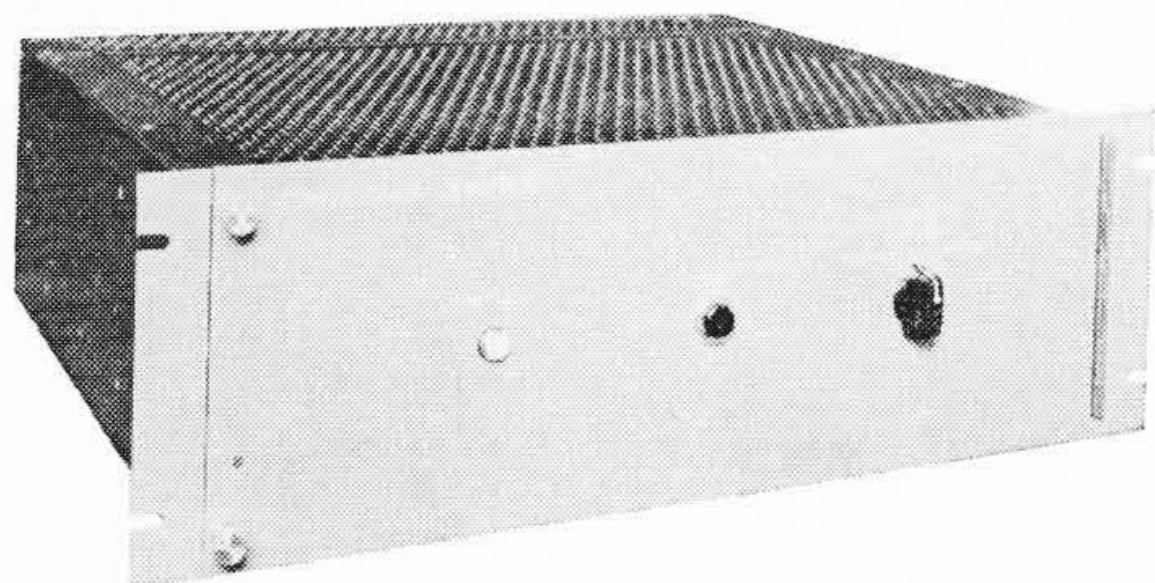
3.6 そのほかの回路

帰還形 A-D 変換器を構成する主要な回路は、上述したとおりであるが、そのほかの回路について簡単に述べる。

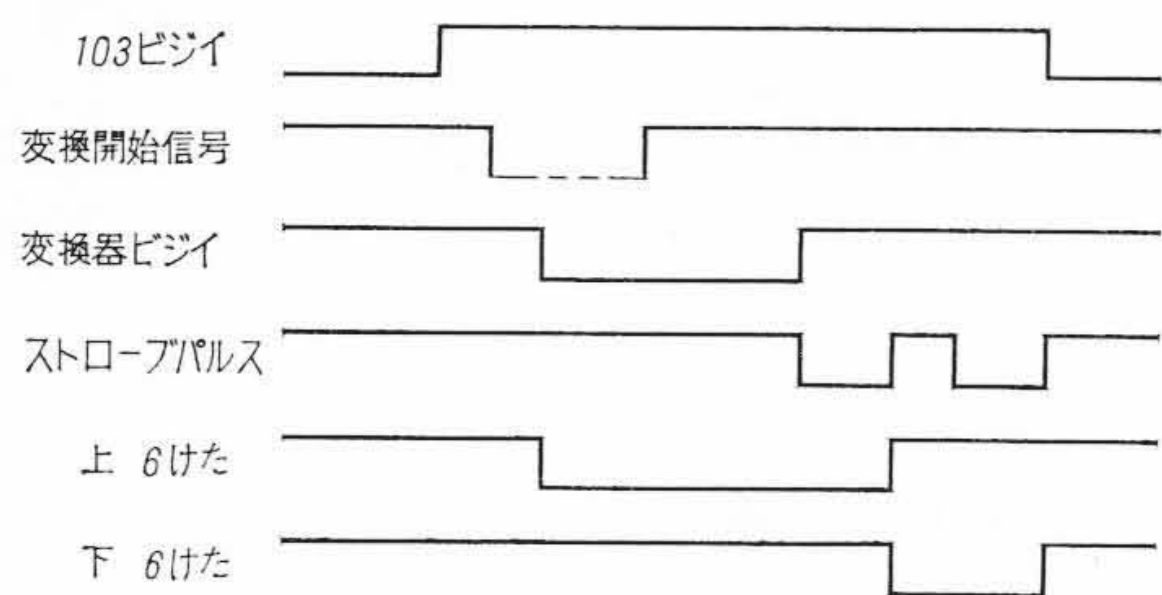
プログラム回路とレジスタは、スタティックフリップフロップとゲート回路から構成され、全体として、第16図に示すような動作を



第 16 図 プログラム回路の動作



第 17 図 HIPAC-103 用リンク装置の外観



第 18 図 リンク装置の動作

する。

D-A 変換回路用の基準電圧源は、精密温度補形ツェナーダイオード TRR-9 を中心としたもので、温度係数は $100 \mu\text{V}/^\circ\text{C}$ 以下、ドリフトは、起動時の数分間を除いて、 $1\sim 2 \text{ mV}/8$ 時間程度のきわめて安定な、直列制御形の安定化電源である。

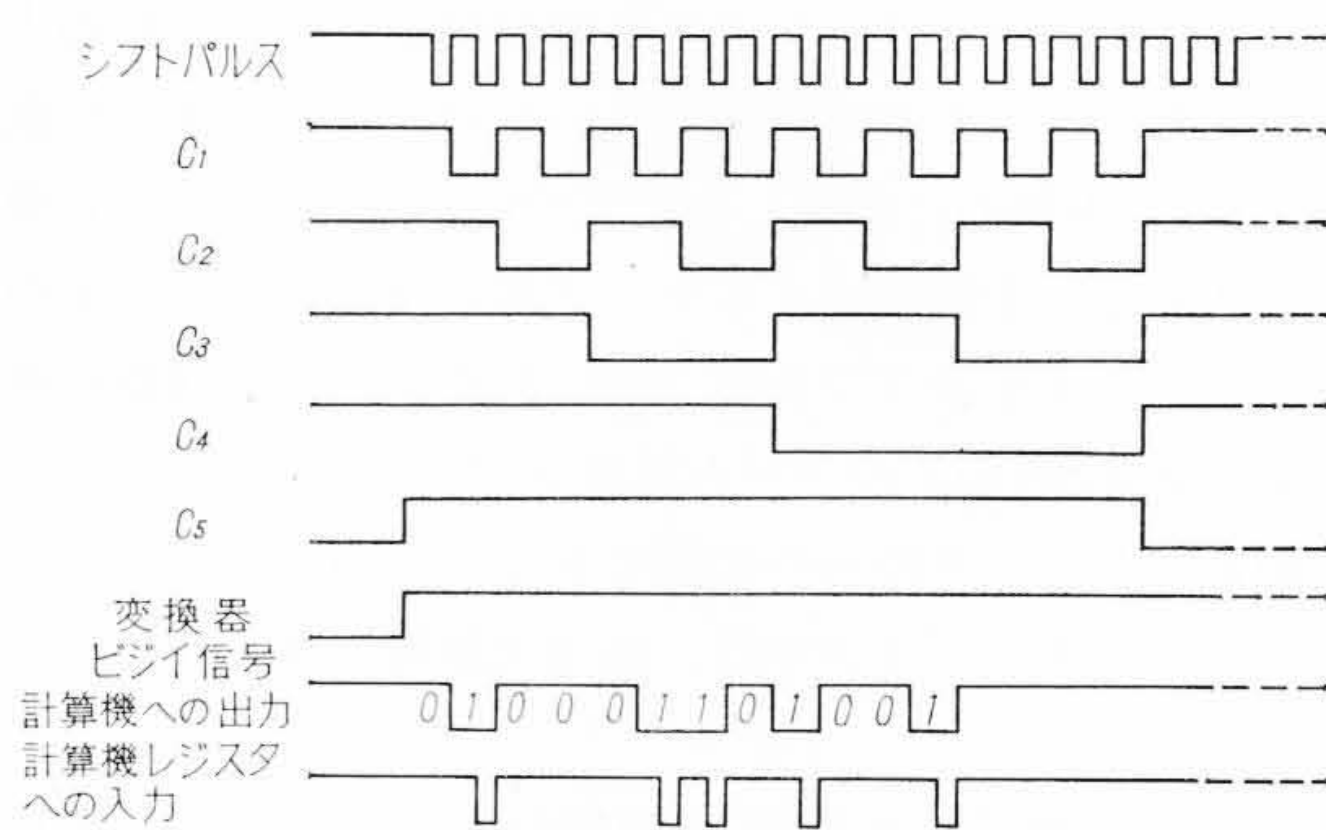
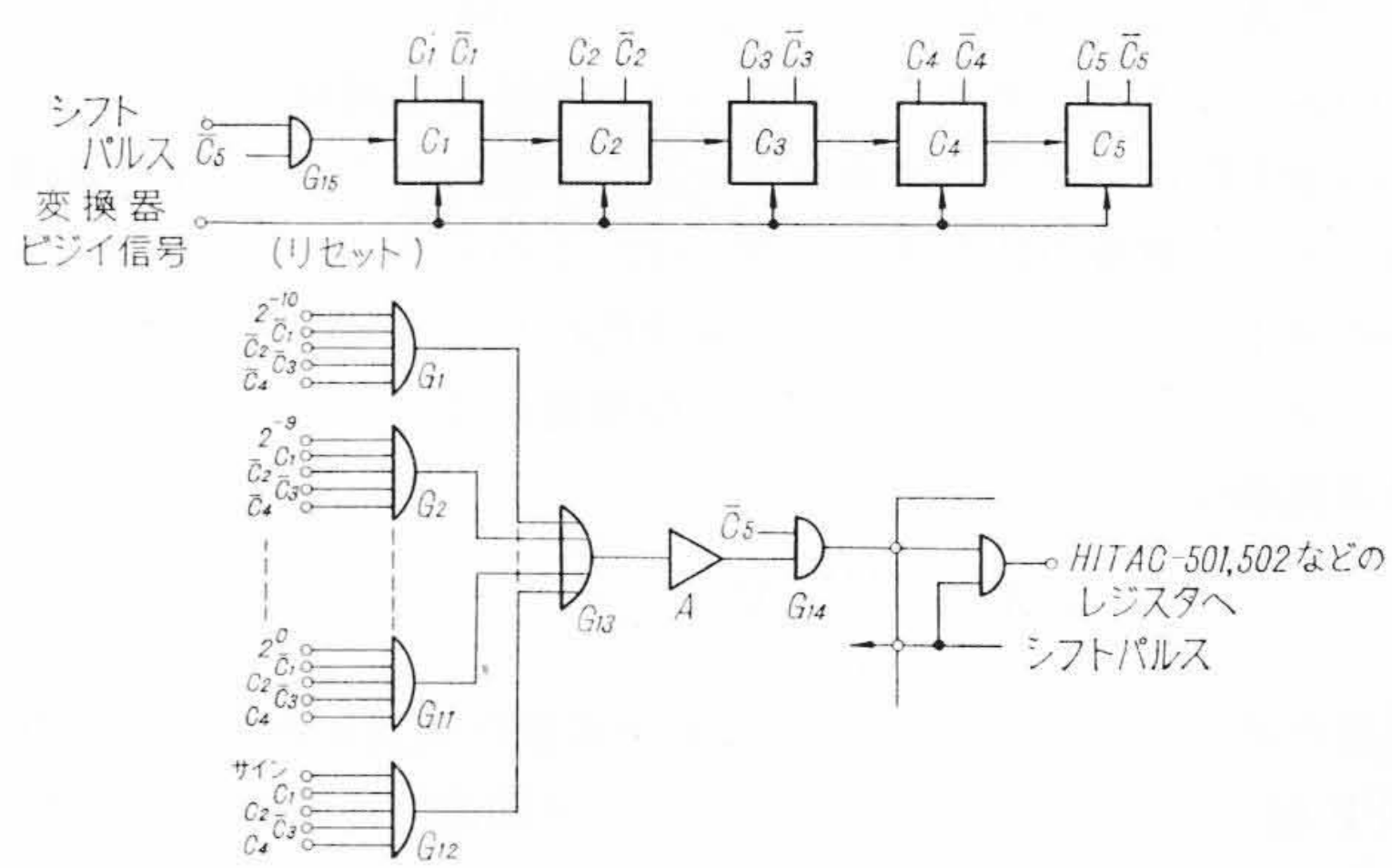
4. 電子計算機へのリンク

H-43, 44 形 A-D 変換器は、それ自体としては特定の電子計算機あるいは、その類似装置にリンクできるようになっていない。これは、電子計算機などの機種によって、リンク方法が異なるためと、すべての場合に適用可能なリンク装置を内付とすることは、経済的でないと考えられるからである。しかし、対象となる機材に最適なリンク装置ができるだけ容易に構成できるよう、制御信号、出力信号などのレベルあるいはそれらの容量などが考えられている。たとえば、出力は“0”を -6V ，“1”を $+6\text{V}$ で表わす信号とその NOT 信号が同時に取り出せること、変換の開始は、レベル変化、スイッチ信号いずれでもよいこと、変換器の動作を表わすビジー、ノンビジー信号が出ていることなどである。

次に、二、三の例について説明する。第 17 図は、HIPAC-103 用のリンク装置の外観である。この装置は、第 18 図に示すタイムチャートのように動作する。HIPAC-103 では信号授受の関係が図に

示すように、6 ビット (パリティビットを含まない) の並列入力と、ビジー、ノンビジーで表わされる制御信号とからなる。まず、外部変換開始パルスが与えられると、変換器が一回の変換を行なう。このとき計算機がビジーであれば、ノンビジーとなるまで待ち、ビジーでなければ、ただちに、ストローブパルスを出して上 6 けた、続いて次の 6 けたと順次計算機に送り込む。この装置は、プラグインユニット 1 枚を差し換えるだけで、H-43, 44 に共用できる。ただし、HIPAC-103 の読み込み命令は、H-44 のとき、Clear Read Character 2 (XRH 2) ⁽²⁾ また、H-43 のとき、XRH 5 としなければならない。このとき読み込まれる順序は、それぞれ、 $\pm 2^0$, 2^{-1} , 2^{-2} , 2^{-3} , 2^{-4} , 2^{-5} , 2^{-6} , 2^{-7} , 2^{-8} , 2^{-9} , 2^{-10} と $\pm$, 1,000 位, 100 位, 10 位, 1 位となる。なお、変換の開始時点は、パネル面の切り換えスイッチによって、上記のほか、計算機がノンビジーとなったときと、内部に設けられた発信器 (200 c/s) でフリーランニングさせる場合とがそれぞれ選択可能である。

第 19 図は、HITAC-501, 502 などのように、A-D 変換器からのデータの読み込みが、直列方式となっているものに対するリンク装置の例である。一般に、並列信号の直列化には、シフトレジスタを使って、これにデータを並列にセットし、直列化同期パルスによって順次一定方向にシフトさせながら、特定の部位、たとえば、最終段のフリップフロップから直列信号を得る方法と、ここに示す例のように、直列化カウンタとスキャンニングゲートとによる方法とが代表的である。シフトレジスタを用いる方法は、並列信号を特定の期間、特定の状態に固定できない場合には有効であるが、構成部品が多くなる傾向があって経済的でない。図に示した例は、他の一つの場合で、A-D 変換器の出力のように、状態の固定が任意に行なえるものには適当と思われる。図中、 $C_1\sim C_5$ はスタティックフリップフロップであって、直列化カウンタを構成し、 $G_1\sim G_{12}$ はスキャンニング用のアンドゲート、 G_{13} はオアゲート、 A はバッファ増幅器、 G_{14} , G_{15} は制御用のアンドゲートをそれぞれ示す。いま、特定の周期における計算機へのデータの読み込みが終了していると仮定すると、直列化カウンタの内容は、HITAC-501, 502 のいずれの



第 19 図 直列化回路 (上) とその動作 (下)

場合も、00001 となっている。このとき、計算機あるいは、外部から変換命令が与えられると、一回の変換が行なわれ変換器ビジー信号の後縁によって、 C_5 がリセットされ、この C_5 の状態が計算機のプログラムで解読されて、読み込みが実行される。第 1 番目のシフトパルスで、最下位けた、第 2 番目で次のけたと以下順次、第 12 番目で符号ビットまで読み込みが連続し、第 16 番目のシフトパルスで、 C_5 がセットされて、カウンタの動作が停止する。これで、一周期の動作が終了する。上述の例は、H-44 に対するものであるが、H-43 の場合もスキヤニングゲートの数を増すだけで、全く同様の構成となる。また、直列化カウンタは、4 ビットのものでも、制御ゲートを適当に作れば使えるが、この場合は、データの識別符号をつけることなど、一般的な用途を考えて、16 ビットまでの直列化が可能のようにしてある。

5. 結 言

最近、半導体をはじめ各種の部品の製造技術が急速に進歩し、以

上述べたように、A-D 変換器で一番問題となる直流増幅回路、スイッチ回路などが比較的容易にできるようになったことは、よろこばしいことである。しかし、品質の均一性、信頼度の点で、まだまだ問題が残されていて、万全とはいえない。部品の生産に、いつその前進を期待する次第である。

H-43, 44 では、適材を適所に用いて、安定に必要な性能を出すよう設計してあるが、この点、読者諸賢のご批判をお願いしたい。

最後に、製品化にあたり、いろいろご指導ご協力願った日立製作所中央研究所三浦主任研究員、貴重な設計データを提供された、日立製作所中央研究所川崎氏、同永田氏をはじめ、関係各位に厚く感謝の意を表するものである。

参 考 文 献

- (1) 不破, 尾谷: 日立評論 別冊 No. 47, p. 45
- (2) 日立製作所: HIPAC-103 プログラミングマニュアル



登録新案第 709154 号

新 案 の 紹 介

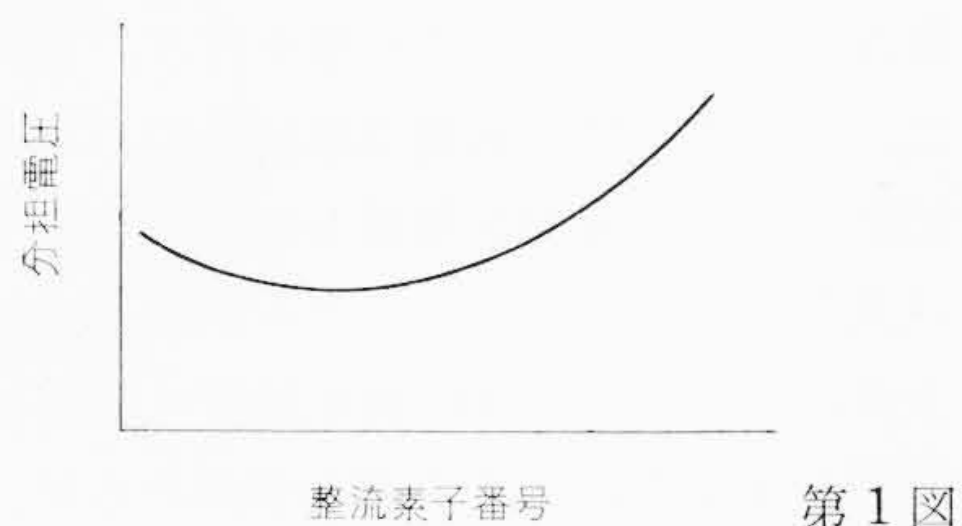


近藤喜久雄・岩田幸治

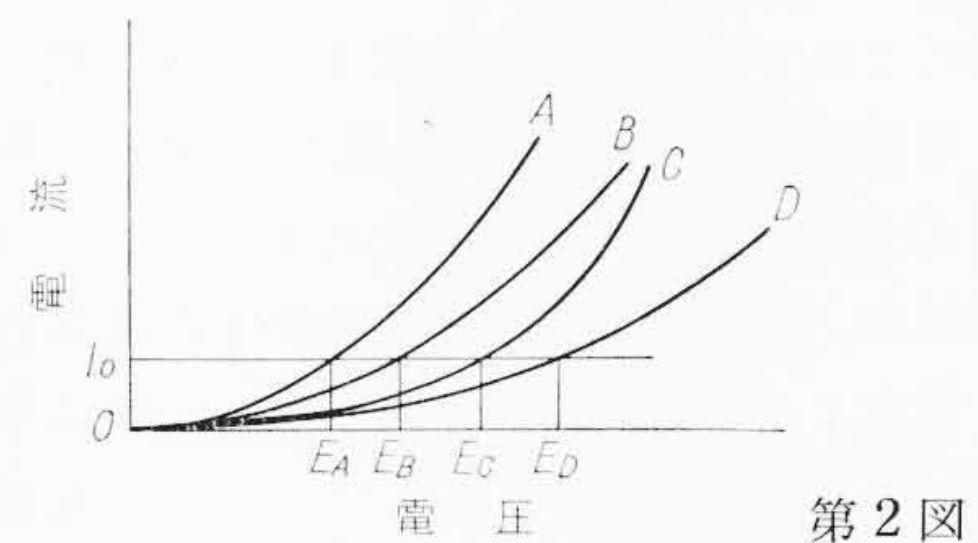
高 圧 シ リ コ ン 整 流 装 置

シリコン整流器を用いて高圧を整流する場合、多数個の素子を直列に接続し各素子の分担電圧をその逆耐圧以内におさえ整流する。この場合各素子は平均した等しい電圧を分担すれば最良なのであるが、実際にはその分担電圧にばらつきが生じ、一般に直列接続中両端付近の素子に中央部の素子より高電圧がかかることが知られている(第 1 図)。それ故、その或る素子が 1 個破壊すると残りの素子が破壊した素子の電圧を負い直列に接続された素子全体が破壊するに至ることがある。一方シリコン整流素子はセレンやゲルマニウム整流素子に比し逆耐電圧は高いが素子のばらつきが多くみられる。第 2 図はシリコン整流器の逆方向特性を示すもので、各素子特性が A,

B, C, D で示されることとし、この 4 個の素子を直列に接続し、ある電圧を逆方向に印加したところ、電流 I_0 が流れたとする。そのとき各素子には夫々 E_A, E_B, E_C, E_D の電圧が分担されていることになる。 $E = E_A + E_B + E_C + E_D$ である。本考案はこのばらつきを逆用して第 1 図の分担電圧の不平衡と、逆方向特性のばらつきによる分担電圧の不平衡を互いに相殺的に、即ち直列接続の両端に逆方向電流の大きな特性曲線 A で示すような整流素子、中間には逆方向電流の小さな特性曲線 D で示すような整流素子がくるよう構成し、分担電圧の不平衡と、シリコン素子の特性のばらつきの欠点を一挙に解決するものである。(三宅)



第 1 図



第 2 図

登録新案第 712961 号

ピ ス ト ン 装 置

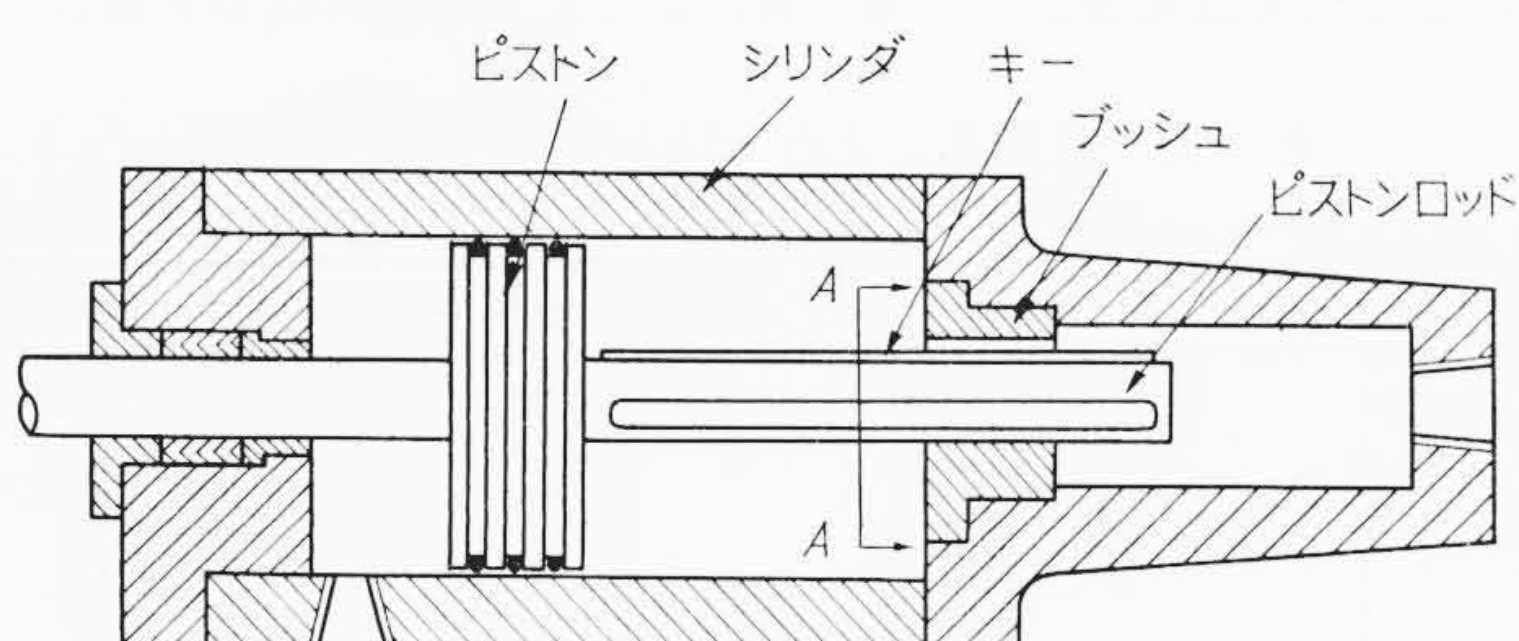
各務真卿

この考案はピストンがそのストロークに応じて速度制御がなされるもので、例えばストロークの両端位置において緩衝的に停止できるようにしたピストン装置である。

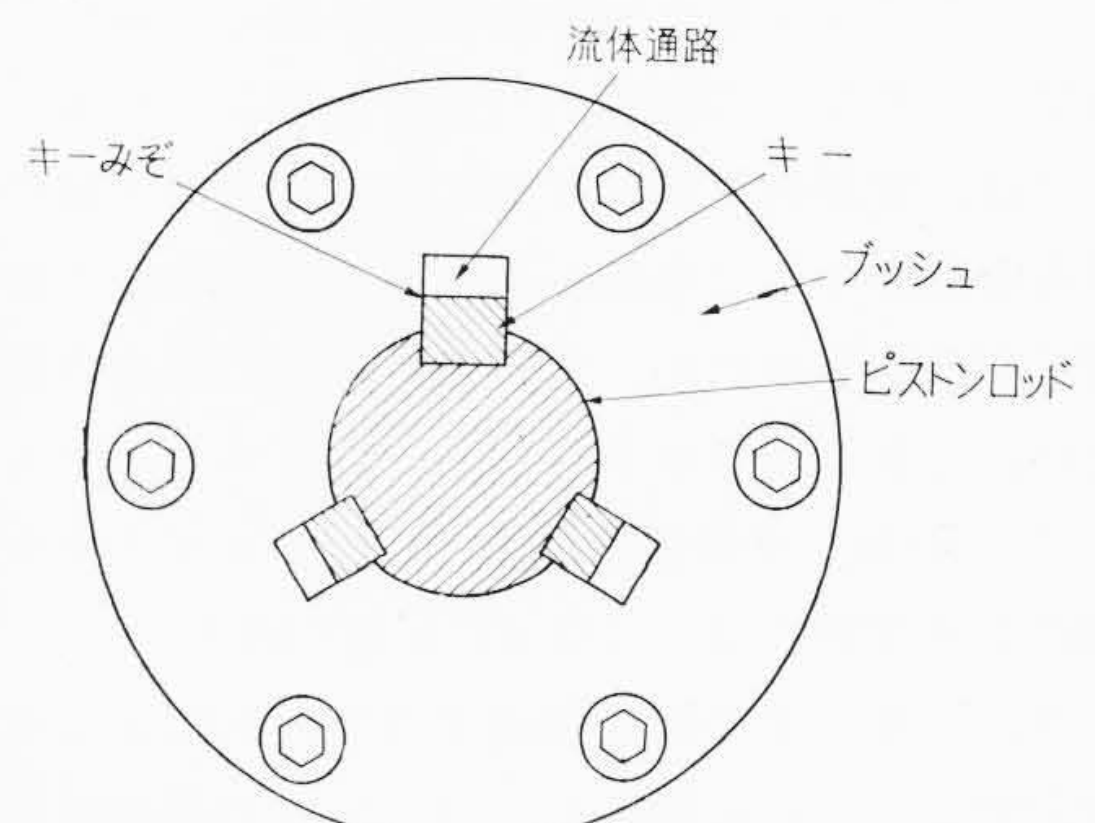
第 1 図および第 2 図(第 1 図の A-A 断面図)は本考案装置の構造を示しており、ピストンロッドとこれを包囲支承するブッシュに共通する 1 個もしくは複数個のキー溝を穿設し、この溝に嵌挿されるキーをロッド側に固定すると共にブッシュ側のキー溝に流体通路と

なる空間を残置し、しかもキーの高さを軸方向に変化させたものである。

このような構造を有する本考案によればピストンはそのストロークに応じて速度制御がなされ、またこの構造によればロッドの廻り止め作用を兼ねているから殊にピストンが単なるスラスト荷重やラジアル荷重の外にトルクに耐えながら往復動するものに採用するのに好適である。(山元)



第 1 図



第 2 図