
計 算 制 御 特 集

ディジタル計算制御装置 FACTROL 5000	89
自動制御とアナログ計算技術.....	95
磁気演算増幅器による自動負荷周波数調整装置.....	102
揚水発電所用ディジタル式高能率運転装置.....	108
火力発電所計算機制御の問題点.....	113
製鋼炉における計算機制御 — 転炉について —	119
圧延工程における計算機制御.....	124
磁気演算増幅器の電動機制御への応用.....	129

デジタル計算制御装置 FACTROL 5000

Digital Control Computer FACTROL 5000 for Industrial Use

石川 知雄*
Tomoo Ishikawa

川崎 淳**
Jun Kawasaki

三浦 武雄**
Takeo Miura

内 容 梗 概

オンラインの計算制御、ファクトリ・コントロールへの適用を目的とする FACTROL 5000 形デジタル計算制御装置につき述べる。本装置は中核システムによるビルディングブロック化および工業用仕様を特長とするデジタル計算機である。本稿は特に FACTROL の理念および特長について述べるとともに、計算機システムおよびソフトウェアの概略について説明する。

1. 緒 言

近年電子技術の発展と自動制御技術の急速な進歩に伴い電子計算技術を制御装置に導入した計算制御の動きが顕著になり、今や実用化の段階にはいりつつある。計算制御装置の適用分野も従来より考察されてきたプロセスダイナミックスの制御、最適化制御、シーケンス制御、計算予測に加えて生産管理、工程管理の自動化へ拡大されてきている。また、装置の面では高速化、高性能化が推進されていることのほかにオンライン制御を目的とする計算制御に向かってよりいっそうの努力が払われている。

日立製作所の制御用デジタル計算機としては従来より HITAC 501, 502 の二機種が製作され、501 は火力発電所または変電所のデータロガーとして十数台の納入実績を持っており、502 は主として制御系解析用として使用されている。以上のほか工業用としてオンライン制御を目的とする FACTROL 5000 システム計算制御部が昭和 38 年秋に完成をみた(第 1 図)。HITAC 501, 502 についてはすでに報告されているので⁽¹⁾⁽²⁾、本稿では FACTROL 5000 につき概略を述べることにする。

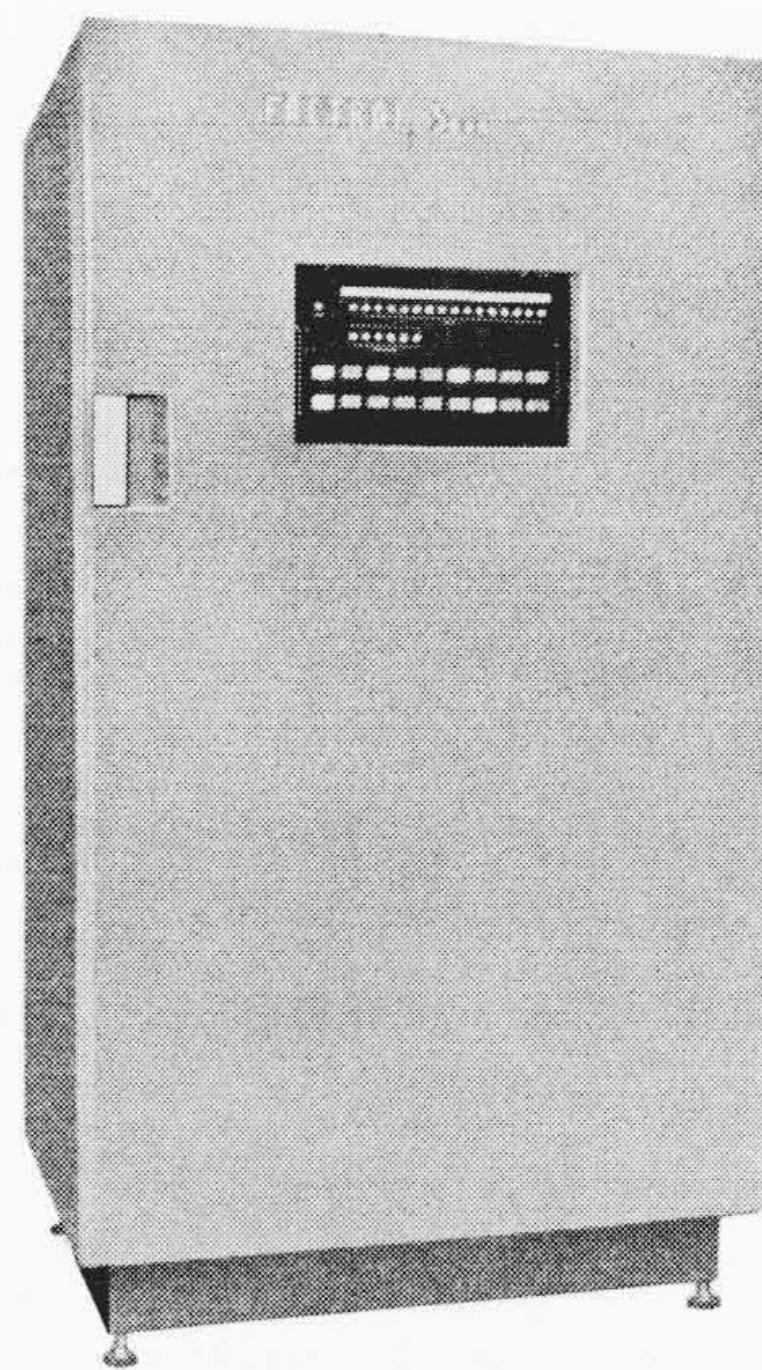
2. 計算制御および制御用計算機の最近の動向

計算制御の思想は数年前より提唱されているが当初は大形デジタル計算機を導入した大規模な総括制御方式が考察の対象であった。当時は多少理想を追い過ぎた面もありあまり大規模に過ぎた点、制御対象の解析が不十分であった点、計算機周辺の機器に十分な配慮が欠けた点などにより直ちに実現の段階に至らなかった。その後反省期を経過した現在では制御対象の特性をデータロギングおよびオフライン計算機による解析などを通じ事前に十分は握するとともに、入手による操業経験を制御シーケンスに導入するなど慎重なシステムエンジニアリングを行なった後オンラインへ適用する方向に進んでいる。また、従来の大規模な総括制御方式に対しシステムをおのおの閉じた小ブロックに分割し第 2 図に示すピラミッド形に構成することにより実用的な方式が提案されている⁽³⁾。さらに計算要素としてデジタル要素のほかにアナログ要素もその良さが再認識され両者の組合せを適所に使用することにより信頼性の高い経済的な制御方式が実現できる。

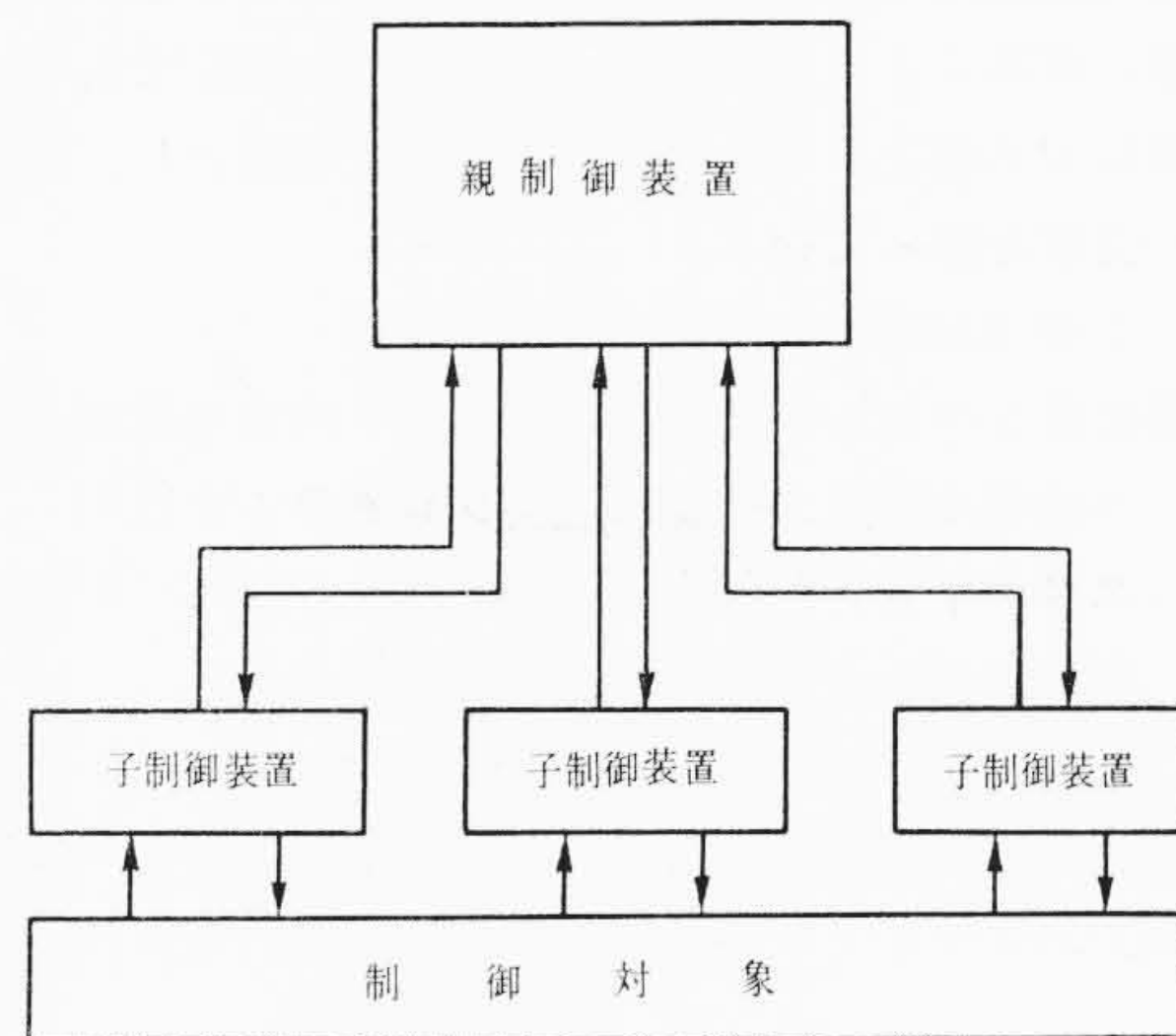
最近の制御用デジタル計算機は大形化、高速化、高性能化が進み汎用、科学用に近い性格のものも多い。これらは主としてオフライン、オンラインのデータ処理用または解析用として使用されている。これに対し、仕様の簡素化による経済性を特長としオンライン制御機器に近い性格を持つ制御用計算機も存在する。本稿に述べる FACTROL 5000 は後者に属する装置である。

* 日立製作所中央研究所 工博

** 日立製作所中央研究所



第 1 図 FACTROL 5000 の正面写真(試作機)



第 2 図 分散した制御システム

3. FACTROL 5000 の特長および仕様概略

3.1 適用対象

FACTROL 5000 は本機の適用対象の一つであるファクトリ・コントロールすなわち産業における生産管理の自動化よりその名称を得ているが、このほかシーケンス制御、データロガー、計算制御など広い応用分野への適用を考慮している。

ファクトリ・コントロールは製鉄工業、化学工業、自動車工業など原料、部品、生産物など多数の物品を取り扱う工場において物品の製造工程、品質、在庫数などの管理の自動化を目的とするものである。処理内容は比較的簡単な計算が主であるが判定、分類など論

理演算機能が必要であり、ときには大容量の記憶装置を必要とする。また制御の面では製鉄、セメント、化学工業その他におけるデータロガー、計算制御たとえば製鉄工業における転炉の原料予測計算、均熱炉の分塊焼上り予測計算、ストリップミルの圧下設定、速度設定の制御などを対象としている。これらは計算内容も多少複雑な場合もあり、処理時間が限定され、高速の割込機能を必要とすることもある。また装置の性格上工場現場付近に設置される場合が多く環境条件が必ずしもよくない。

FACTROL 5000 は以上の適用例につき慎重に検討した結果生まれたもので制御用として必要な機能を満足している。本機は特にオンライン制御への適用を主眼とし信頼性および経済性に重きを置いている。したがって取り扱うシステムの規模も中程度を限度とし処理内容もあまり複雑でない範囲に重点をおいている。また処理内容が複雑な場合には制御用アナログ計算要素の併用、本機数台の並列運転を、また第2図に示す分散したシステム構成を採用することを考慮している。

3.2 特長

本機のおもな特長を次に述べる。

3.2.1 中核システム（システムのビルディングブロック）

システムの規模、処理能力は場合により大幅に異なっているが、これらの要求仕様に融通性良くかつ経済的に追従するためFACTROL 5000 は各応用面に共通な機能を持つ装置を中核計算機として製作し、中核の回りに標準化した要素をビルディングブロック方式に積上げシステムを構成している。中核外部の要素には入出力機器のほかにはアナログ計算要素をも含んでいる。第3図は全システムのブロック図である。

3.2.2 中核内部のビルディングブロック化

ビルディングブロック化は中核計算機内部にも及び内部要素はユニット構造を採り命令、機能、記憶装置の付加が容易である。

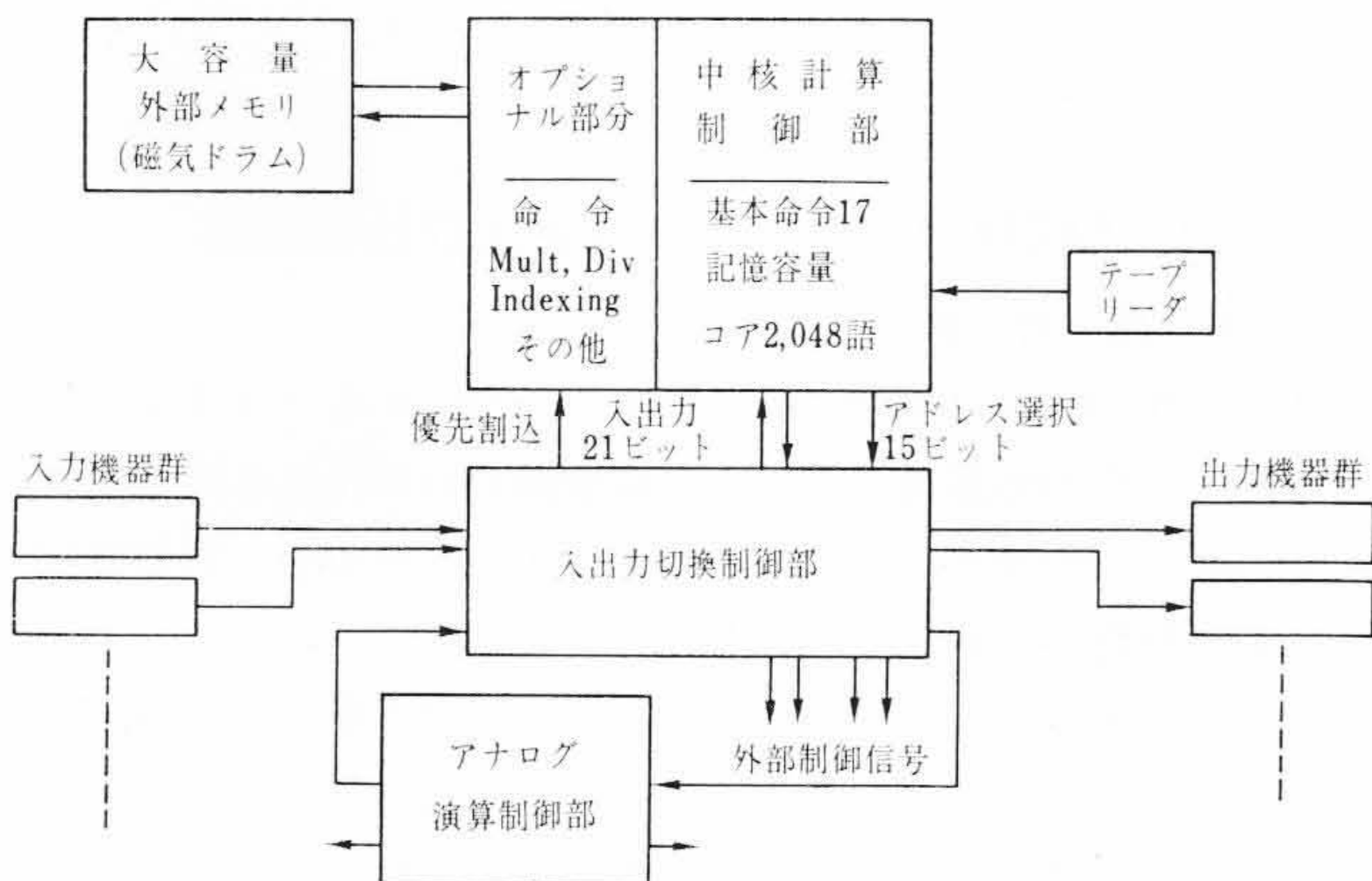
3.2.3 工業用仕様

本機は環境条件の悪い現場にも設置可能なよう工業用仕様とし雑音に強い要素により構成し温度範囲は0～40℃である。また保守員の常駐を必要としない程度の信頼度を目標とし、高信頼化のため次の方策を採っている。

- (1) 工業用記憶装置 (0～40℃) の採用
保護装置を付加し停電の際にもメモリ内容は破壊されない。
- (2) 非破壊の固定メモリに重要プログラムを収用
- (3) スタティックな基本回路 (－10～＋60℃) を採用
- (4) 定格低減による半導体類の高信頼化

3.2.4 制御用機能

中核計算機は極力素子数を減らした経済設計となっているが制御用入出力およびアドレス選択用出力を持ち、また判定処理の便



第3図 FACTROL SYSTEM

第1表 計算制御部仕様

基本仕様		付加可能機能
方式	プログラム内蔵方式	
語	数値語	内部2進, 固定小数点 20 bit+符号+パリティ
	命令語	Function 6 bit+Address 15 bit インデックス付 Function 6 bit+Index 2 bit +Address 13 bit
演算方式	直列, 同期式	
演算速度	加減算: 730 μs 乗除算: プログラム処理	乗除算 (金物): 5,790 μs max
命令種類	17	乗算, 除算, 優先割込, インデックス関係, ドラム制御 最大64種
アドレス方式	1アドレス (アドレス演算付)	
基本周波数	100 kc	
基本回路	トランジスタ, スタティック同期式	
記憶装置	工業用記憶装置 (コア) 1024×2 語 コア固定メモリ 1024 語	磁気ドラム (約8,000 語) 大容量コアメモリ (4,096×2 語)
入力	8単位テープ, 並列入力 21 bit	
出力	並列出力 21 bit+ストローブ アドレス選択出力 並列 15 bit++ストローブ	
周囲温度	0～40℃	
電源	100 VAC 1φ, (22 VAC 3φ)	

を図り論理演算機能を備えている。なお金物による高速割込機能も付加できる。

3.3 仕様概略

FACTROL 5000 計算制御部 (中核計算機) の仕様を第1表に示す。基本仕様を左に付加可能な機能を右に示した。命令数は基本仕様では17種であるが付加可能な命令として乗算、除算、インデックス関係などが用意されている。記憶装置は工業用記憶装置 (1,024語×2) が装備されているが、特に大容量を必要とする場合は大容量磁気コア (4,096×2語)、磁気ドラム (約8,000語) を付加できる。また本機は周囲温度0～40℃で安定に動作するが特に環境条件の悪い場合は密閉形としエアコン内蔵とする。

4. FACTROL 計算機システム——その特長

4.1 定格低減による半導体類の高信頼化

一般に電子機器がオンラインの制御装置として使われる場合、そのMTBFは1,000時間以上が要求せられ、さらには10,000時間が目標とされている。制御装置は過酷な周囲条件でも所期のMTBFをもつよう設計製作されなくてはならない。半導体の故障率の低減対策、および故障率の推定がこの見地から重要になる。

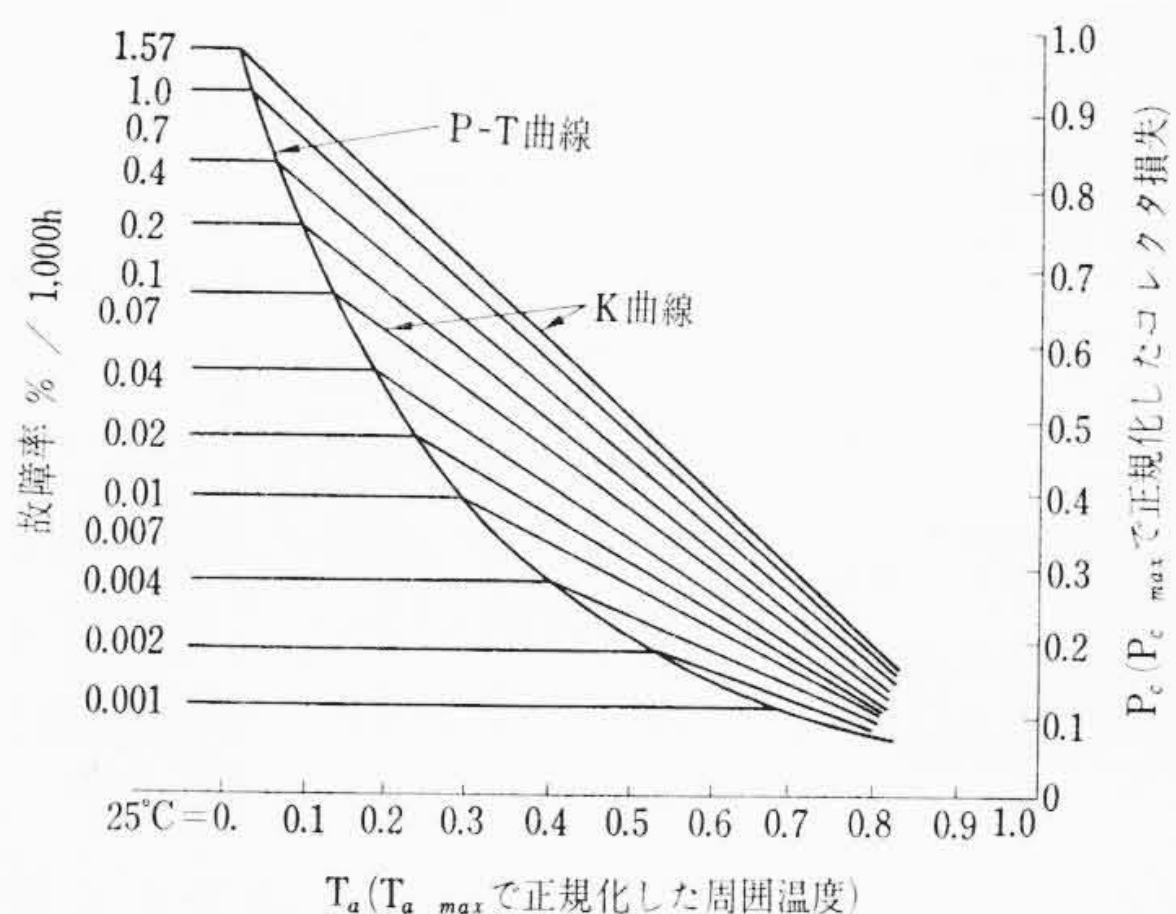
トランジスタの寿命特性は近似的に接合部温度により決定され、(1)式が与えられている⁽⁴⁾。

$$\log L \div A + \frac{B}{T_j} \dots\dots\dots (1)$$

ここに、 L : 平均寿命時間
 T_j : 接合部温度
 A, B : 定数

である。また、(1)式はダイオードについても成り立つことが確かめられている。

一方RCAでは多量のトランジスタの実績から、第4図に示す強制度相関図表を得ている⁽⁵⁾⁽⁶⁾。第4図は故障率はコレクタ損失と周囲温度により、すなわち接合部温度により決定されることを示している。第4図で故障率を出す場合、まずその使用条件、すなわちコレクタ損失 P_c と周囲温度 T_a を定める。これらはおのおの $P_{c\max}$ 、



第4図 寿命強制度チャート

$T_{a\max}$ により(2), (3)式で正規化したものである。

$$\text{正規化 } P_c = \frac{P_{c\text{ actual}}}{P_{c\max}} \dots\dots\dots (2)$$

$$\text{正規化 } T_a = \frac{T_{a\text{ actual}} - 25^\circ\text{C}}{T_{a\max} - 25^\circ\text{C}} \dots\dots\dots (3)$$

P_c , T_a により座標点を定める。その点が P-T 曲線の下にある場合はその点の左縦軸がそのまま故障率を示す。もし、P-T 曲線の上にあればその点を通るK直線に沿って P-T 曲線までたどり、そこから左縦軸を見た点が故障率を示す。この方法はかなりラフな故障率の推定法であるがだいたいの MTBF を算出するのに有効である。

いま、制御用として周囲温度 40°C が要求されるとする。もし、Ge トランジスタを使えば $T_{j\max} = 70 \sim 85^\circ\text{C}$ なるゆえ $T_{a\max} \doteq 60^\circ\text{C}$ となり、(3)式より $T_a = 0.43$ となる。第4図で $T_a = 0.43$ を与え、故障率が 0.01% となる P_c を求めると 0.3 を得る。すなわち定格の 30% 以下の P_c で動作させなくてはならない。

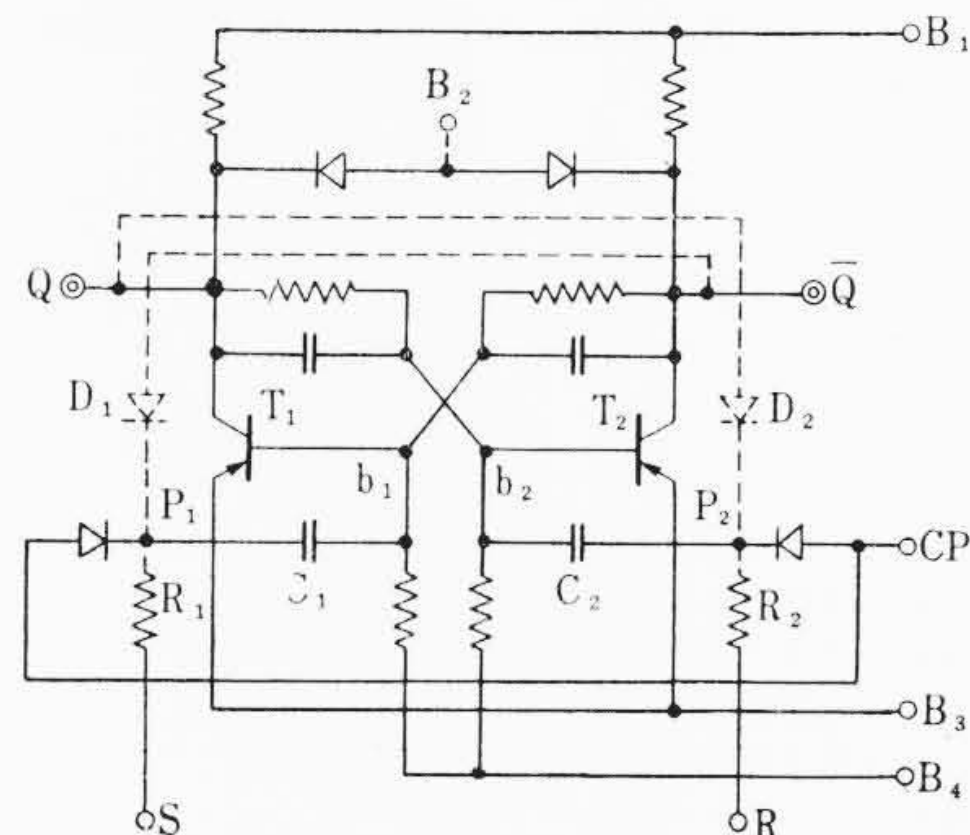
実用機器における故障率⁽⁶⁾⁽⁷⁾はPNPGe合金形高周波用; $0.0072 \sim 0.029\%/1,000\text{ h}$, 点接触 Ge ダイオード: $0.0037 \sim 0.0085\%/1,000\text{ h}$ 程度である。

4.2 基本回路

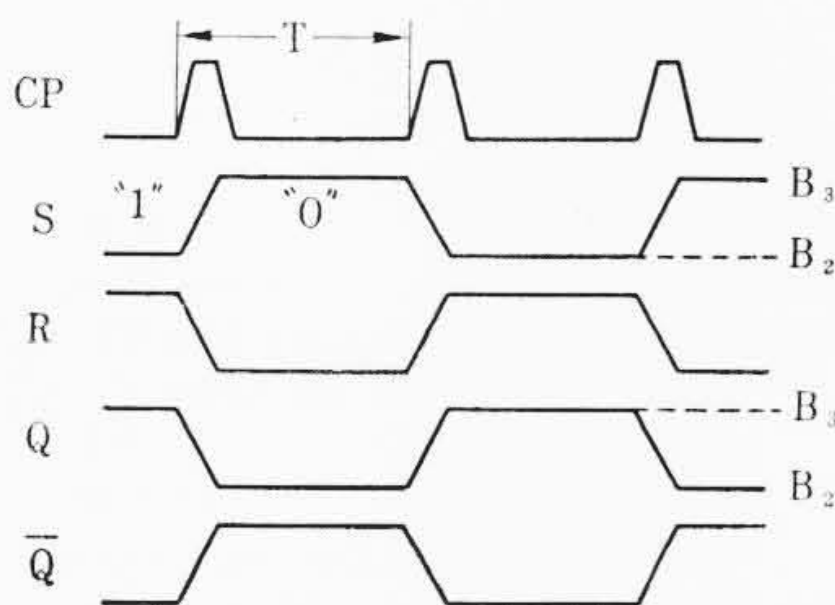
FACTROL の基本回路に要求される条件は次のとおりである。

- (1) 単体および簡単な組合せ回路で、 $-10 \sim +60^\circ\text{C}$ で安定に動作すること。
- (2) 論理レベルは 12V とし、 P_c を下げるため飽和形とする。
- (3) 処理能力を上げるため、クロックは 100 kc とする。

基本回路の中心となる FF (フリップフロップ) は第5図の積分形 FF である。方式的には R-SFF で、これを J-KFF にするには D_1 , D_2 を接続して、論理入力とともに“1”の場合でも、カットオフされているトランジスタにカットオフトリガがはいらないようにすればよい。FACTROL では J-KFF を必要とする個所は少ないので、

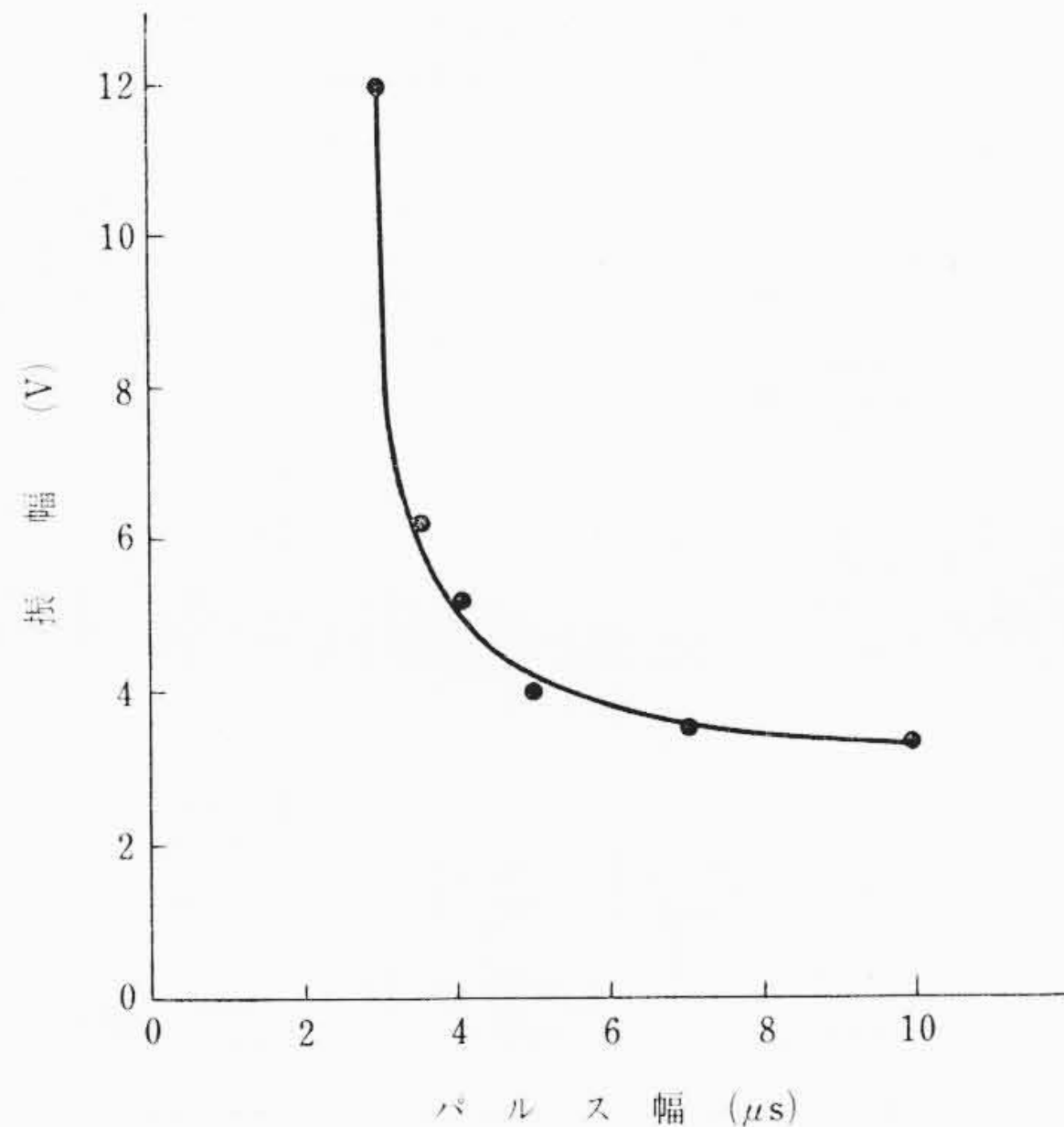


(a) 積分計フリップフロップ回路



(b) 各部波形

第5図 積分形フリップ・フロップ



第6図 EF のトリガ感度

全体を統一するうえから R-SFF を採用した。

積分形 FF では論理入力を C_1 , C_2 に充電し(積分), これをクロックパルスで急速に放電して T_1 , T_2 のベースにトリガ電流を流し込む。論理入力に対しては積分動作をもつため、耐雑音性は通常の微分形に比べ著しく改善されている。第6図に論理入力に対するトリガ感度の実測値を示す。パルス幅 $10\mu\text{s}$ で $3 \sim 5\text{V}$ のトリガ感度を選んである。第5図より明らかなおとおり、クロック系に対しては T_1 , T_2 のベース回路は高域通過特性をもつため、急しゅんな立ち上がりをもつクロック系の雑音で誤動作する恐れがある。この対策として、クロック系の布線に注意し、必要ならシールドを施す。また、クロックの直流レベルを論理“1”よりも負側にシフトし、耐雑音性を改善する方法もとっている⁽⁷⁾。

論理ブロックは、AND+OR+INV (インバータ) を1単位とし、クロックによる信号再生の可能な FF の間に、最高6単位まで直列接続を許している。最高の単位数は、 $-10 \sim +60^\circ\text{C}$ の範囲で $\pm 40\%$ 以上の電源マージンを保証する点から決定される。

fan out は FF で 5, INV で $10 \sim 20$ (INV は 2 種) である。fan in はクロックが 100 kc のため、ほとんど実用的な範囲では問題にならない。

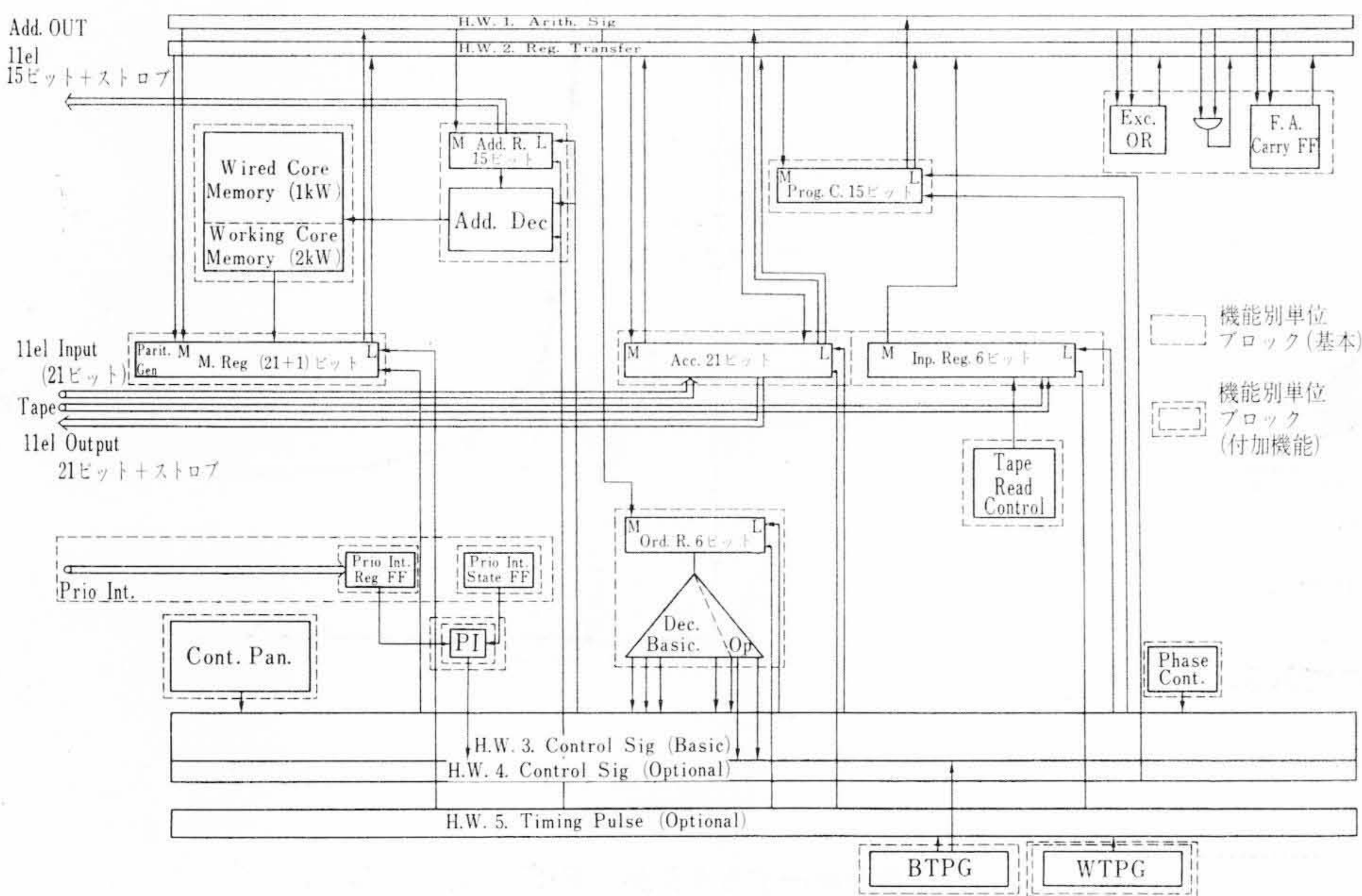
4.3 計算機システム——ビルディングブロック化

計算機の MTBF を上げるため、制御用としての最低限の機能に留め、素子数をできるだけ減らした計算機が考えられる。これにビルディングブロック方式を採用し、機能増設を容易にしたものを中核システムと呼ぼう。

FACTROL は中核システムの典型的なもので、第7図のブロック図で構成されている。レジスタも MR: 22 ビット, Acc: 21 ビット, AR, PC 15 ビット, OR, I/OR: 6 ビットで基本機能に留めている。

語の構成を第8図に、命令の一覧表を第2表に示す。数値の取り扱いは2進法で、負数は2の補数表示、固定小数点である。命令は基本 17 種類をもち、制御用としての入出力命令、論理演算、サブルーチンジャンプおよび番地演算命令に特長をもつ。

また、命令コードは8進2けたより構成される擬似シブ語を使い、機械語をその機能に近い Symbolic Code で表わしている。これは記憶容量の少ない計算機を、SIP に近い命令で使いやすくし、かつローディングを簡単化して、それによるメモリ占有率を低くする目的である。



第 7 図 FACTROL 中核システムブロック

M		L
パリティ	Address Part	Operation Code
1ビット	15ビット	6ビット

(a) 命令語の構成

M		L
パリティ	符 号	数 値
1ビット	1ビット	20ビット

(b) 数値語の構成

第 8 図 語 の 構 成

基本機能以外に、さらに付加機能として、乗算、除算およびその付属命令、優先割込、インデキシング、バックアップドラムなどを付加することができる。問題はこれらおよびこれら以上の付加機能をどのようにして中核システムに容易に増設するかである。FACTROL では、第 7 図のブロック図に示すように、単位機能ごとにブロック化し、これらを HW (母線、ハイウェイ) により能率よく接続している。このため、たとえば乗除算のようにレジスタの増設を行なう場合には、情報はすべて HW から得られるので、既設部分の変更をほとんど必要としない。

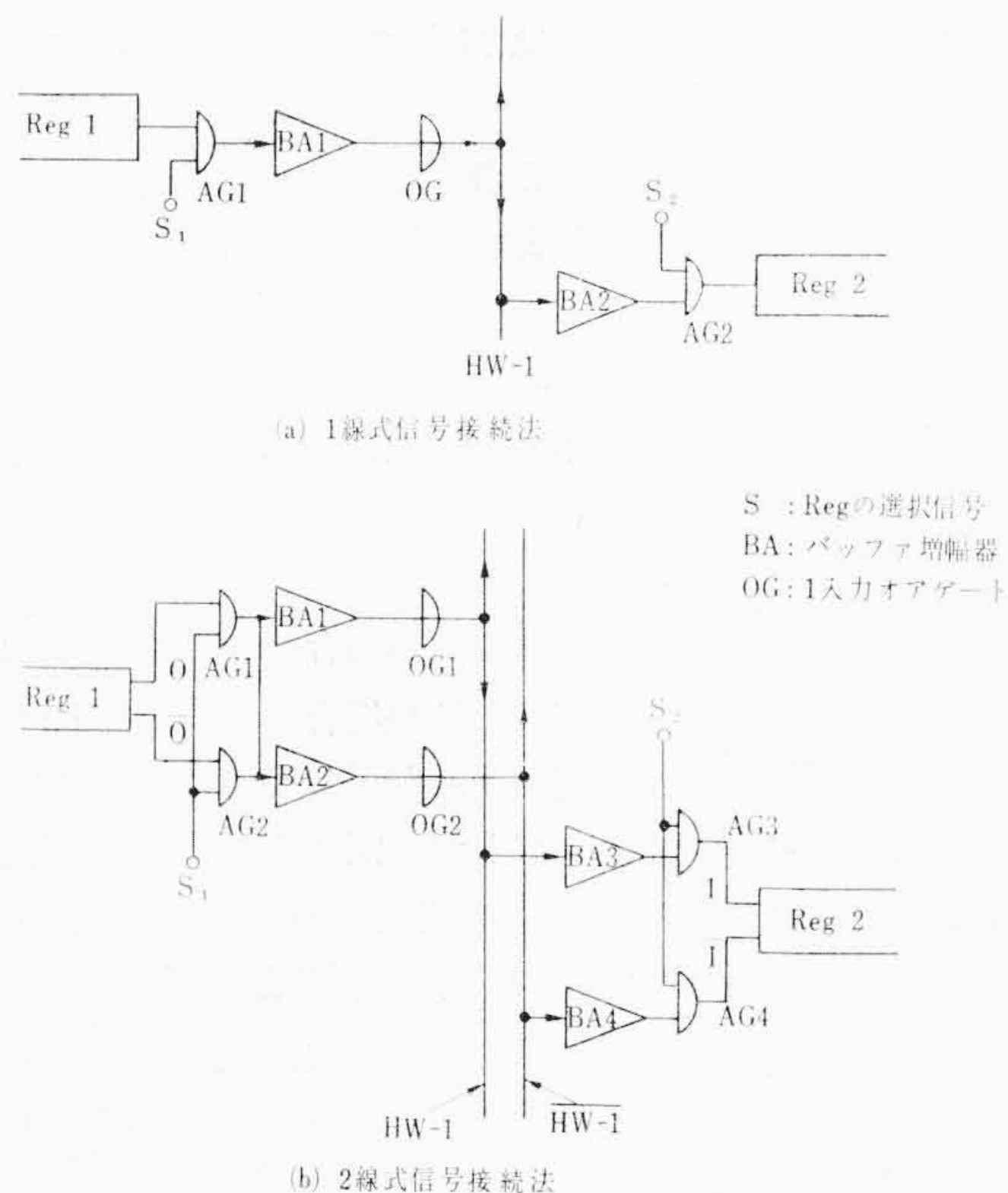
第 9 図はレジスタなどの単位ブロックの HW との接続法の具体例で、(a) は 1 線式、(b) は 2 線式の場合である⁽⁸⁾。(a) では Reg 1 の出力を、AG 1 → BA 1 → OG (1 入力 OR) を通して HW-1 に与える。S₁ は Reg 1 の出力の選択信号である。一方、受信端の Reg 2 は、BA 2 → AG 2 を通して HW-1 より信号を受ける。S₂ は Reg 2 の選択信号である。このように、HW-1 に多数個の信号源および多数個の受信端を接続できる。(a) は 1 線式で真値のみを伝送する方式であるが、通常 Reg などには真値および否定値の信号の入出力を必要とし、実際は (b) の 2 線式が多く採られる。すなわち真値母線 HW-1、否定値母線 HW-1 が対になって存在する。第 9 図の方式を一部変形して、AG → OG (多入力 OR) → BA → OG' (1 入力 OR) とすることもできる。たとえば、Acc のように左右シフト能力を要するレジスタでは、入力端、出力端が交換される場合があり、この種のレジスタを

第 2 表 FACTROL の 命 令 一 覧 表

	Symbol	Octal	Exec time	実 行 内 容
四 則	(1) Add	AY	730 μ s	C(Acc)+C(n) → Acc
	(2) Sub	BY	730 μ s	C(Acc)-C(n) → Acc
	(3) Clear Add	XA	730 μ s	C(n) → Acc
	(4) Add. Address	AA	730 μ s	Address Part(Acc)+Address Part(n) → Acc
ア ド レ ス 論 理	(5) Collate	CO	730 μ s	C(Acc), C(n) → Acc (ビットごとの Log. And)
	(6) Exclusive OR	EO	730 μ s	C(Acc), C(n)+C(Acc), C(n) → Acc (ビットごとの Exc OR)
	(7) Halt jump	HJ	680 μ s	Add. part → PC & Stop
ジャンプ	(8) Jump unconditionally	JU	680 μ s	Add. Part → PC
	(9) Jump if Acc < 0	JN	680 μ s	Add. Part → PC if Acc < 0
	(10) Jump if Acc = 0	JO	680 μ s	Add. Part → PC if Acc = 0
シ フ ト	(11) Shift right n	SR	680 μ s	Acc right Shift (arithmetic)
	(12) Shift Left n	SL	680 μ s	Acc left shift (arithmetic)
転 送	(13) Transfer Acc to n	TY	720 μ s	C(Acc) → n
入 出 力	(14) Tape read 11el n	RP	(5~10) ms × n	Tape を n chara. よむ n ≤ 3
	(15) Sense input n	SS	690 μ s 以上	External Reg n → Acc (11el). このとき C(Add. Reg). → 外部へ (11el) n < 2 ¹⁵
	(16) Out put n	OT	700 μ s 以上	Acc → External Reg n (11el). このとき C(Add. Reg) → 外部へ (11el). n < 2 ¹⁵
複 合	(17) Jump and store PC	JS	720 μ s	PC → N(Ex 2047). Add. Part → PC
付 加 能	(18) Mult	ML	5,280 μ s 以下	
	(19) Div	DV	5,790 μ s	
	(20) Priority interrupt			
	(21) Indexing			
	(22) Drummemor			

M.Reg: メモリレジスタ (メモリの読み出し、書き込み用バッファレジスタ)
 Parit Gen: パリティジェネレータ (メモリ内部のパリティ検出、発生用 FF)
 Add.R: アドレスレジスタ (メモリの番地指定)
 Add.Dec: アドレスデコーダ
 Prog.: プログラムカウンタ (Scc と同じ)
 Acc: アキュムレータ
 Inp.Reg: 入力レジスタ (テープ入力用バッファレジスタ)
 Exc.OR: 排他的論理和を作る回路 (FACTROL では、FA のけた上げを禁止して、FA で Exc.OR をとっている)

F.A: フルアダー
 Cont.Pan: コントロールパネル
 Prio.int.Req FF: 優先割り込み用リクエストレジスタ
 Prio.int.State FF: 優先割り込み用ステートレジスタ
 P.I: 優先割り込み判定回路
 Ord.R: オーダレジスタ (操作部のみ記憶)
 Dec.Basi(Op): 基本命令デコーダ (付可命令デコーダ)
 Phase Cont: Phase 制御回路
 BTPG: Bit Timing Pulse Generator
 WTPG: word Timing Pulse Generator
 HW 1~5: 母線 (ハイウェイ)



第9図 HW と の 接 続 法

HWに接続する場合、この構成をとればBAの数を少なくできる。同じように、受信端のBAも近距離のAGには共用できる。

以上のように、HW式の接続法は、大規模な装置のビルディングブロック化にきわめて効果が大きく、装置の設計、製作を経済化できる。

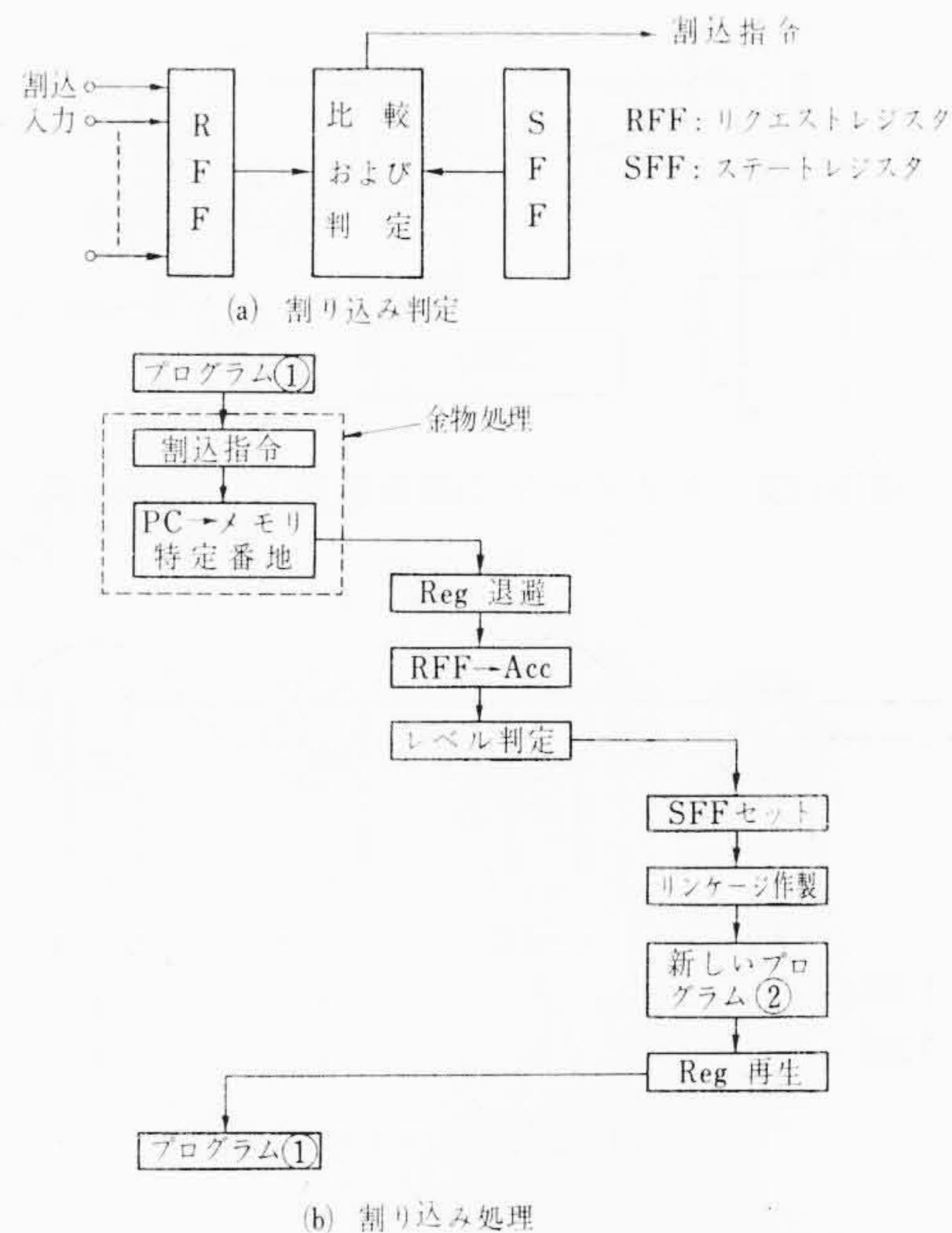
一方、制御信号については信号伝送形式が以上とは異なり、信号源が1個、受信端が多数個の場合になる。したがって、HWの構造が第9図より簡単になる。第7図で、HW-3～5が制御信号のHWである。普通計算機の設計では、部品数を少なくするため、論理式の簡単化を行ない、制御回路を決定するが、この方式では命令の増設、変更が困難である。FACTROLは中核システムを採用し、ビルディングブロック化を行なったため、制御信号の扱い方が少し違っている。すなわち、制御部を集中化し、ここで共通制御信号を作った。各単位ブロックに必要な制御信号で、3個所以上で使われるものを共通制御信号と呼び、これをHW-3に集中した。これ以外の使用個所の少ない制御信号はコード化のまま、またはデコードして専用線路により接続した。HWの本数は、制御信号の共通性、装置の構造、経済性などから決定すべきである。

4.4 優先割込機能

制御用計算機では多重処理性がきわめて重要である。従来の制御用計算機では、プログラム処理による多重機能が付加されていたが、計算機の処理速度と外部機器の応答速度に差がある場合には、全システムの処理能力の低下を招いていた。この欠点を改善するため、優先順位をもった、メモリおよびプログラムへの割込機能が最近の計算機には付加されている。これにより、外部機器との能率よい情報交換、および独立したプログラムの緊急度に応じた処理ができる。FACTROLは小形計算機のため、メモリへの割込機能はない。プログラムへの割込機能のみである。

プログラムへの割込は方式的に金物式とプログラム併用式とがあるが、FACTROLでは素子の少ない後者を採用した。これにはさらに次の二つの方式が考えられる。

- (1) 割込信号が1個でも発生すれば計算機はその処理ルーチンにジャンプし、割込の可否を調べ、現在のプログラムよりも高レベルの割込みならこれを許す。
- (2) 割込信号と実行中のプログラムのレベルを金物で判定し、割込レベルが高いときにのみ計算機をその処理ルーチンにジャンプさせる。



第10図 プログラム併用式割込み

プさせる。

(1)はもっとも素子が少ないが、計算機の処理速度が速く、論理演算機能がその処理に適したものでなければ逆効果になる恐れがある。(2)は割込みのリクエストおよびプログラム状態を記憶し、これらを比較判定する回路が必要であるが、計算機の機能が比較的低くても割込みの効果を十分発揮できる。FACTROLでは(2)を採用した。

第10図にそのブロック図と処理方式を示す。割込判定回路で割込指令が作られ、これが金物的に計算機を割込処理の位相にジャンプさせる。割込処理の位相では単にPCの内容を特定番地に格納しPCを同時に特定番地にジャンプさせることおよび割込禁止回路をONにすることを金物で行ない、これ以後の処理はすべてプログラムで行なう。PCのジャンプ先にはあらかじめ、レジスタ退避およびレベル判定ルーチンへのジャンプ命令を入れておく。この共通プログラムではAccなどのレジスタ内容をたくわえた後、RFFの内容をAccに移し、論理演算によりレベル判定を行なう。

レベル判定後は新しいプログラムにジャンプするが、初めの部分でSFFのセット、プログラム①に戻るリンケージの作製を行なう。ただし、プログラム①より②にはいるまで、およびレジスタの再生を完了するまでは割込みを禁止する手段が必要である。

4.5 工業用コアメモリおよび固定メモリ

FACTROLでは従来のものより信号レベルを高くし、高信頼化した新しい工業用コアメモリを使用している⁽⁹⁾。22ビット/語で、1,024語を1ブロックとし、2K語まではスタックのみを、2K語以上は駆動回路を含めてビルディングブロック化している。

(1) 目的

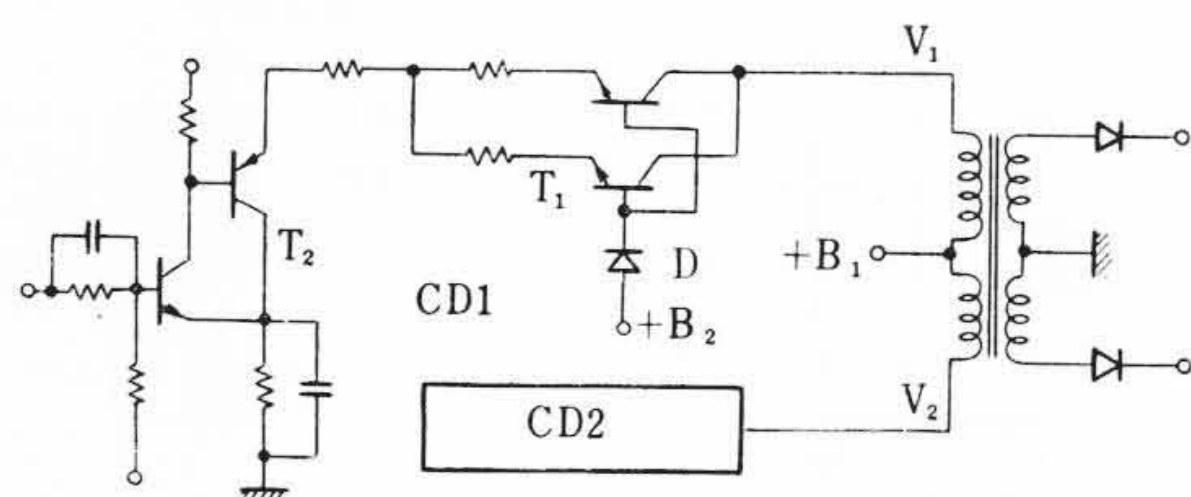
装置の耐雑音性を向上させるため、コア出力を可能な範囲で高くする。このためには電流駆動回路の耐圧を改善する。また温度特性、駆動電流マージンを拡大する。

(2) 方法

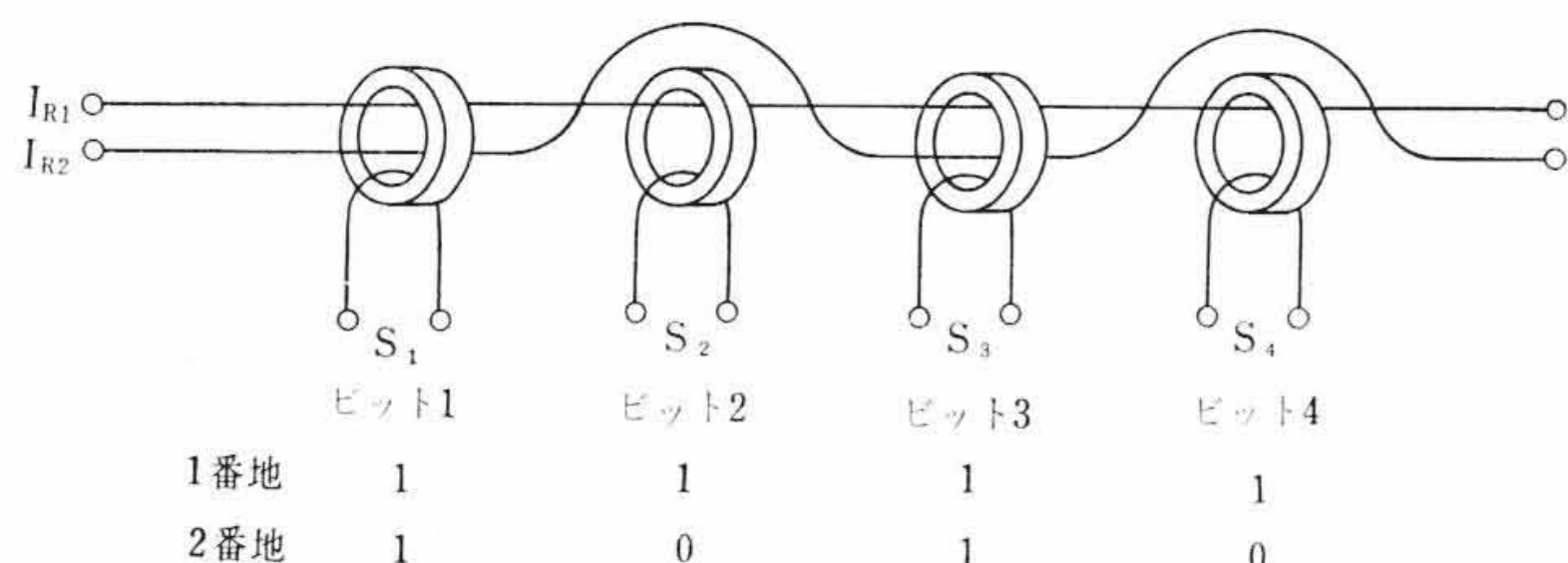
コア出力を高くするため、大形コアおよびマルチターン方式を採用した。また温度特性の比較的良好なスイッチングコアをメモリコアに使い、語配置方式によるS/Nの向上を図った。

(3) 特長

- (a) コア出力は dV_1 0.5~0.7V, dV_2 0.1V, $S/N \geq 5$ である。このため、センサンプがきわめて簡単になる。



第11図 ダイオードで耐圧改善した駆動回路



第12図 固定メモリの原理図

(b) 0.5~0.7V/ビットの出力を得るには、コアおよび駆動回路のLによる逆起電力のために、30V以上の電圧駆動回路が必要である。このため、 $V_{CB0} > 50V$ のトランジスタが必要である。これに対し第11図⁽¹⁰⁾に示すとおり、ダイオードDをT₁のベース回路にそう入し、T₁、Dの耐圧が相加する形で耐圧を改善した。

(c) 駆動電流マージンはコアの検査規格で変わるが、±15~20%である。常温近傍では-0.8%/°Cの温度補償が動作電流の中心値に対し必要である。温度補償はSiダイオードの順方向電位の温度変化を基準にしている。これにより0~40°Cで安定に動作する。

以上のWorking Memoryとは別に、サブルーチン、重要プログラムなどを非破壊化するためにコア(ソフトフェライト)を使った固定メモリを併用している。第12図にその原理図を示す。本固定メモリはコアメモリとの連動性にすぐれており、出力レベルも“1”=2V, “0”=0.2Vであり、また温度特性、駆動マージンなどで工業用仕様を満足している。実装は64語/ブロックのプリント板によるプラグイン式で、交換性がよく、方式的にもパターンの変更が容易なビス止式および経済性のよい巻線式の2種類をもっている。

5. FACTROL 5000のソフトウェア

FACTROL 5000の機能を最大限に発揮するためには使いやすいソフトウェアの整備が重要である。本機は記憶容量1,000~2,000語の規模のシステムに重点をおくので、記述が容易で、占有記憶容量の小さいものが必要である。一方用途により高度の命令機能および大容量の記憶装置が付加された場合はより高級なソフトウェアが望ましい。したがって本機の開発に当たってはローディング形式の小形なシステムとアセンブラ形式の自動プログラムシステムを並行して開発することとした。

小形のローディングシステムであるが、本機の命令コードは第2表に示すようにシンボル自体がmnemonicであるため記述が容易な言語でプログラムが可能である。IBMコードでさん孔されたテープを使用すれば記述語の機械語への変換が簡単になりローディン

グシステムの占有する記憶容量は84語である。本システムの特長、機能は次のとおりである。

- (1) 記述語と機械語は1対1の対応を持つ。
- (2) プログラム読み込みおよび演算開始の二つの制御指令を持つ。
- (3) 番地部の修飾ができる。
- (4) 正負の10進整数の読み込みを行なう。また小数読み込みの機能も追加できる。

記述語の例を次に示す。

- (1) 命令語 絶対番地の場合 $XA/n(\text{Cr})$
 相対番地の場合 $XA/nI(\text{Cr})$

ここにnは番地部、Iは相対番地を示しそのプログラムのはいるサブルーチンの先頭番地をmとすればm+nが実効的な番地部となる。またIの位置にFと書けば浮動番地を意味しその命令の格納番地をlとすればl+nが実効的に番地部となる。

- (2) 数値語 正数 $/N+(\text{Cr})$
 負数 $/N-(\text{Cr})$

絶対値が 2^{20} 未満の整数を扱う。

- (3) 制御指令 格納指令 $TY/NT(\text{Cr})$
 演算開始指令 $JU/NS(\text{Cr})$

ここにNは格納先頭番地あるいは演算開始番地を示す。

本システムには数多くのサブルーチンが用意されている。これらのうち乗算、除算、ローディングルーチンなど変更の可能性のないサブルーチンは前述のコア固定メモリに収容し、誤まって破壊することのないようにしている。またメインプログラムとサブルーチンの結合方法も十分考慮し使いやすいものとしている。

6. 結 言

以上FACTROL 5000の特長と仕様、計算機システムおよびプログラム面について述べた。FACTROL 5000は昭和38年秋試作機が完成し1964年度計測工業展に出品された。製品第1号機は昭和39年9月完成、納入の予定である。

FACTROL 5000の意義はデジタル計算機能をアナログ計算機能とともにオンライン制御に導入する点にあり、高度の信頼性、および経済性を持つ計算制御システムの実現を目標としている。今後とも本機の改良、および付加可能機能の整備に努力するとともにFACTROLの性格を生かした市場を開拓して行きたいと願っている。

終わりに本研究、開発に絶大なるご援助を賜った日立製作所日立工場泉副工場長、平川部長ならびに中央研究所只野副所長、須藤部長に厚くお礼申し上げます。

参 考 文 献

- (1) 須藤ほか：日立評論 別冊 47, 51 (昭37-5)
- (2) 三巻ほか：日立評論 44, 7, 113 (昭37-7)
- (3) 山口：計測と制御 3, 163 (昭39-3)
- (4) 色摩：通研実用化報告 10, 11, 2217 (昭36-11)
- (5) Semiconductor Reliability (Engineering Publishers) (1961)
- (6) 杉山：エレクトロニクス・ダイジェスト No. 50
- (7) 川崎：特許出願中
- (8) 川崎ほか：特許出願中
- (9) 川崎ほか：昭39連大 298
- (10) 川崎：特許出願中