

# 大電流高耐圧シリコン制御整流素子

## High Current High Voltage Silicon Controlled Rectifier

守田 啓一\*  
Keiichi Morita

松平 信紀\*  
Nobunori Matsudaira

和島 幸一\*  
Kōichi Wajima

### 内 容 梗 概

シリコン制御整流素子(SCR 素子)の応用は著しい進歩をとげ、本邦では1,000kW級の電動力装置に、海外の例では10,000HP級の直流電動機駆動にSCR素子の適用が行なわれるなど大容量化が盛んとなっている。電力用整流装置に適用する素子として日立製作所はすでに250A-700V、150A-1,000V級の素子を量産しているが、今回さらに250A-1,000V級の大容量素子の開発を完成した。本稿では高耐圧素子として150A-1,000V級(CM01)、250A-1,000V級(CJ02)素子について設計、製作および特性について紹介する。

### 1. 緒 言

日立製作所においては3~250A-700V級SCR素子、150A-1,000V級SCR素子を製作している。これらの量産素子は家電部門から強電部門までの全分野にわたっており、十分な信頼性が認められている。日立製作所におけるSCR素子の開発は常に国際的な視野に立って行なわれており、量産SCR素子の電流容量、阻止電圧の変遷は第1,2図に示すような傾向である。

本稿で紹介するCM01形、CJ01形素子の阻止電圧の最大定格値は1,300Vとして設計製作されているが、高阻止電圧素子では、素子特性をお互いに協調させるため、シリコン単結晶材料の選択はじめ接合パラメータの裕度に大きな制約が生ずる。このため最適接合パラメータの決定に日立HIPAC 103電子計算機を用いた接合設計が行なわれた。

素子の装置への適用は特に直並列接続時の電流、電圧分担について素子の点弧特性、スイッチング容量との関連において装置と素子間の協調、検討が行なわれ、数千キロワットの制御整流装置の製作が可能となった。

### 2. 接合パラメータの設計

CM01、CJ02形SCR素子の阻止電圧の最大定格はそれぞれ1,200、1,300Vである。これらの素子は高阻止電圧であるので、単結晶の比抵抗が高い。このことは接合ベース層の厚さを大きくする必要を意味し、素子の電流容量、スイッチング特性に悪影響を及ぼす。

#### 2.1 シリコン単結晶

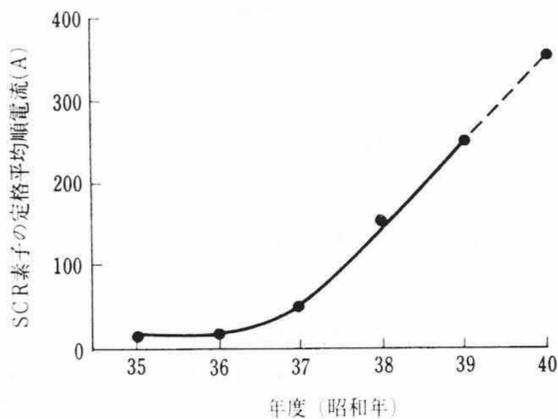
阻止電圧の設計はまず単結晶の比抵抗の決定から始まる。単結晶のアバランシェ電圧は単結晶の結晶性や接合製作の条件によっても影響されるが阻止電圧を決定的に支配するものとして単結晶の不純物ドーパ量すなわち単結晶の比抵抗があげられる。比抵抗と単結晶のアバランシェ電圧の関係は(1)式と第3図であらわされる。

$$V = a \cdot \rho^b \dots \dots \dots (1)$$

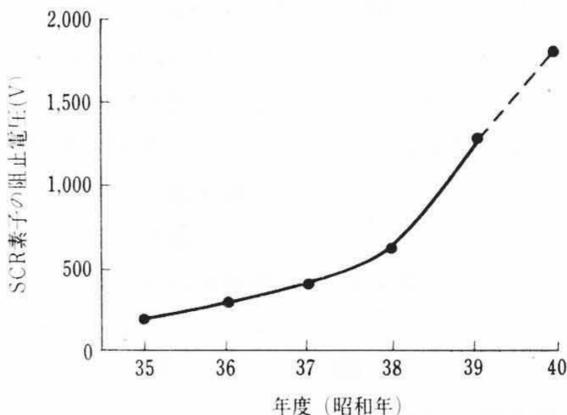
ここに、 $a, b$  : 実験常数

単結晶の比抵抗を高くするとともにアバランシェ電圧を増大することが必要である。素子の阻止電圧の上限は単結晶のアバランシェ電圧で規制されるゆえ高耐圧素子においては比抵抗が高く選択される。比抵抗が高くなると後述するように空乏層の広がりが大きくなる。高耐圧素子では空乏層の広がりベース層と一致してブレイクオーバーするいわゆるパンチスルー現象を避けるため、ベース層の厚さは大きくなっていく。ベース層の厚さの増加は同時に順電圧降下、素子の点弧特性、素子の高速動作性に悪影響を及ぼす。

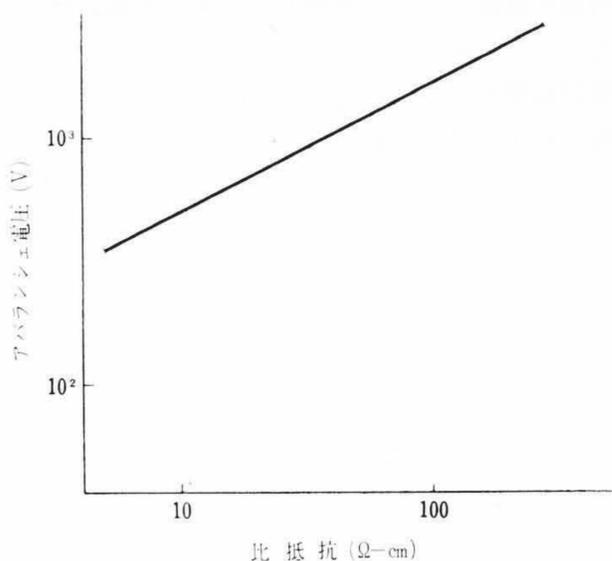
\* 日立製作所日立工場



第1図 日立量産SCR電流容量の変遷



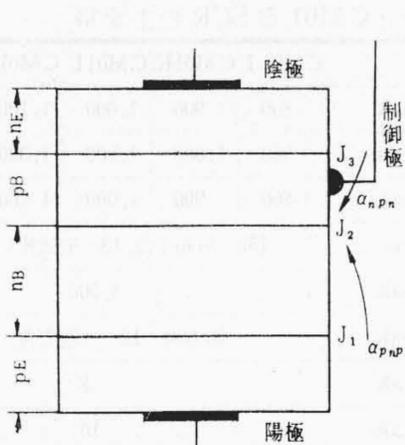
第2図 日立量産SCR阻止電圧の変遷



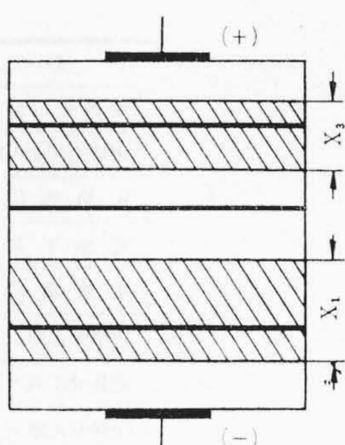
第3図 比抵抗とアバランシェ電圧

#### 2.2 ベース層と少数キャリアのライフタイム

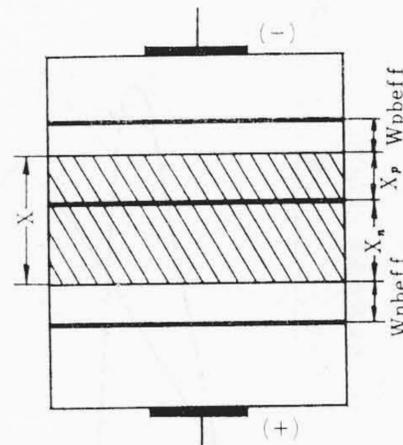
pnpn接合(第4図)に電圧を印加した場合に生ずる空乏層の広がりモデルを第5図(逆電圧印加)、第6図(順電圧印加)に示した。逆電圧が印加された場合は $J_3$ 接合、 $J_1$ 接合を中心に空乏層が生成されるが、 $J_3$ 接合を中心に広がった空乏層は高ドーパ層にあるため広が



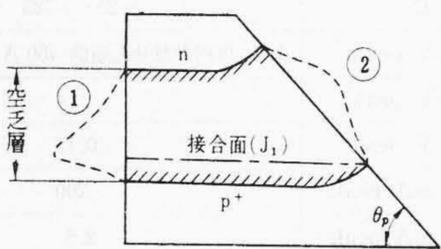
第4図 pnpn 接合構造



第5図 送電圧印加時の空乏層

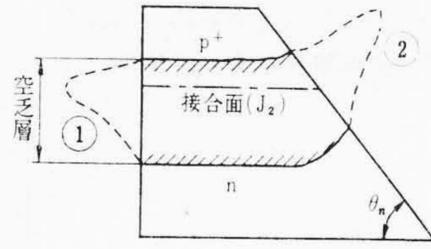


第6図 順電圧印加時の空乏層



① 内部接合電界強度  
② 表面接合電界強度

第7図 ポジティブベベル



① 内部接合電界強度  
② 表面接合電界強度

第8図 ネガティブベベル

りは狭く電圧を阻止するのは J<sub>1</sub> 接合である。順電圧が印加された場合空乏層は J<sub>2</sub> 中心に生成される。空乏層は印加電圧によりシリコン内部のチャージが移動しチャージの濃度が小さく高インピーダンスの層である。この層では中性条件が保たれており電位分布は次式で示すようにポアソンの方程式を一次的に解くことによって得られる。

$$\frac{\partial^2 V}{\partial x^2} = -\frac{q}{\epsilon} \left[ N_o - N_s \left\{ \operatorname{erfc} \left( \frac{x}{2\sqrt{Dt}} \right) + \operatorname{erfc} \left( \frac{W-x}{2\sqrt{Dt}} \right) \right\} \right] \dots\dots\dots(2)$$

ベース層はこの空乏層より大きく設計される。パンチスルー電圧が阻止電圧の決定をする素子では漏えい電流が多く、高温におけるブロッキング特性がよくない。この理由は実効ベース層とライフタイムのトランジスタ作用を考慮すると明らかである。この場合における電圧に関する設計基本式は

$$V_{BO} = V(1 - \alpha_{pnp} - \alpha_{npn})^{1/m} \dots\dots\dots(3)$$

で表わされ、 $\alpha$  はトランジスタアナロジにおける電流ゲインで次式で示される。

$$\alpha_{pnp} = \gamma_{pnp} \cdot \operatorname{sech} \left( \frac{W_{nB\text{eff}}}{\sqrt{D_P \tau_P}} \right) \dots\dots\dots(4)$$

$$\alpha_{npn} = \gamma_{npn} \cdot \operatorname{sech} \left( \frac{W_{PB\text{eff}}}{\sqrt{D_e \tau_e}} \right) \dots\dots\dots(5)$$

実効ベース層の厚さはライフタイムの値とともに最適値に設計される必要がある。CM01, CJ02 形 SCR 素子では室温において素子の阻止電圧は単結晶のアバランシェ電圧と等しくなるよう実効ベース層とライフタイムが設定される。阻止電圧の温度依存性は電流増倍係数の温度依存性に従い、高温動作時のブレークオーバー電圧は室温時の場合よりも大きくなる。阻止電圧の温度依存性は次の実験式から求められる。

$$V(T) = V(T_0) \{1 + \beta(T - T_0)\} \dots\dots\dots(6)$$

ここに、 $\beta$ :  $8 \sim 10 \times 10^{-4}$

ライフタイムは高温動作温度程度の温度内にある限り温度の増加関数である。高温のブロッキング特性を保つためには実効ベース層とライフタイムの協調は素子の他の特性を考慮に入れて決められる。

2.3 電界強度

阻止電圧はシリコンの内部におけるブレークオーバー機構と同時に表面状態によっても規制される。表面におけるブレークオーバー機構は内部の場合と同様に考えられるが、表面ではまだ完全に制御できない表面準位の問題がある。このため表面でのブレークオーバーは非可逆な永久破壊を伴う場合が多い。この意味で素子の信頼性を確保するため表面安定化を適正に行なう必要がある。高耐圧素子においては信頼性と耐圧向上のため次記のように積極的な方法がとられる。表面におけるブレークダウンを避けるためには電圧が印加された場合、シリコン内部の電界強度を表面の電界強度よりも高くし、アバランシェブレークオーバーは必ずシリコン内部で行なわせるようにしなければならない。そのため表面の電界強度低減のためシリコンの表面形状は適正な角度に整形される。

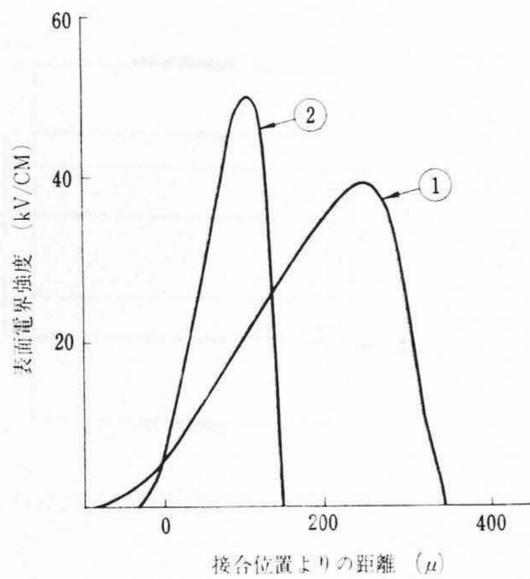
第7図はポジティブベベルで SCR 接合に逆電圧が印加された時の電位分布の状態を模型的に表わしたものである。第8図はネガティブベベルの場合の模型図で、SCR 接合に順電圧印加の状態に相当する。これらの電位分布はシリコンとそれに接するふん囲気の電界分布についてポアソンの式を二次元的に解くことにより得られる。

$$\frac{\partial^2 V}{\partial x^2} + \frac{\partial^2 V}{\partial y^2} = \frac{q}{\epsilon} \{N_o(x, y) - N_a(x, y)\} \dots\dots\dots(7)$$

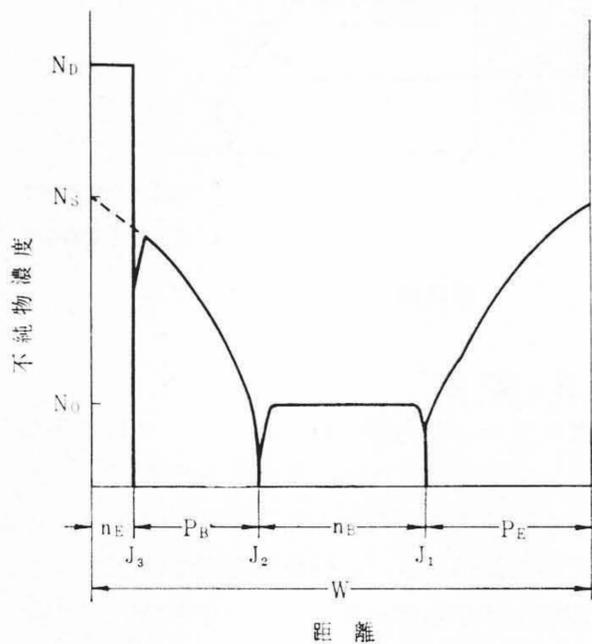
第9図は日立 HIPAC 103 電子計算機によって解いた計算の一例である。現在一般的に採用されているシリコン表面傾斜角の範囲では角度が小さいほど表面電界強度を低減することができるが接合パラメータの値を考慮に入れたうえで最適値を求める必要がある。シリコンの表面傾斜角を小さくすることはシリコンの単結晶径の大きいものを必要とする。シリコンの単結晶径が大きくなると単結晶の結晶性が低下し、加えて経済的にも不利である。

2.4 接合設計

素子の定格条項が決まると接合パラメータの設計ができ、単結晶の比抵抗、拡散、接合寸法が算出される。高耐圧 SCR 素子では今まで述べてきたように接合パラメータの選択の自由度はほとんどない。素子の特性については後の項で接合パラメータの関係について述べることにするが、ベース層が厚くなるためほかの特性との協調はすべてのパラメータで考慮せねばならず、繰り返し計算が必要



① ポジティブレベル ② ネガティブレベル  
第9図 表面電界分布の計算例



第10図 接合の不純物濃度分布

となるため、日立 HIPAC 103 の電子計算機により最適設計をさせるプログラムを用いて開発試作が行なわれる。

### 3. 素子製造技術

素子の高耐圧大電流容量化に伴い製作技術上特に高いレベルの技術を必要とするものは

- (1) 単結晶の製作.....結晶性
- (2) 拡散.....拡散深さ、ライフタイム、均一接合
- (3) 合金.....平坦な接合
- (4) 表面処理.....表面安定化
- (5) 接着.....熱ひずみ、耐熱サイクル

単結晶の径が大きくなるにつれて結晶性は一般に低下する傾向があるが、接合の均一性を確保するためには結晶性が高い水準のものが必要とされる。拡散は拡散温度と時間をコントロールすることにより接合の位置および表面濃度が任意に得られる。ただし温度の制御は高級なレベルで制御されなければ期待するディメンションが得られず、高耐圧素子では特に正確な制御が必要である。ライフタイムはベース層が厚いだけに特に注意を要し、工程中の汚染によるライフタイムの低下は順電圧降下、ゲート点弧特性などで不良とされるケースが多く製作歩留りを大きく支配する。均一な接合作りは単結晶の結晶性にも影響をうけるが、接合の均一性が破れると特性上特に「オン-ステート」時の過渡的な現象、特性に悪影響を及ぼす。合金においては、平坦な接合がまず望まれる。これは素子の特性特に素子の高速動作性、点弧特性に与える影響が大きい。このようにして拡散と合金により接合が作られるのであるが、その不純物のドーピングの濃度分布は第10図に示したようになっている。表面処理は

第1表 日立CM01形SCRの主定格

形 式	CM01J	CM01K	CM01L	CM01W	CM01X
定格せん頭逆耐電圧 V peak	800	900	1,000	1,100	1,200
定格過渡せん頭逆耐電圧 V peak	960	1,080	1,200	1,320	1,380
定格順阻止電圧 V peak	800	900	1,000	1,100	1,200
定格平均順電流 A ave	150 (単相半波 180 度通流)				
定格瞬時過電流 A peak	3,500				
定格せん頭ゲート電圧 A peak	順方向 12 逆方向 3				
定格せん頭ゲート電流 A peak	2				
定格せん頭ゲート入力 W peak	10				
定格平均ゲート入力 W ave	2				
動作温度 °C	-25~+125				
保管温度 °C	-25~+125				
最大順電圧降下 V peak	1.7 (単相半波せん頭値 450 A, Tj=152°C)				
最大点弧ゲート電圧 V peak	4				
最小点弧ゲート電圧 V peak	0.15				
最大点弧ゲート電流 mA peak	200				
最小点弧ゲート電流 mA peak	2.5				
接合ベース間熱抵抗 °C/W	0.15				
最大締付トルク kg/cm	300				

第2表 日立CJ02形SCRの主定格

形 式	CJ02J	CJ02K	CJ02L	CJ02W	CJ02M
定格せん頭逆耐電圧 V peak	800	900	1,000	1,100	1,300
定格過渡せん頭逆耐電圧 V peak	960	1,080	1,200	1,320	1,500
定格順阻止電圧 V peak	800	900	1,000	1,100	1,300
定格平均順電流 A ave	250 (単相半波 180 度通流)				
定格瞬時過電流 A peak	5,500				
定格せん頭ゲート電圧 A peak	順方向 12 逆方向 3				
定格せん頭ゲート電流 A peak	2				
定格せん頭ゲート入力 W peak	10				
定格平均ゲート入力 W ave	2				
動作温度 °C	-25~+125				
保管温度 °C	-25~+125				
最大順電圧降下 V peak	1.7 (単相半波せん頭値 780 A, Tj=125°C)				
最大点弧ゲート電圧 V peak	4				
最小点弧ゲート電圧 V peak	0.15				
最大点弧ゲート電流 mA peak	200				
最小点弧ゲート電流 mA peak	2.5				
接合ベース間熱抵抗 °C/W	0.11				
最大締付トルク kg/cm	550				

特に素子の電圧に関する信頼性を支配するものであり、表面の電界強度の低減のための整形は信頼性向上とともに素子高耐圧化においては必須のテクニックである。素子の電流に関する信頼性を左右するものとして、接合の接着技術があげられる。高耐圧素子では必然的に接合の径は大きくなる。接合の径が大きくなることは高温熱処理工程における熱ひずみと耐熱サイクル性の低下をもたらす。熱ひずみの問題は接合構造と熱工程の精密な制御で解決されるが、耐熱サイクル性は接合径の2乗に反比例するものと考えられるゆえ熱サイクルの水準を向上させるにはハードソルダの材質、ソルダリングの技術が根本的に検討され、品質、信頼性は従来の素子以上に高い水準とすることができた。

### 4. 素子の特性

高耐圧素子はさきに述べたように「オン-ステート」の特性が不

利となる傾向をもっているが「オンス-テート」の現象は特に素子を使用する回路により大きく影響されるため、回路上の問題と協調させて考えることが必要となる。第1,2表に日立CM01, CJ02形SCR素子の主要定格条項をかかげた。第11,12図はそれぞれの外観写真である。

本項では素子の設計、製作上の見地から素子の各特性について考察を加えることにする。

4.1 阻止電圧

すでに述べたように素子の最大阻止電圧は単結晶のアバランシェ電圧と等しく、その温度特性は電流増倍係数の温度依存性に従っている。第15図は室温における素子のブロッキングV-I特性、第13,14図はその温度特性である。

表面電界強度の低減と表面処理の改善により表面での漏えい電流は著しく低減されている。たとえばCM01形SCRの最大漏えい電流は15mAである。高耐圧素子では接合寸法上からの影響も含めて漏えい電流は増大するが、高温動作時においてサーマルランナウエイを十分おさえて素子の高信頼性は保たれている。

素子の高電圧印加によるアバランシェブレークオーバーは避けられねばならないが、高耐圧素子においては接合の均一、平坦性と表面処理はシリコン内部のブレークオーバーで局部的な接合熱破壊の確率を著しく低くしており素子の高信頼性が確保されている。

4.2 順電圧降下

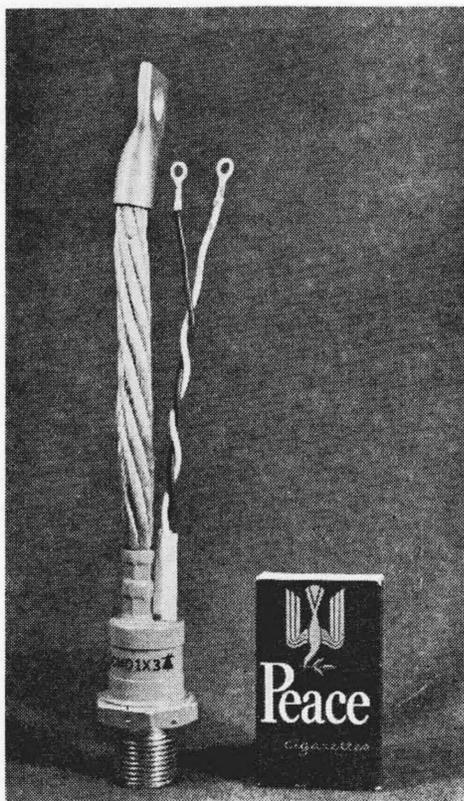
順電圧降下は順電流の電流密度、ベース層、ライフタイムの関数である。第16図は接合パラメータを変えて順電圧降下を計算した例である。小電流領域では接合の電圧降下を示し、この領域では電流密度の影響が支配的である。大電流領域では電流密度のほかにライフタイム、ベース層の厚さが大きく影響する抵抗成分の電圧降下が大きな影響をもっており、ライフタイムが小さいほど、ベース層が大きいほど順電圧降下も大きくなる。接合パラメータは阻止電圧の決定の際に順電圧降下を考慮に入れ設計・製作されなければならない。この意味で特性相互間の協調を図るためベース層厚とライフタイムの比を一定の値にしておくことが必要である。

4.3 ゲート点弧特性

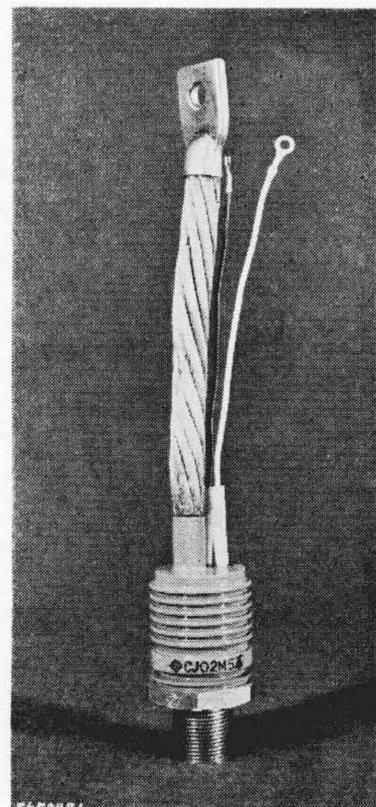
点弧に要するゲート電流  $I_{GF}$  には次式の関係がある。

$$I_{GF} = (1 - \alpha_{PNP} - \alpha_{NPN}) \cdot \frac{I_H}{\alpha_{NPN}} \dots\dots\dots (8)$$

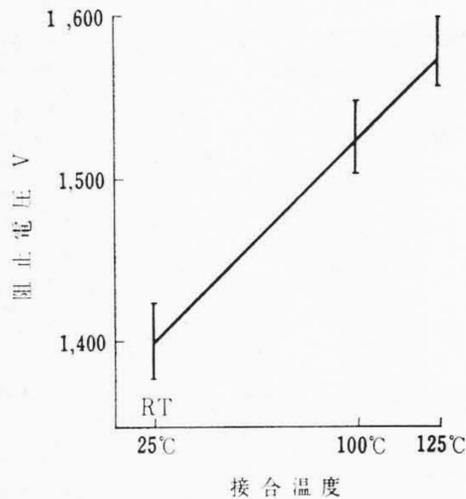
高耐圧素子においては、 $\alpha_{PNP}$ ,  $\alpha_{NPN}$  は小さく制御されているため、保持電流も大きくなっているためゲート点弧電流は増大する傾向がある。点弧電流は電流ゲインの関数であるので温度依存性が強い。第17図は点弧電流と温度の関係である。このように高温になるとゲート点弧電流が小さくなり高温動作時においてノイズによる誤点弧の危険性があるため素子には最大非点弧点を規定して誤点弧を防ぐ。ベース層の幅の大きいことは(4), (5)式で示したように、電流輸送率が小さくなっている。これはゲート信号のパルス幅にも影響を及ぼしパルス幅が大きい信号が必要となる。第18図はパルス幅と点弧に要するパルス電流を示したものである。このパルス幅と



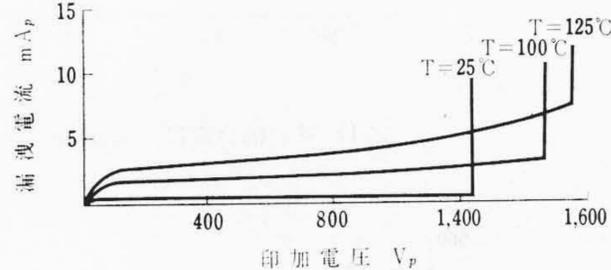
第11図 日立CM01形SCR



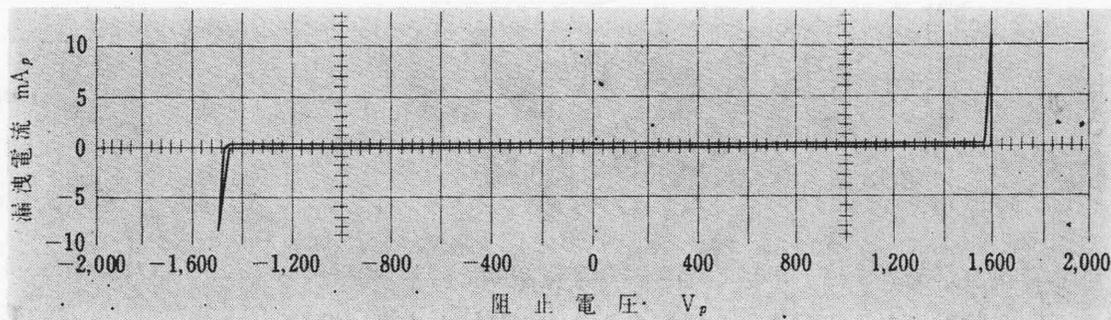
第12図 日立CJ02形SCR



第13図 阻止電圧の温度依存性



第14図 順方向ブロッキング特性

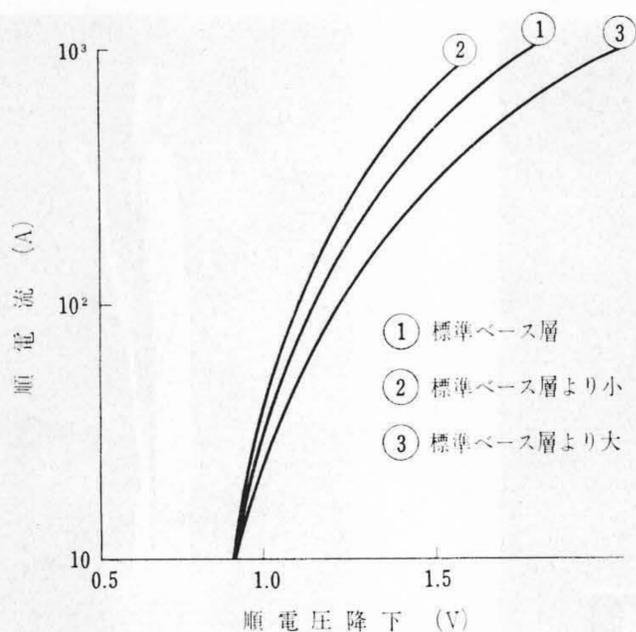


第15図 SCRブロッキングV-I特性

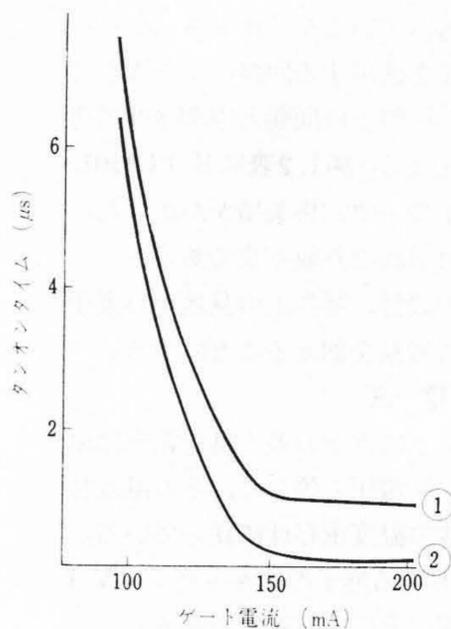
ゲートパルス電流は素子の点弧速度を考慮に入れて素子使用回路の協調をとらせて決定される必要がある。

4.4 タンオンタイム

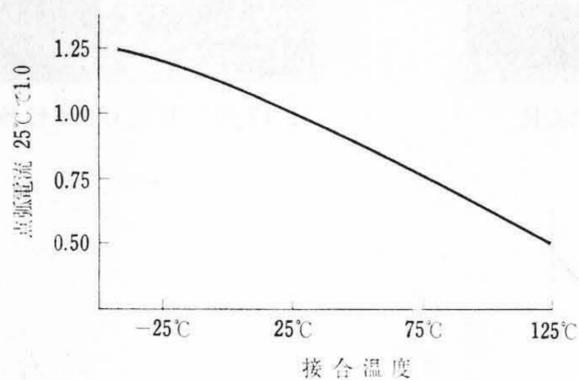
タンオンタイムはデレイタイムとライズタイムからなっている。デレイタイムはゲートからはいった電流によりインジェクションが  $p_B, n_B$  から起こり  $\alpha_{PNP} + \alpha_{NPN} - 1 = 0$  となり順電圧が下がってくるまでの時間である。接合パラメータとしてはベース層の幅が大きいとデレイタイムが長くなる。インジェクションはゲート電流が大きくなるほど大きくなるためゲート電流によっても大きく影響されるものである。ゲート電流の信号パルス幅はゲート電流の効率に影響するためデレイタイムを減少させるためには信号パルス幅も十分に考慮する必要がある。ライズタイムは空乏層をデスチャージする時間であるので主回路電流に支配される。ゆえに負荷電流が小さい領域



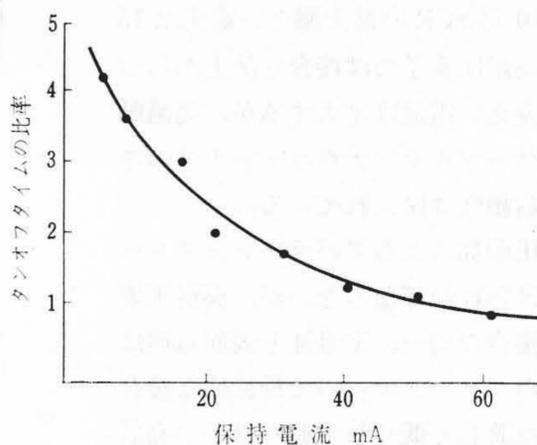
第16図 順電流と順電圧降下



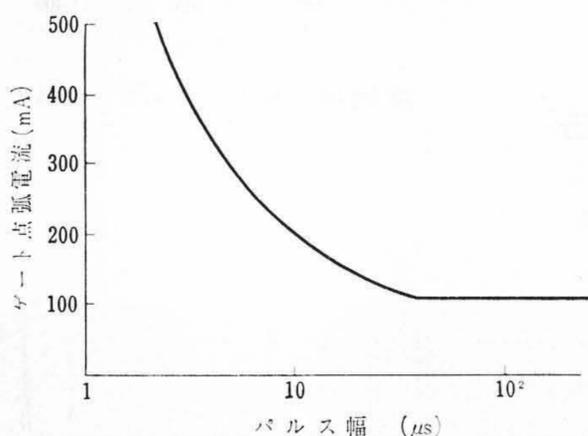
第19図 ゲート電流とタンオン時間



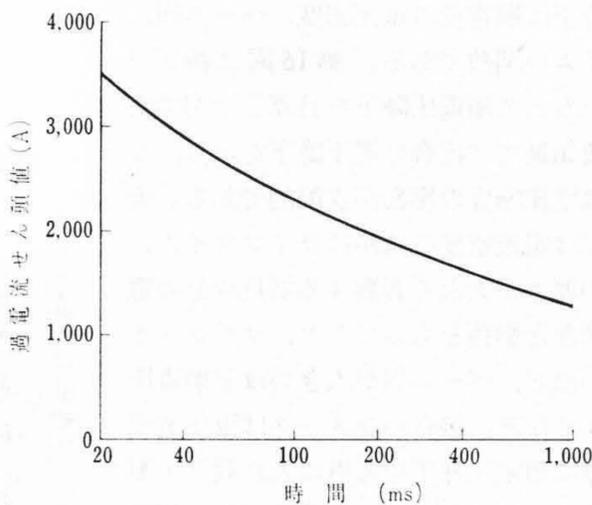
第17図 接合温度と点弧電流



第20図 保持電流のタンオフタイム



第18図 パルス点弧のゲート電流



第21図 過電流時性(非くりかえし)

では負荷電流が大きいほど小さくなるが大電流領域ではキャリアの分布が定常状態になる時間により規制されるので電流が大きいほどライズタイムも増加する。これらは特に回路条件に支配されるもので回路と素子間の協調が特に必要である。これらデレイタイム、ライズタイムの現象を一次的に述べたのであるが、タンオンを終結するのは一次的考察では不十分である。ゲート信号がはいってきた場合ゲート近傍の周辺から点弧が起こり接合面内では非対称のオン領域ができる。このオン領域が接合面全面に広がってタンオンは終結するので広がり速度を早くする必要が素子の信頼性を保つために必要である。これは素子のスイッチング容量を大きくするためにプラズマプレディング速度をあげるため接合を均一、平坦にする必要がある。この件については別の機会に述べることにする。第19図はゲート電流とタンオンタイムの傾向を示したものである。

4.5 タンオフタイム

タンオフタイムに影響を有する接合パラメータはベース層の幅とライフタイムである。さきに述べたようにベース層の幅とライフタイムは高耐圧素子では大きく設定されているのでタンオフタイムは

長くなる傾向である。タンオフタイムは次式で示される。

$$t_{off} = \tau \cdot \ln \left( \frac{I_f}{I_H} \right) \dots\dots\dots (9)$$

第20図は保持電流  $I_H$  とタンオフタイムの関係を示したものである。高耐圧素子はタンオフタイムを減少させ高速動作性と協調させるのは困難である。ハイスピードSCR素子においても同様に高阻止電圧と協調させるのは困難で特に順電圧降下の点で制約をうける。

4.6 その他

熱抵抗、瞬時過電流耐量については特に接着技術および構造上からの検討を行なった。第21図はCM01形SCRの瞬時過電流耐量を示したものである。

高耐圧大電流素子においては必然的に  $dv/dt$ ,  $di/dt$  で代表される動作速度性能も重要になってくるが、これらについては稿を改めて述べることにする。

5. 結 言

高耐圧大電流素子においては高耐圧を重点として設計することにより特に「オン-ステート」の特性が圧迫される。このような特性の相互間の協調は高耐圧 SCR 素子では特に必要であり、接合パラメータの選択自由度はほとんどなく最適値の設計が必要となってくるのである。一方製作技術では接合パラメータをいかに精密に制御するかが重要になり、1,000V 級以下の SCR 素子製作技術よりもさらに高度の水準を必要とするものである。

半導体素子の開発の速度は急速で、ここ 2~3 年間に耐電圧は 500V 級より 1,300V 級の水準に達した。本文で紹介した CM01, CJ02 形 SCR 素子は現状においては最高級の耐電圧素子であるが素子の高耐圧化技術はまだ飽和していない。素子の開発がさらに進み改良されるならその応用はさらに広範囲になることが予想される。現在の素子製作技術は合理的な設計と高水準の製作技術によりささえられており、もはやカットアンドトライではなくなっていることを示している。

最後に本素子の開発、製作にあたり、激励とご指導をいただいた整流器部毛利部長、浅野課長、日立研究所中戸川部長、小川研究員に対し、また試作および製作にあたりご便宜、ご指導を賜わった日立工場整流器部持永課長はじめ関係各位に厚くお礼申しあげる次第である。

記 号

$a$	実験常数	$I_H$	保持電流
$b$	実験常数	$I_{GF}$	ゲート点弧電流
$D$	不純物拡散係数	$J_1, J_2, J_3$	接合の名称
$D_e$	エレクトロンの拡散係数	$N(x)$	$x$ における濃度分布
$D_P$	ホールの拡散係数	$N_a$	アクセプタ濃度
$I_f$	回路電流	$N_d$	ドナー濃度

$n$	常数, 半導体の電導形	$X_n$	$n$ ベースの空乏層
$n_B$	$n$ ベース	$X_p$	$p$ ベースの空乏層
$q$	エレクトロンチャージ	$x$	任意の距離
$R$	熱抵抗	$y$	任意の距離
$T$	温度	$\alpha$	電流ゲイン
$T_0$	温度	$\alpha_{PNP}$	PNP トランジスタの電流ゲイン
$t$	時間	$\alpha_{NPN}$	NPN トランジスタの電流ゲイン
$t_{on}$	タンオン時間	$\beta$	常数
$t_{off}$	タンオフ時間	$\gamma_{PNP}, \gamma_{NPN}$	エミッタ効率
$V$	印加電圧	$\epsilon$	誘電率
$V_{BD}$	ブレイクダウン電圧	$\rho$	比抵抗
$W_{NB}$	$n$ ベース層の厚さ	$\tau$	ライフタイム
$W_{PB}$	$p$ ベース層の厚さ	$\tau_P$	ホールのライフタイム
$W_{NB\text{eff}}$	$n$ ベース層の実効厚さ	$\tau_e$	エレクトロンのライフタイム
$W_{PB\text{eff}}$	$p$ ベース層の実効厚さ		
$W$	転移層		
$X$	空乏層		

参 考 文 献

- (1) H. F. Storm: Power Semiconductor Characteristics and Trends '61 GE 社 Report
- (2) 浅野: SCR の原理と製造, 特性 昭和 39 年電気四学会連合大会
- (3) 守田, 和島: 大容量高耐圧 SCR 昭和 39 年電気四学会九州支部大会
- (4) R. L. Davies et al: The Research and Development of High Current and High Voltage Silicon Controlled Rectifier. June '63.
- (5) Asano, Morita, Kondo: The Silicon Controlled Rectifier Cell and Their Applications. Hitachi Review SI No. 9 '64.
- (6) R. L. Davies, et al: Control of Electric Field at the Surface of P-N Junctions. July '64 p. 313 IEEE Tran. on Electron Devices.
- (7) 半導体ハンドブック編纂委員会: 半導体ハンドブック '63. オーム社

Vol. 47 日 立 評 論 No. 7

目 次

■ 論 文

- ・電気集じん機の放電特性に関する実験的理論的解析
- ・日立電気炉用集じん装置
- ・空気汚染の実状とエアクリーナ
- ・日立急速除鉄装置の特性
- ・簡易分解形新開放防沫シリーズ三相誘導電動機
- ・九州電力株式会社新港発電所納 510 t/h サイクロンファーン・ベンソンボイラ
- ・大容量可変速流体継手
- ・固形物輸送用ポンプの性能に関する研究
- ・ジェットうず巻組合せポンプの特性
- ・フライトシミュレータ用アナログ計算機
- ・新印刷配線法
- ・気化器主噴出管内の燃料の流動様式と微粒化について

- ・日立電子スピン共鳴分析計付属装置簡易形スーパーヘテロダイン受信機の設計と諸特性
- ・合金工具鋼の被研削性
- ・絶縁油の化学組成と油浸紙の破壊特性の関係
- 汚水およびごみ処理特集
  - ・欧米の下水, ごみ処理場視察報告
  - ・日立下水処理装置
  - ・廃水処理プラントを用いた汚泥消化の実験
  - ・産業廃水処理装置
  - ・日立し尿処理装置
  - ・汚水およびごみ処理装置の計測制御装置
  - ・日立式ごみ焼却装置
  - ・日立高速堆肥化装置

発行所 日立評論社  
取次店 株式会社 オーム社書店

東京都千代田区丸の内1丁目4番地  
振替口座 東京 71824 番  
東京都千代田区神田錦町3丁目1番地  
振替口座 東京 20018 番