

工業用制御計算機“HI-COM 2100”

——計算機制御システム FACTROL 5000 中核計算装置——

Control Computer “HI-COM 2100” for Industry Use

——Control System FACTROL 5000 Calculation Equipment——

藤 木 勝 美*
Katsumi Fujiki

佐 野 司*
Tsukasa Sano

井 原 広 一*
Hirokazu Ihara

白 石 久 敬*
Hisayoshi Shiraishi

柏 木 雅 彦*
Masahiko Kashiwagi

川 崎 淳**
Jun Kawasaki

曾 我 政 弘***
Masahiro Soga

内 容 梗 概

制御装置として電子計算機を用いる場合、その信頼性が問題である。本稿では FACTROL 5000 計算機制御システムの中核として新たに開発した HI-COM 2000 シリーズ中 HI-COM 2100 について述べる。本シリーズは制御装置としての立場から検討が加えられ、製作されたもので現地据付、電源投入と同時に完全な動作を開始し、以後好調に稼動しており、名実ともに制御装置としての工業用制御電子計算機といえる。

1. 緒 言

電子技術の発展と自動制御技術の急速な進歩にともない、電子計算技術を制御装置に導入する動きは、電子装置としての信頼性が確認改良されるにつれてますます活発化し、すでに実用の域に達している。しかしながら、その中心となるデジタル電子計算機は、どうしてもそれが計算機という概念から離脱できず、制御装置のもつ使命を深く考えて作られたものは少ないように見受けられ、電子計算機の信頼性に不安の念を与えている。オンラインで使用される制御用計算機は、あくまでも制御装置としての観点から設計製作および保守されねばならない。

われわれは以前から種々の電子装置を工業制御装置として各方面に適用し、その信頼性向上に努力してきた。この経験をもとに従来の電子計算機を分析研究し、制御装置としての観点からその得失を検討し、ここに工業用制御計算機を完成した。

本制御用計算機は、日立中央研究所において試作され、さらに1年あまりの検討と、確認試験が加えられ、装置としての信頼性を十分に確かめたうえ、各種、多数の電子装置を工業用として製作納入した経験を盛り込み製作したものである。

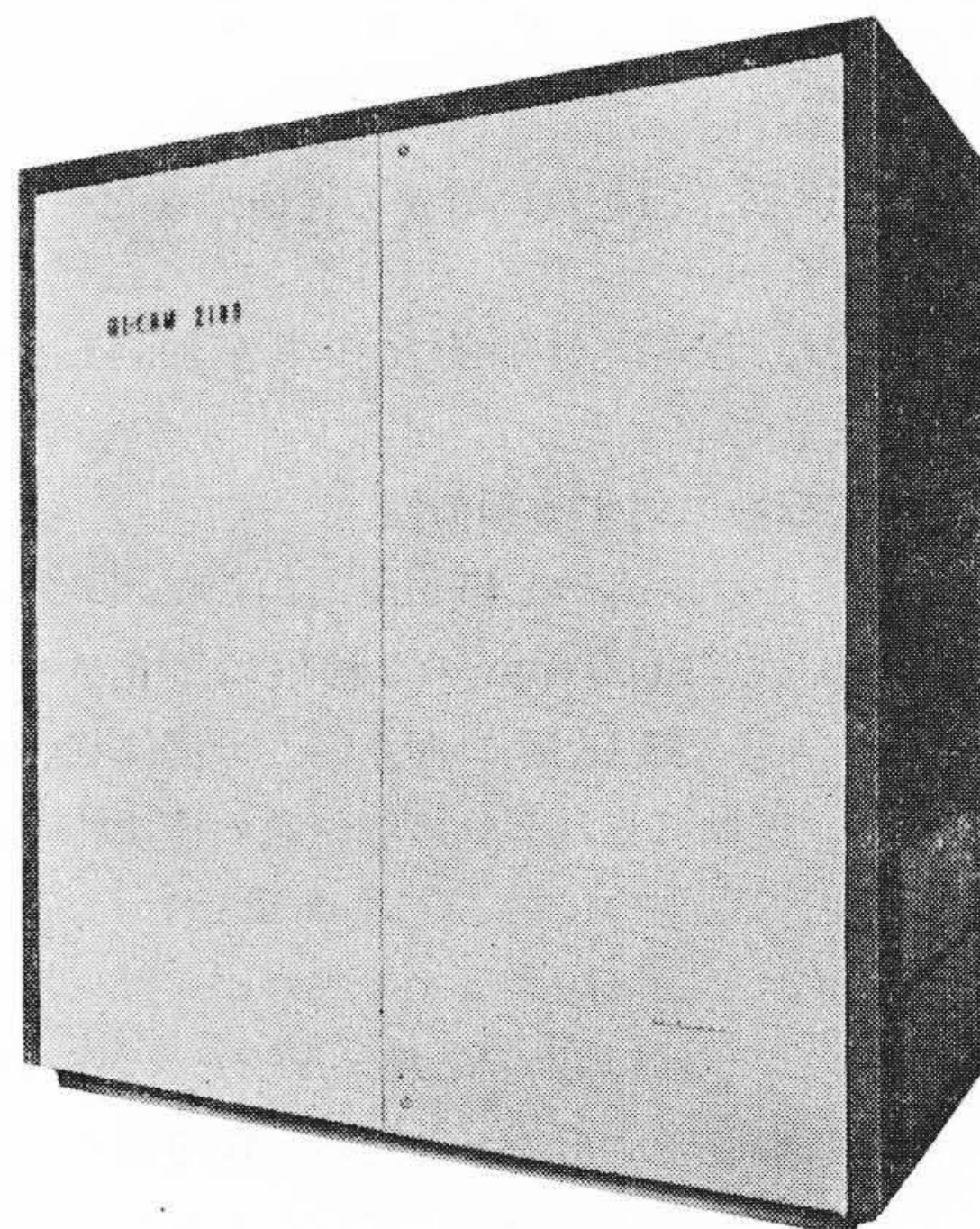
本稿では、工業用制御装置としての制御用計算機 HI-COM 2000 シリーズ中 HI-COM 2100 について述べる。

2. HI-COM 2000 シリーズ設計方針

制御装置として電子計算機を見た場合、その役割を果たすための最小限の機能を持つことを前提とし、高信頼性を持つこと、廉価なことの2点が設計方針である。

制御装置としての計算機は、その使用周囲条件が悪いにもかかわらず、オンラインで用いられるから、利用率 (availability) が100%近いことが要求される。利用率は MTBF (Mean Time Between Failure) で表わされる信頼性 (reliability) と MTTR (Mean Time To Repair) で表わされる保守性 (Maintainability) とにより決定される。

計算装置としての計算機は、主として利用率が評価の対象になるが、制御装置としてのそれは、利用率がよくても故障が頻発して



第1図 HI-COM 2100

MTBF が短いのでは、その間における半製品の破棄となって大きな損害を受けたり、プラントの起動停止にともなう損失も増大するので、信頼性が評価の対象となるのは当然である。また、ひとたび故障を起こした場合、計算機の専門家でなくとも早急に修理復旧できるものであってほしい。すなわち MTTR はできるだけ小さくしなければならない。

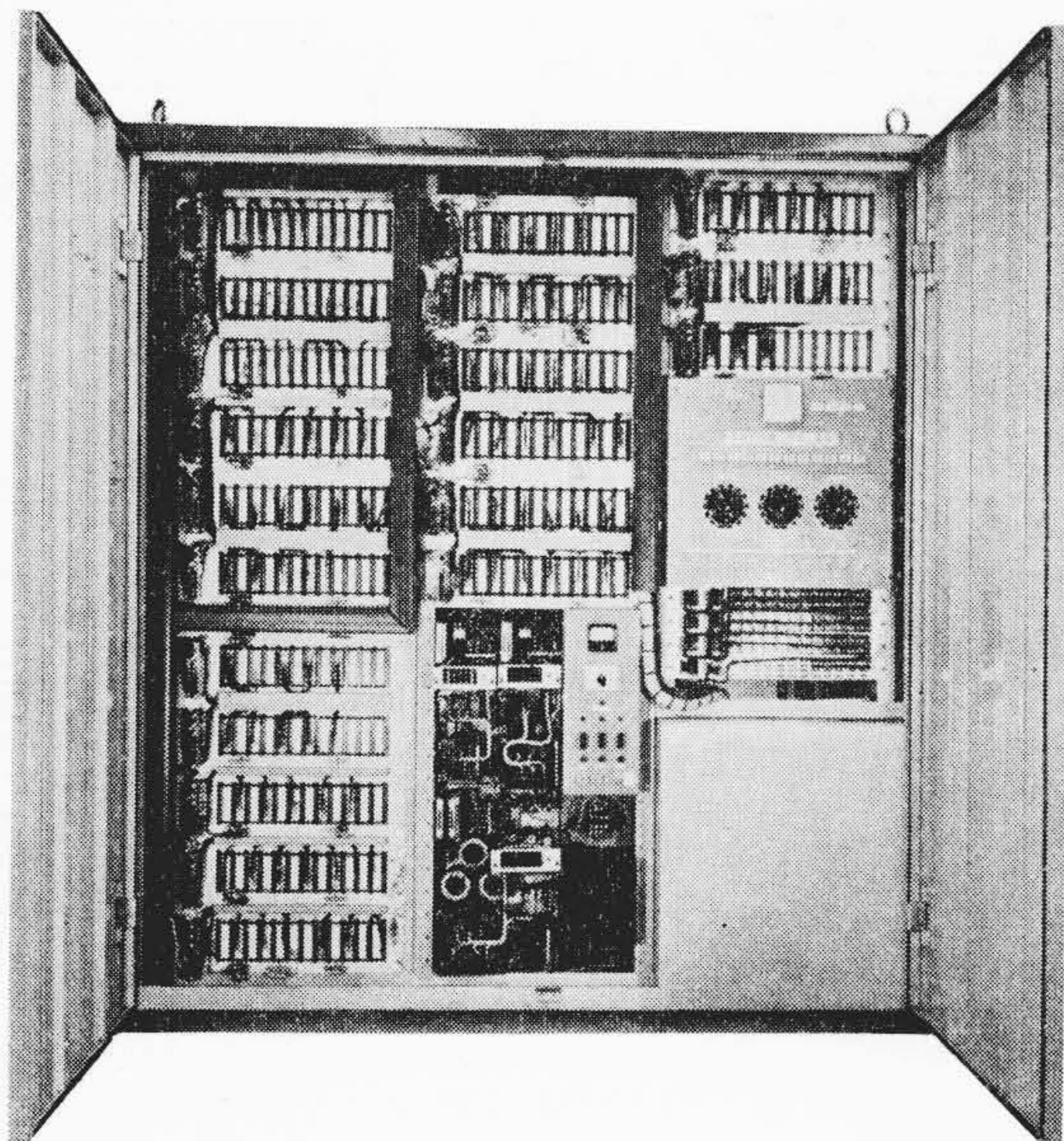
計算機制御を適用する場合、その制御対象の複雑さに従っていろいろな方法が採られるであろうが、一般に、データ処理の段階から、オンライン開ループ制御、オンライン閉ループ制御に移行するのが、普通であり、着実な方法である。また制御内容も簡単なものから、より複雑なものに、小規模なものから大規模なものに進化する。このように制御の進化にともなって、制御装置も、より複雑で大規模なものに発展する。FACTROL 5000 計算機制御システムはこのように事態に対処できるように計画されており、その中心となる HI-COM 2000 シリーズも、例外ではない。電氣的、構造上、ソフトウェア上にも、情報の伝送にも、ビルディングブロックの思想で統一されている。

以上述べたように、MTBF の増大、MTTR の減少を目ざし、工業用制御装置設計検査基準を適用し、部品の選択、部品定格の余裕、

* 日立製作所日立工場

** 日立製作所中央研究所

*** 日立製作所国分工場



第2図 HI-COM 2100 内部

記憶装置の改良，論理パッケージの採用，回路方式の選択，基本周波数の決定，電源方式，外部回路との絶縁，配線面の整理，プログラムの固定化，ビルディングブロック方式などに数多くの新しい試みを採用した。

3. HI-COM 2100 仕様

第1図に外観，第2図に内観を示す。また第1表に主要仕様を，第2表に命令一覧表を掲げる。

プログラムは内部記憶方式で，1語の構成はパリティ，符号を含め22ビットである。内部演算は素子数の点から純2進直列同期演算方式を採用しており負数は2の補数表示である。

基本周波数については信頼性の面よりいたずらに高速化を追求せず100 kcに止めた。

命令数は17種であるが制御用としての入出力，論理演算，番地演算および複合命令などを有し，小規模ながら制御用として特長ある命令体系をとった。

第1表 HI-COM 2100 仕様

項目	仕様
方式	プログラム内蔵式
語	数値語 内部2進，固定小数点 符号+パリティ+20ビット，計22ビット
	命令語 アドレス部15ビット+機能部6ビット
演算方式	直列同期式，負数は2の補数
演算速度	加減算 830 μ s
	乗除算 プログラム処理
命令数	17
アドレス方式	1アドレス（アドレス演算付）
基本周波数	100 kc
記憶装置	工業用コアメモリ 1,024 $\times$ n語 コア固定メモリ
入 力	8単位テープ
	並列21ビット情報（15ビットアドレス指定）
出 力	並列21ビット情報（15ビットアドレス指定）
周囲温度	0 $\sim$ 40 $^{\circ}$ C
電 源	100 または 200 VAc 3 ϕ 0.5 kW

また命令システムは，少ない記憶容量で極力機能を上げるために，機械語として記憶しやすい言語を使用し，プログラミングの便を図っている。第2表に示すように Add は AY，Clear Add は XA と書き，SIP 語（Symbolic Instruction Programming）に近い形式としている。Add，Sub，Transfer などは SIP 語ではそれぞれ A，B，T と書かれる。一方 HI-COM では AY，BY，TY と記述するが，Y を無意味なコードであると考えれば SIP 語とほとんど同一で，SIP 語を使い慣れた人なら容易にコーディングできる。

また SIP 語と比べ，テープよりプログラムを読み込ませる際，記述語を機械語に変換する必要がないため，取込処理が簡単であり，ローディングプログラムに要する記憶容量は84語に止まっている。また相対番地，浮動番地の記述が可能で小形機ながら使いやすいプログラム体系となっている。

記憶装置には工業用として特に開発した高信頼コアメモリを採用しており8192語まで実装可能である。

重要度の高いプログラムや変更のないサブルーチンなどは読出し専用の，非破壊コア固定メモリを64語単位に増設できる。

第3表に固定化されたプログラムの一例を示す。

第2表 HI-COM 2100 命令一覧表

命	令	命令コード	機 械 語	動 作
4 則	1. Addition	AY	10	$c \text{ (Acc)} + c \text{ (n)} \rightarrow \text{Acc}$
	2. Subtraction	BY	20	$c \text{ (Acc)} - c \text{ (n)} \rightarrow \text{Acc}$
	3. Clear Add	XA	71	$c \text{ (n)} \rightarrow \text{Acc}$
	4. Add Address	AA	11	Address part (Acc)+Address part (n) $\rightarrow$ Acc
論 理	5. Collate	C $\bar{O}$	36	$c \text{ (Acc)} \cdot c \text{ (n)} \rightarrow \text{Acc}$ (bit ごとの Logical And)
	6. Exclusive OR	E $\bar{O}$	56	$\bar{c} \text{ (Acc)} \cdot c \text{ (n)} + c \text{ (Acc)} \cdot \bar{c} \text{ (n)} \rightarrow \text{Acc}$ (bit ごとの Exclusive OR)
ジャンプ	7. Halt Jump	H J	01	Add. Part $\rightarrow$ PC & Stop
	8. Jump Unconditionally	J U	14	Add. Part $\rightarrow$ PC
	9. Jump if Acc<0	J N	15	Add. Part $\rightarrow$ PC if Acc<0
	10. Jump if Acc=0	J $\bar{O}$	16	Add. Part $\rightarrow$ PC if Acc=0
シフト	11. Shift Right n	S R	21	Acc right shift (arithmetic) $n \leq 21$
	12. Shift Left n	S L	23	Acc left shift (arithmetic) $n \leq 21$
	13. Transfer Acc to n	T Y	30	$c \text{ (Acc)} \rightarrow n$
入 出 力	14. Read Parallel n	R P	17	Tape Reader の内容を n character 読む $n \leq 3$
	15. Sense Input n	S S	22	$c \text{ (External Reg. n)} \rightarrow \text{Acc (parallel)}, c \text{ (AR)} \rightarrow \text{External (parallel)}$
	16. Out Put n	$\bar{O}$ T	63	$c \text{ (Acc)} \rightarrow \text{External Reg. n (parallel)}, c \text{ (AR)} \rightarrow \text{External (parallel)}$
複 合	17. Jump & Store PC	J S	12	$c \text{ (PC)} \rightarrow N$ (たとえば 1,024 番地) Add. Part $\rightarrow$ PC

第 3 表 固定化されたプログラムの例

プログラム名	説 明	占有容量
ローディング	プログラム読み込み	88
リンケージ	サブルーチンとの接続	25
BCD → B	2 進化 10 進数を整数 2 進に変換	37
B → b	整数 2 進数を小数 2 進数に変換	25
b → BCD	小数 2 進数を 2 進化 10 進数に変換	45
B → BCD	整数 2 進数を 2 進化 10 進数に変換	44
BCD 印 字	2 進化 10 進数の印字	42
10 i	けた合せ	35

周囲条件の過酷な工場現場においても設置可能であり、周囲温度 0～40℃ において安定に動作し、電源よりのノイズにも強く製作されている。完全密閉形キュービクルを採用しており、高温、多湿な場所への設置はクーラ内蔵ができる。

4. HI-COM 2100 の構成とブロック図

HI-COM 2100 はデジタル演算装置の使われる広い用途に共通して使用される部分、中核の仕様を持ち、いっさいの冗長機器を排し、高信頼性、経済性を目標としたデジタル演算装置である。

第 3 図に HI-COM 2100 のブロック図を掲げる。

ブロック図よりわかるように HI-COM 2100 は従来のデジタル計算機に比べ、最低限の機能を発揮するに必要なブロックのみにより構成されている。これは前述のように制御用としての高信頼性を保つために素子数をできるだけ減らすためであり、また各種用途に経済的にマッチするシステムとするため、基本的機能(中核機能)をできるだけ小さくし、用途に応じて最適なブロックを追加してシステムを構成する“中核システム”を採用している。

構成は入出力装置として 2 ブロック、演算装置として 6 ブロック、制御装置として 3 ブロックおよび記憶ブロックよりなる。

各ブロックは第 4 図に示されるようにコンパクトなケースにまとめられ、1 ブロックはそれ単独でも有機的な動作を行ない、ブロック単体での製作、試験、調整が可能であり、従来のデジタル計算機に比べ、製作、調整、保守時間の短縮ができる。

HI-COM はこのようなブロックの集合体、ビルディングブロック方式である。

ブロック間の接続は電気的にはハイウェイ(母線)、および単独制御線で行ない、機械的にはケースの一端に設けられた端子板によって行なった。

ブロック間の信号には情報信号と制御信号があり、情報信号の転送は各ブロックに一樣に布線されている情報ハイウェイを介し、直列伝送される。制御信号は共通制御信号線と単独制御信号線によって供給される。共通制御信号線は数ブロック以上に供給されるもので、共通制御ブロックより制御ハイウェイを介し全ブロックに一樣に供給される。

また単独制御信号線は特定ブロックのみに供給されるもので、関係するブロック間に布線されている。

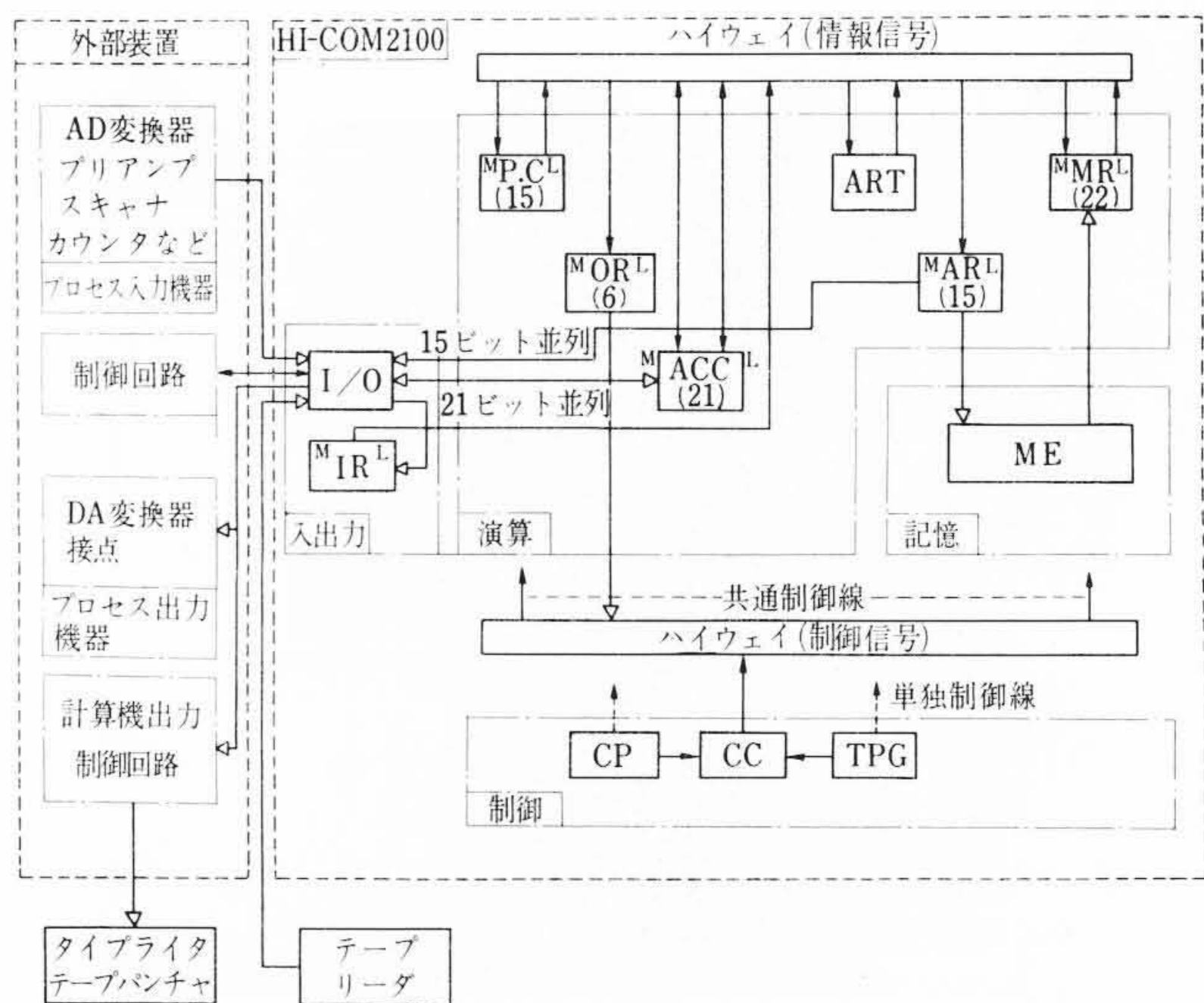
信号のハイウェイ化により、命令の増設、機能の増加が容易になり、制御対象の増大、制御内容の複雑化に対処することができる。以下に各ブロックの構成、機能を略記する。

(1) Acc (Accumulator) ブロック

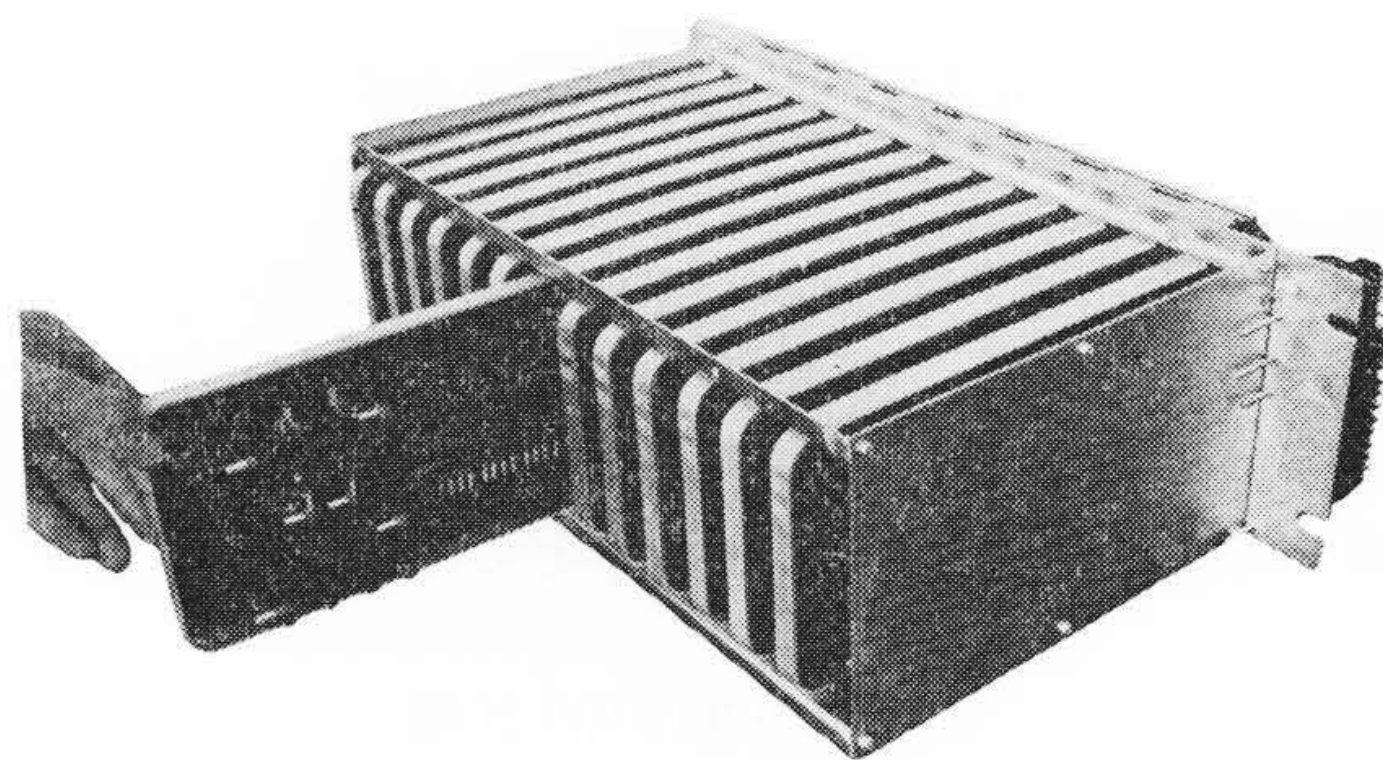
符号+20 ビットの左右シフトレジスタと外部機器との間で 21 ビットの並列入出力の制御を行なう回路とから構成される。

(2) MR (Memory Register) ブロック

パリティ+符号+20 ビット、計 22 ビットの右シフトレジスタとパリティ検出回路とからなり、レジスタはメモリブロック間と情報の授受を行なう。



第 3 図 HI-COM 2100 ブロック図



第 4 図 HI-COM 2100 の単位ブロック

(3) AR (Address Register) ブロック

メモリブロック内のアドレスデコーダに 15 ビットの番地指定信号を出す右シフトレジスタである。また外部機器に 15 ビット並列の番地指定信号を出す。

(4) PC (Program Counter) ブロック

15 ビットの右シフトレジスタで、次に行なうべき命令の番地を指定する。

(5) OR (Order Register) ブロック

6 ビットの右シフトレジスタとその内容のデコード回路よりなり、実行すべき命令信号を出す。

(6) IR (Input Register) ブロック

6 ビットの左シフトレジスタとテーブリーダ制御回路よりなる。レジスタはテーブリーダからの情報を一時ストアする。

(7) ART (Arithmetic) ブロック

フルアダ、オーバフロー検出回路、AND および OR などの論理演算回路より構成される。

(8) I/O (Input Output) ブロック

Acc, IR, AR など HI-COM 内部のブロックと外部の各種入出力機器とのリンケージを行なうブロックである。外部機器との情報の授受はすべてリードリレーを介して行ない、外部からの雑音、誤って印加される異常電圧、サージ電圧を防止し、高信頼化を図っている。

(9) TPG (Timing Pulse Generator) ブロック

HI-COM の同期信号を発生するブロックで位相 (Phase または Stage) およびビットタイム発生回路よりなる。

(10) CP (Console Panel) ブロック

HI-COM を操作する操作箱よりの各種接点信号を電圧信号に変換するブロックで、ノイズフィルタ、波形整形回路などより

なる。

(11) CC (Common Control) ブロック

数個のブロックに共通な制御信号を発生する論理回路よりなる。

(12) ME (Memory) ブロック

アドレスデコーダ、ドライバ、コアスタックおよびセンスアンブよりなる。また必要に応じてコア固定メモリスタックも追加される。

以上が HI-COM 2100 のブロック構成である。

これらのブロックにある機能、たとえば優先割込を追加する場合は割込レベルに対応するリクエストレジスタ、ステートレジスタおよび比較判定回路を有する P.I. (Priority Interrupt) ブロックを追加接続することにより達成される。

HI-COM 2100 の電源は 3 系統に分けられる。一つはコアメモリ用電源、一つはデジタル電源、一つはブロックごとのマージナルチェック用電源である。

コアメモリ電源はトランジスタを用いた温度補償付高精度電源である。デジタル電源は 1% 級の交流定電圧装置、シリコン整流器およびフィルタ回路を用いた 3 相全波電源で、従来の計算機用電源に比べ、非常に簡易化されており、経済性、信頼性の向上に貢献している。マージナル用電源は基本回路のバイアス電源をチェック時に供給するものでデジタル電源と同一仕様であり、任意な電圧変化が可能である。ブロックごとのマージナルチェックは各ブロックに対応した切換スイッチにより、該ブロックのバイアス電源をチェック用電源に切り換え、これを上下に変化させて行なう。このようなブロックごとのチェックは従来より行なわれているシステム全体のチェック方法に比べ故障の早期発見、対策が可能であり、利用率の向上が期待される。

5. HI-COM 2100 と入出力

前述のように HI-COM は中核システムとして、入力データの記憶、演算処理を行ない、その結果を外部へ出力する中枢である。

制御装置としての HI-COM はその制御対象により多種多様な接続、動作を行なう必要があるので固定化された外部回路の常設は避け、外部回路を本体と切り離し、それらに番地を割りふり、HI-COM よりの番地指定により、該装置との情報の授受を行なう。

外部装置の代表的なものは下記のとおりである。

(1) アナログ入力処理機構

スキャナ、プリアンプ、AD 変換器

(2) パルス入力処理機構

カウンタ、時計など

(3) コード入力処理機構

Binary, BCD などのコード信号を受信するレジスタ

(4) フラグ入力処理機構

フラグ入力点数に対応するレジスタ

(5) アナログ出力処理機構

DA 変換器、アナログ演算要素、SCR 制御装置など

(6) コードおよびオンオフ出力処理機構

Binary, BCD などのコード信号を発信するレジスタおよびオンオフ接点

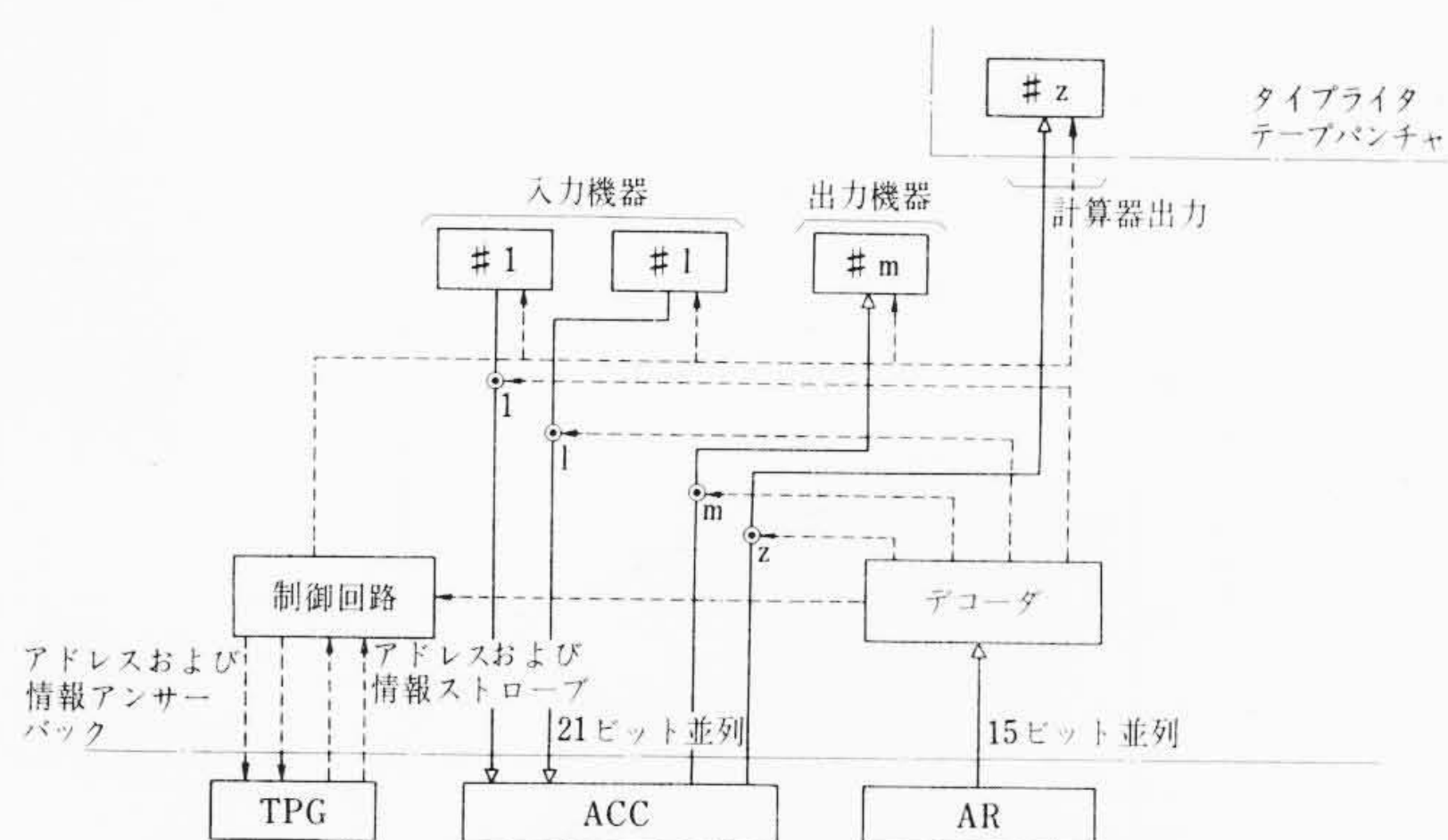
(7) 計算機出力処理機構

タイプライタ、テープパンチャなどの制御回路

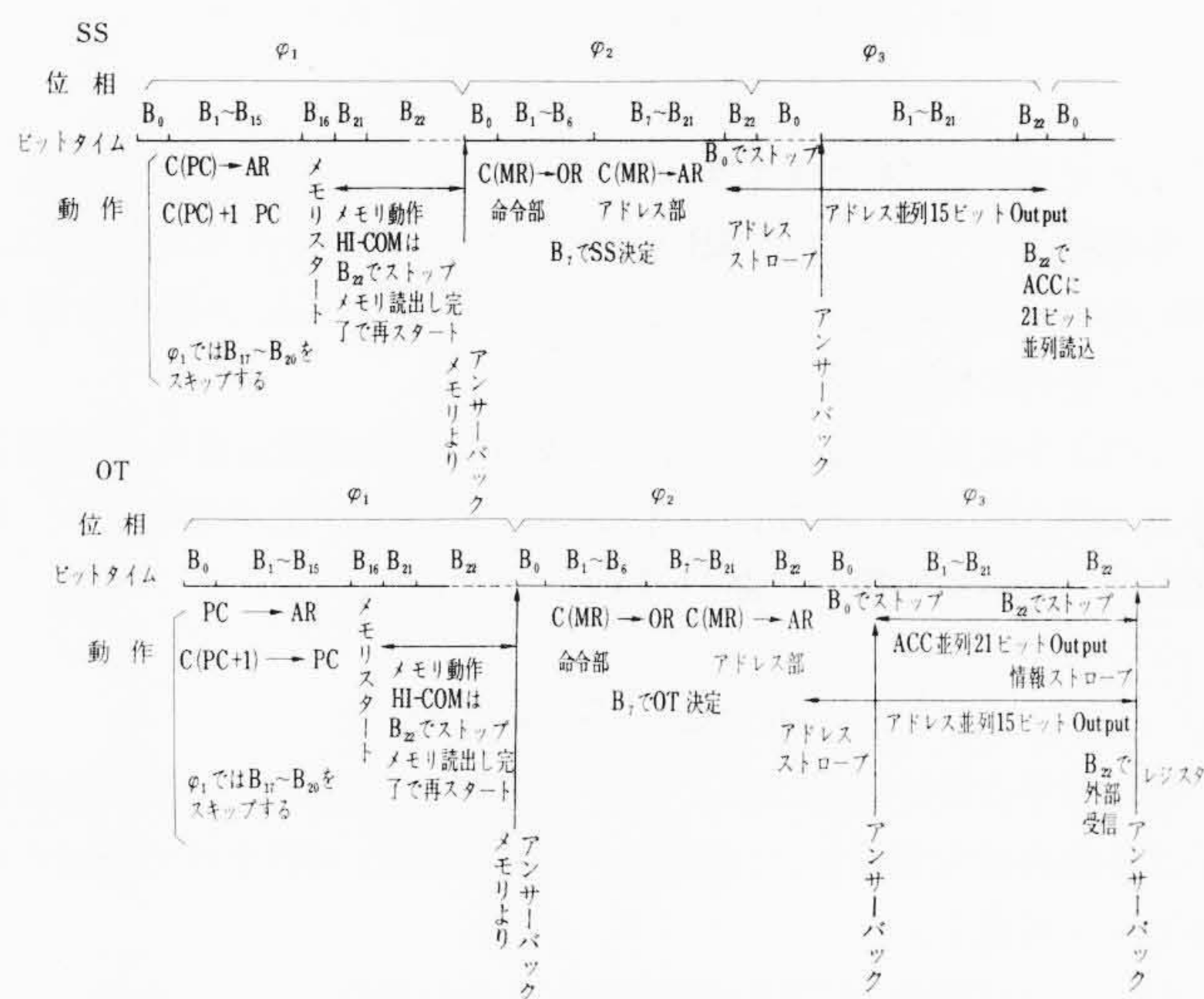
外部機器と HI-COM のリンケージは前述のように I/O ブロックを通し電氣的に絶縁されている。

入出力命令は $\bar{O}T$, SS および RP の 3 種である。

RP はテープリーダ読み込みであり、プログラムやプログラムデー



第5図 HI-COM 2100 入出力制御ブロック図



第6図 SS と $\bar{O}T$ タイムチャート

タの読み込み、大量の記憶内容の Updating に用いられる。

前述の(1)～(7)の処理はすべて SS と $\bar{O}T$ で実行される。

SS と $\bar{O}T$ を第5図および第6図により説明する。

外部機器、#l (番地 l) の情報を Acc に取り込むにはプログラムは

SS/l

と記述する。

SS は第6図に示されるように位相 ϕ_1 (命令読出し位相) で命令 SS/l がコアメモリより読み出され MR にストアされる。

位相 ϕ_2 (命令実行待位相) で、命令 SS が判定される。

位相 ϕ_3 (命令実行位相) の最初のビットタイム (B_0) で外部機器にアドレスストローブを出し HI-COM はストップする。

外部機器はアドレスストローブを受信し、すでに出力されている AR よりの番地指定信号、l, をデコードし、機器 #l のゲートを開く、またデコード完了タイミングで HI-COM にアンサーバックを出し、HI-COM を再スタートさせる。HI-COM はビットタイム B_{22} ですでに Acc の入力ゲートまできている機器 #l の情報を取り込む。

一方機器 #m に HI-COM より出力するとき、プログラムは

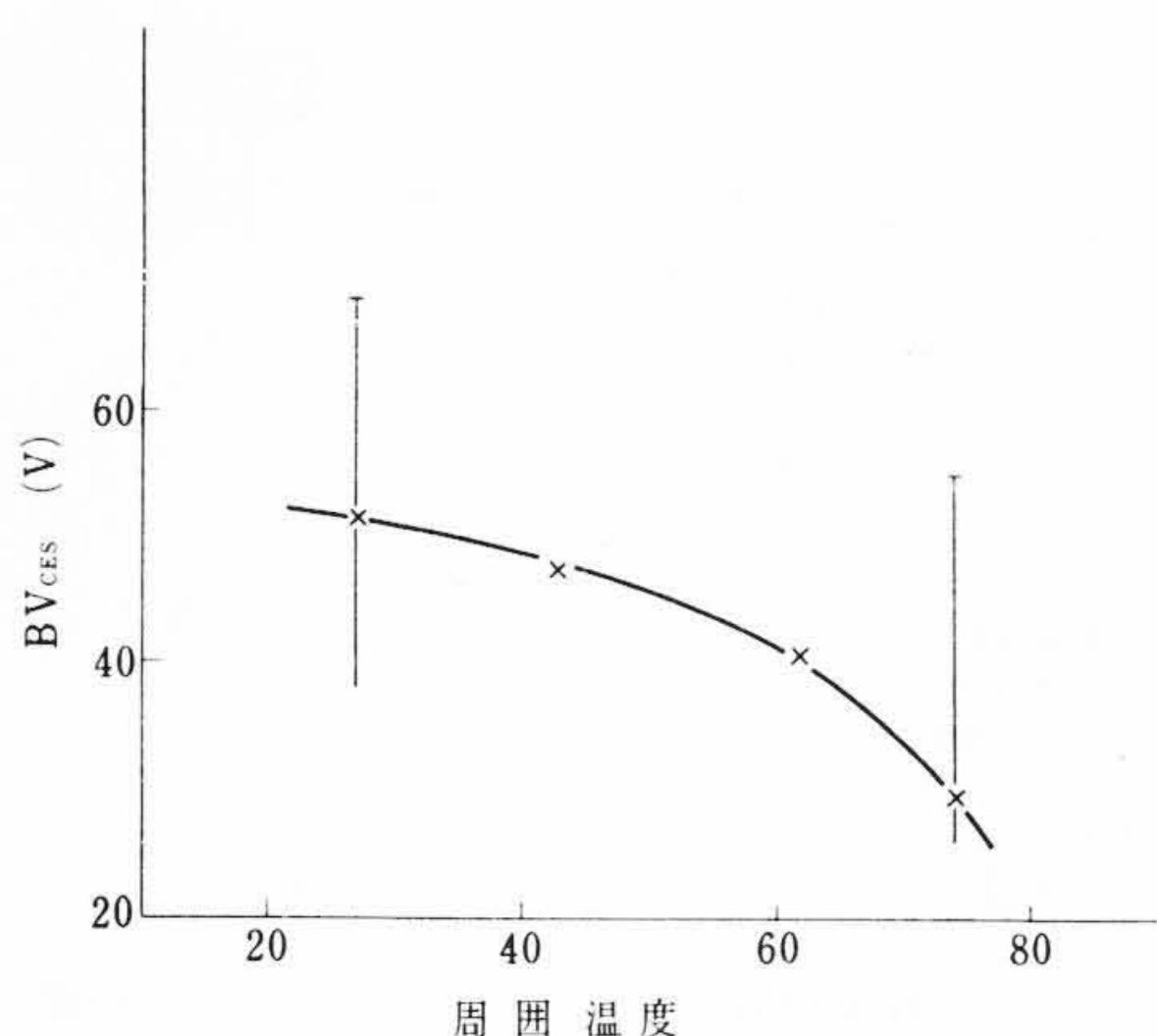
$\bar{O}T/m$

と記述する。

位相 ϕ_1 , ϕ_2 は命令 SS に準ずる。

位相 ϕ_3 では B_0 でアドレスストローブを出しいったんストップし、SS と同様に外部機器よりのアンサーバックで再スタートする。

B_{22} で情報ストローブを発信し、再びストップする。外部機器はこのストローブにて Acc の内容を機器 #m に取り込み、取込完了タイミングでアンサーバックを HI-COM へ発信する。このアンサー



第7図 耐逆方向電圧の温度依存性の一例

バックで HI-COM は再スタートし、次の命令読出し位相へ進む。
外部機器のアドレスは AR の 15 ビットにて行なうため最大 32, 768 点の指定が可能である。また入出力情報は Acc との間で 21 ビット、並列に行なわれる。
このように外部機器の処理は HI-COM の機器指定信号、情報信号およびスロープを受けて外部回路にて任意に処理するため、用途に応じて各種の機器の制御が可能である。

6. 基本回路

基本素子の設計製作に際しては、制御用計算機が、一般事務用電子計算機の使用環境とは比較にならない過酷な周囲条件で使用されることを考慮し、

- (1) 高信頼化 MTBF (故障するまでの平均時間) の延長
- (2) 周囲条件に対する配慮、広い周囲温度変化、各種のガス
- (3) 外部条件、特に外来雑音

などに対して工業制御用電子装置と同様な対策をとる必要がある。以下、高信頼化の対策、外部条件に対する考慮などの具体的方法を述べる。

6.1 周囲条件と高信頼化

偶発不良が問題となる半導体部品で構成される装置の高信頼化には、二つの面より検討を加えた設計が必要である。すなわち、その 1 は、考える最悪条件で動作するように部品を使用することであり、その 2 は、部品の経年変化ができるだけ少ない回路設計を行なうことである。上述の 2 点は本質的に同じものであるが、問題点を明確にするため、以下詳細に述べる。

まず第 1 の点は、半導体の定格値を越さない回路構成を行なうことである。ところで半導体の定格値は 25℃ で規定されており、25℃ 以外の周囲温度での定格値の保証はない。特に耐逆方向電圧については、使用状態での許容値を越す電圧が半導体に破壊的に作用するため、いかなる状態でも、許容値を越す電圧が加わらぬ設計でなければならない。ゲルマニウム半導体の耐逆方向電圧の温度依存性は、一例を第 7 図に示すように周囲温度の上昇に伴い低くなる。したがって 40℃ での使用が考えられる本装置では、次式で示される安全率を見込んだ設計を行なった。

$$V = BV_s \times \alpha \times \beta$$

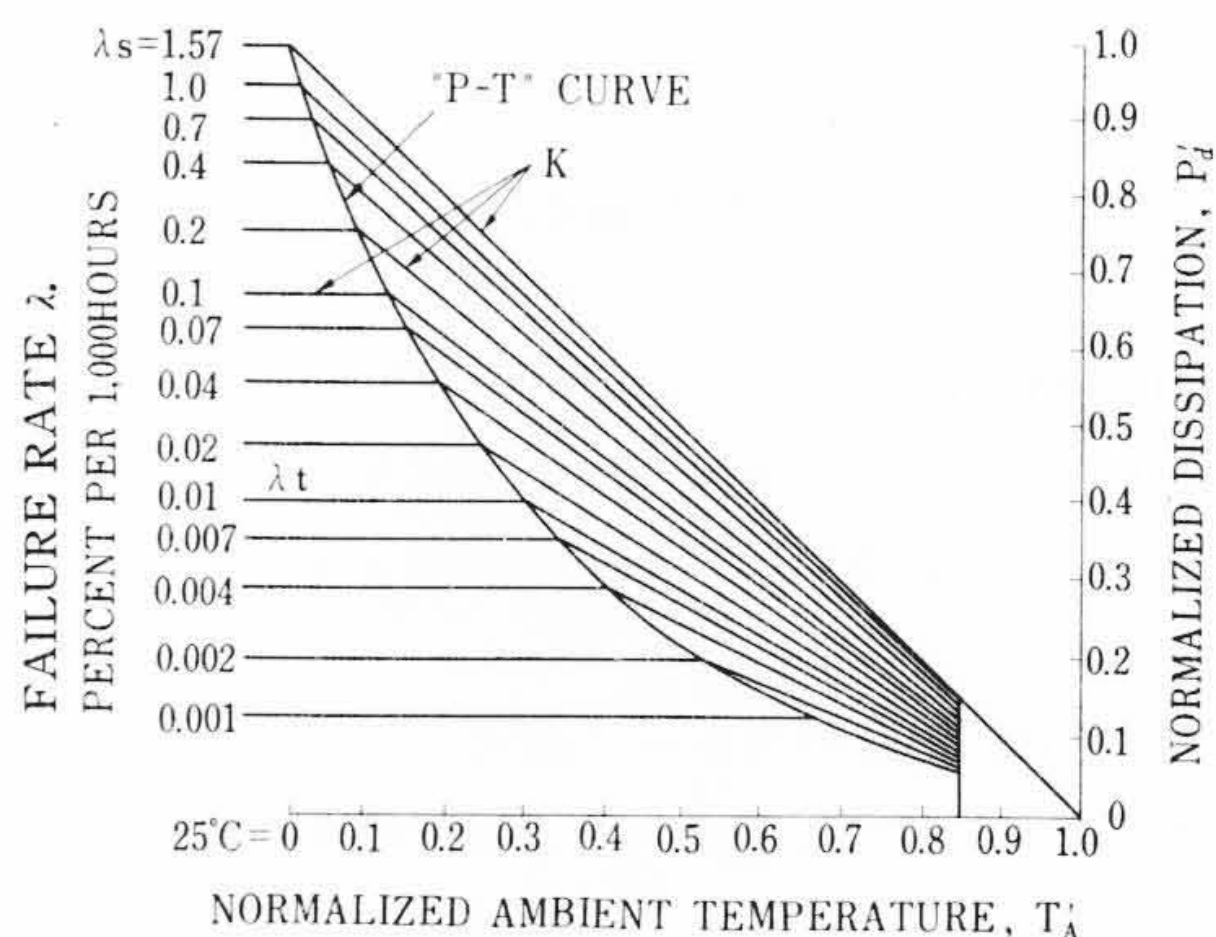
ここに、 V : 普通の状態で半導体に加わる最高電圧

BV_s : 25℃ での定格値

α : 使用最高温度により定まる値

β : 周囲温度以外の条件に対する安全率

以上耐逆方向電圧につき述べたが、他のパラメータ、たとえば h_{FE} 、 I_{CB0} などについても同様の考慮が払われている。コレクタ損失は、



$$T_A' = \frac{T_a - 25}{T_{jmax} - 25}$$

$$P_d' = \frac{P_c}{P_{cmax}}$$

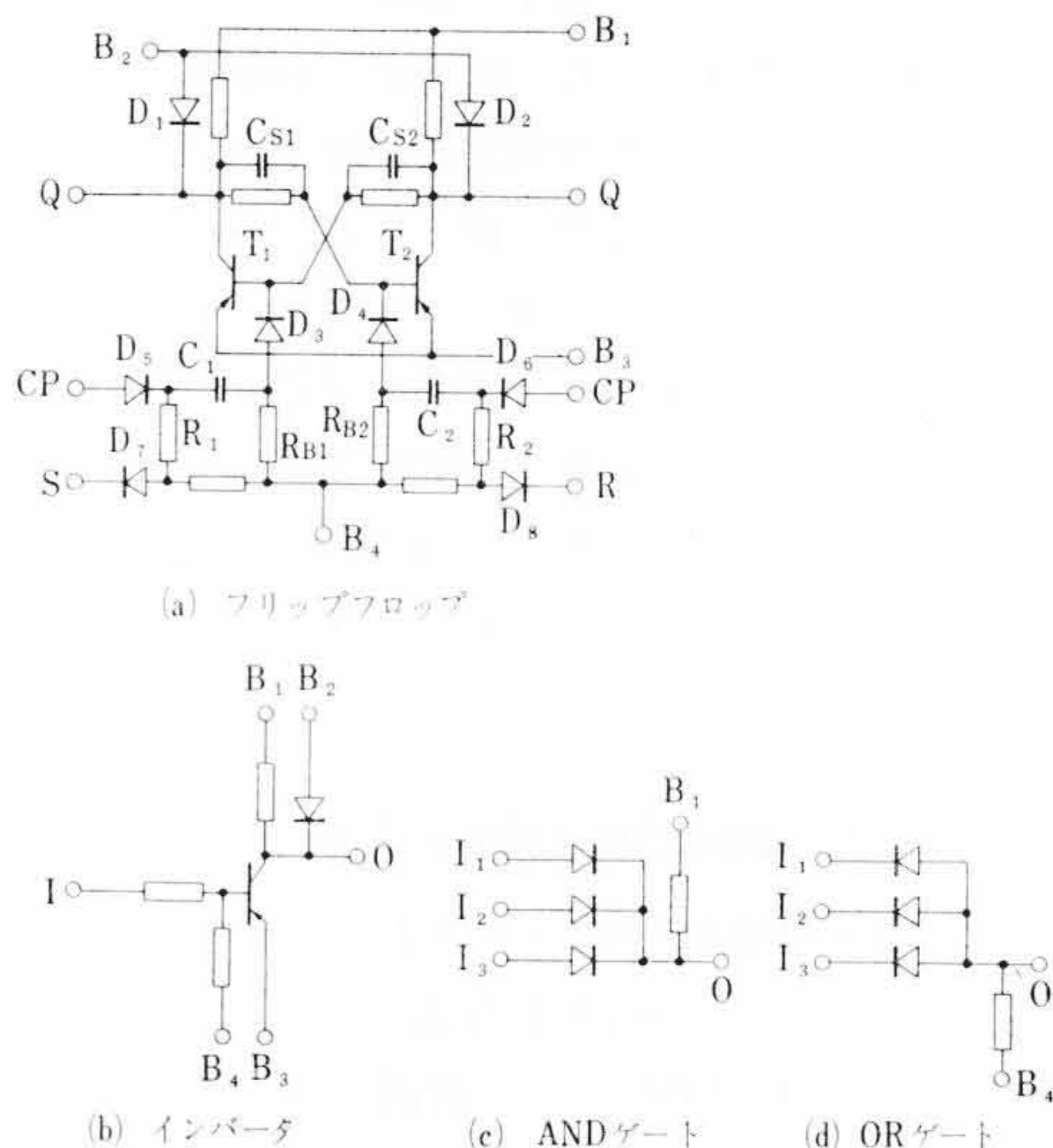
T_a : 最高周囲温度

T_{jmax} : 許容ジャンクション温度

P_c : 平均コレクタ損失

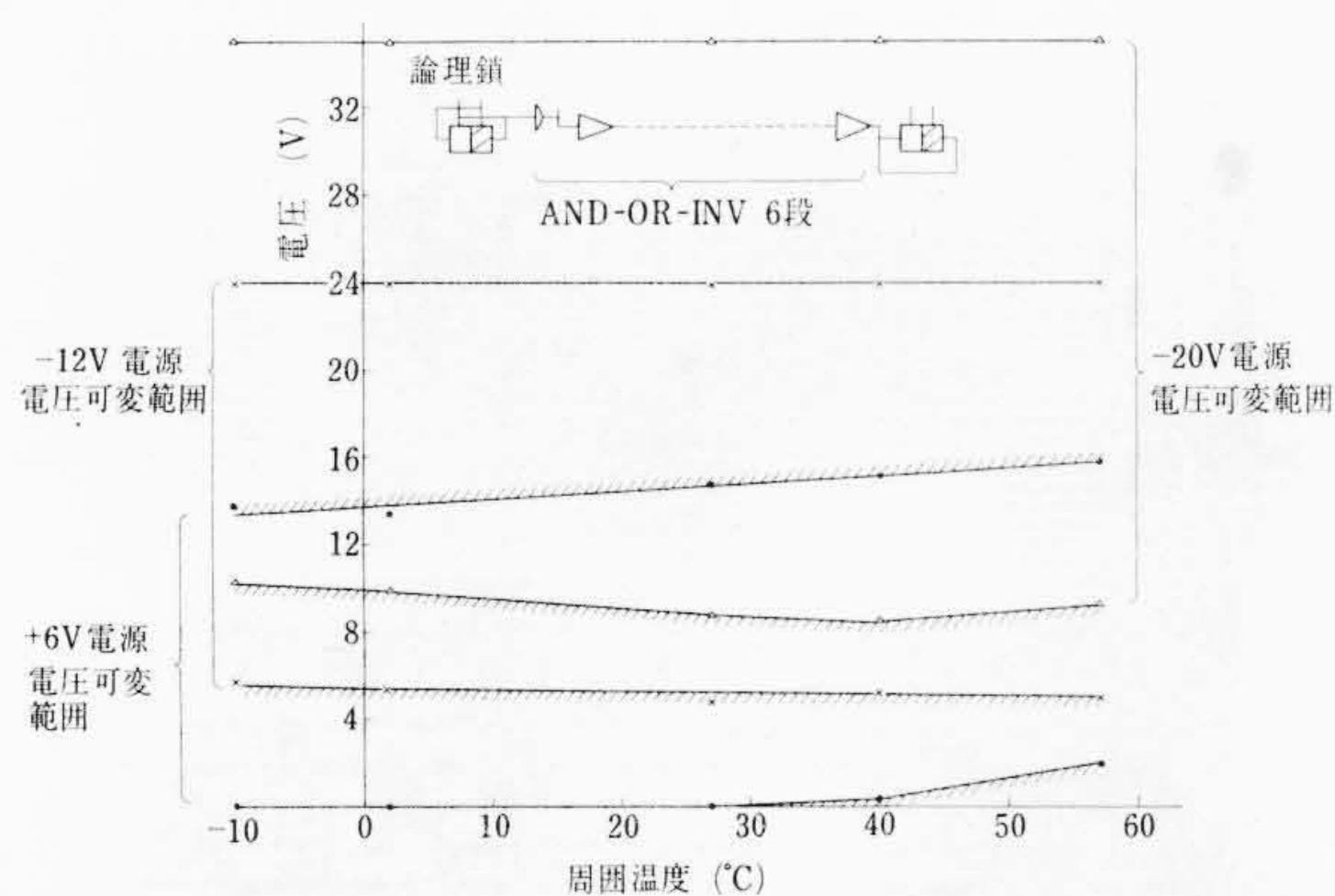
P_{cmax} : 最大許容コレクタ損失

第8図 寿命強制度チャート



第9図 基本回路

半導体が使用される最高温度での許容値(カタログにある)以内であることはもちろんであるが、故障率に密接に関係するので、この点からの検討が重要である。制御用電子計算機に要求される MTBF は最低 1,000 時間であり、さらに長時間であることが望ましい。装置の高信頼化には、設計段階での MTBF の予測は有効な方法である。したがって、半導体を主要構成部品とする本装置では、使用条件での半導体の故障率を推測する方法が必要となる。この方法には RADC 法と、多数のデータより求めた寿命強制度チャート⁽⁵⁾による方法とがあるが、われわれが過去に納入した制御用電子装置に使用した半導体の実績データから判断すると、素子のパラメータに対し十分なマージンを持つ回路では、後者が比較的实际の値に近いので、故障推定の手段とした。第 8 図に示すように、このチャートは、半導体のコレクタ損失と故障率との関係を示したもので、これによれば、故障率を小さくするには半導体のコレクタ損失をできるだけ小さくすべきである。25℃ での定格コレクタ損失に対し 1/3~1/4 を目標として設計したが、最終的にはさらに小さくすることができて、半導体のみによる MTBF の算出値は、3,000 時間以上になった。以上半導体部品に限って高信頼化の方法を述べてきたが、半導体と同様使用員数の多い抵抗器には、工業用電子機器として従来から使用している特注品を電力消費の点で十分余裕をとって使用し高信頼化



第10図 組合せ回路電源電圧マージンの温度特性

をはかった。この場合の予想される故障率は半導体のそれより1けた以下低い。そのほかの回路部品は使用員数が少なく、装置の故障に寄与する割合は小さいが、半導体、抵抗器などと同様、高信頼化に必要な裕度のある使い方をした。

6.2 回路方式の選択

基本回路を第9図に示す。回路設計に当たっては、

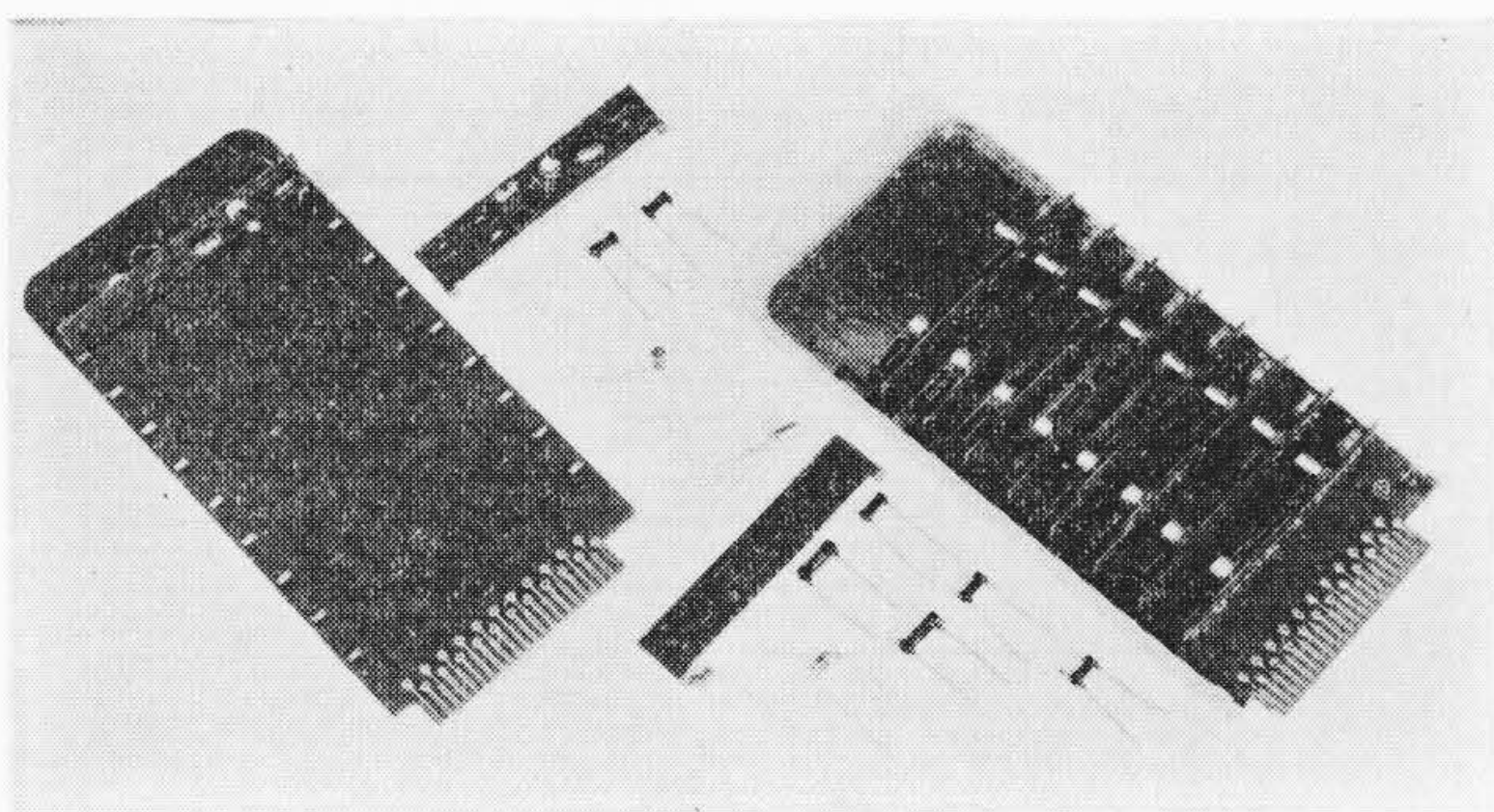
- (1) 信頼度の面より、トランジスタ回路はコレクタ損失の少ない飽和形とする。
- (2) 論理回路は、部品の故障率が小さい、ダイオードで構成される論理回路とする。
- (3) 外部条件を考慮し、雑音に強い積分形フリップフロップを採用する。
- (4) 部品の各種パラメータの経時変化に対し十分なマージンをもった回路定数とする。

などを目標とした、主回路の半導体は、日立製作所の量産品で、デジタル回路において高い実績をもつ高周波トランジスタおよびダイオードである。論理回路で重要なフリップフロップは、第9図に示す積分形の Eccless Jordan 形で、工作機数値制御装置、データロガーなどの論理回路として十分実績のある回路を、さらに改良したものである。製品化に際しては、トリガレベル特性、負荷特性などの論理回路に要求される諸特性についてはもちろんのこと、外来雑音に対しても十分な実験的検討を行なった。予想されるフリップフロップにはいる雑音は、

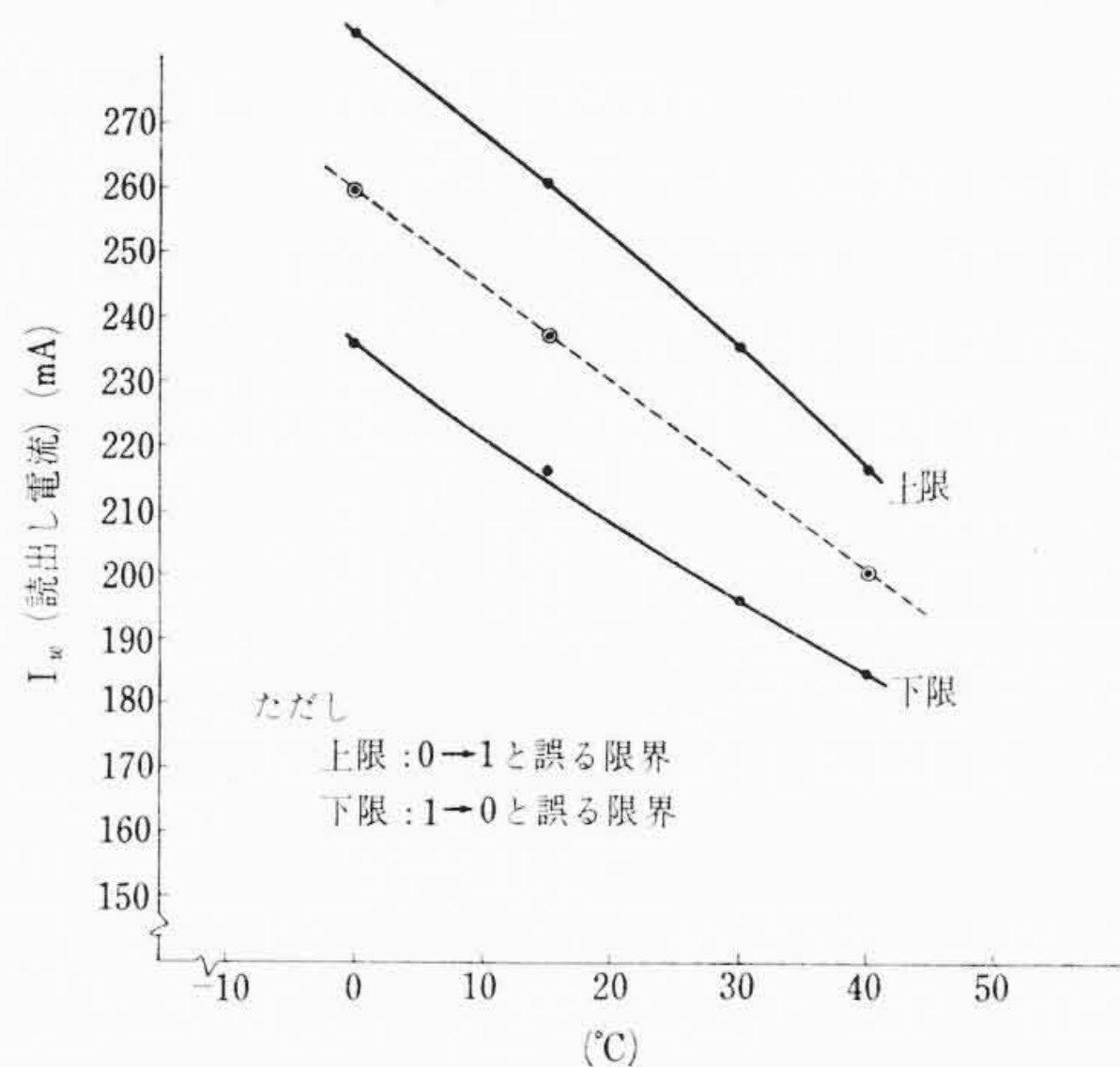
- (1) 入力回路にはいる雑音
- (2) コレクタ回路にはいる雑音
- (3) 電源回路にはいる雑音
- (4) クロック回路にはいる雑音

がある。入力回路の雑音に対しては第9図(a)に示す C_1 (または C_2) と R_1+R_{B1} (または R_2+R_{B2}) で構成する積分形入力回路が有効に働く。本装置が設置される場所での雑音、たとえばコンタクト開閉時に生ずる雑音 (パルス幅 $1\mu s$ 以下) に対しては、十数Vの耐雑音特性をもっている。コレクタ回路にはいる雑音は、スピードアップコンデンサ C_{S1} (または C_{S2}) を通して微分的に加わり、トランジスタ T_2 (または T_1) を反転させるおそれがあるので、種々の負荷条件、温度条件で雑音試験を行ない、十分な耐雑音特性をもつ回路定数とした。電源回路の雑音は、論理レベルを定めるクリップ D_1 (または D_2) 用電源にはいるものが特に問題になる。

これはダイオード D_1 (または D_2) を通してコレクタ回路にはいるためである。電源 B_1 の高周波での出力インピーダンスを低くし、前述の許容雑音以下に押えた。クロック回路に混入する雑音は、コンデンサ C_1 (または C_2) を通してトランジスタ T_1 (または T_2) に微分的に加わり、導通状態のトランジスタを非導通状態に反転させる可能性があり、耐雑音特性が問題となる。解決策として、回路のトリ



第11図 パッケージ



第12図 温度—電流マージン特性

ガレベルを可能なかぎり高くするとともに、クロック回路のインピーダンスを低くし、各ユニット間の配線にシールド線を用い、雑音の混入を防いだ。インバータ回路、ダイオード論理回路では、半導体のホールストレージ時間による信号の伝達遅れが装置のマージンを減少するので、予想される最長の論理鎖で電源マージン試験を行ない、第10図に示すように使用温度範囲で、 $\pm 30\%$ 以上のマージンをもつ回路定数とした。

6.3 パッケージ構造

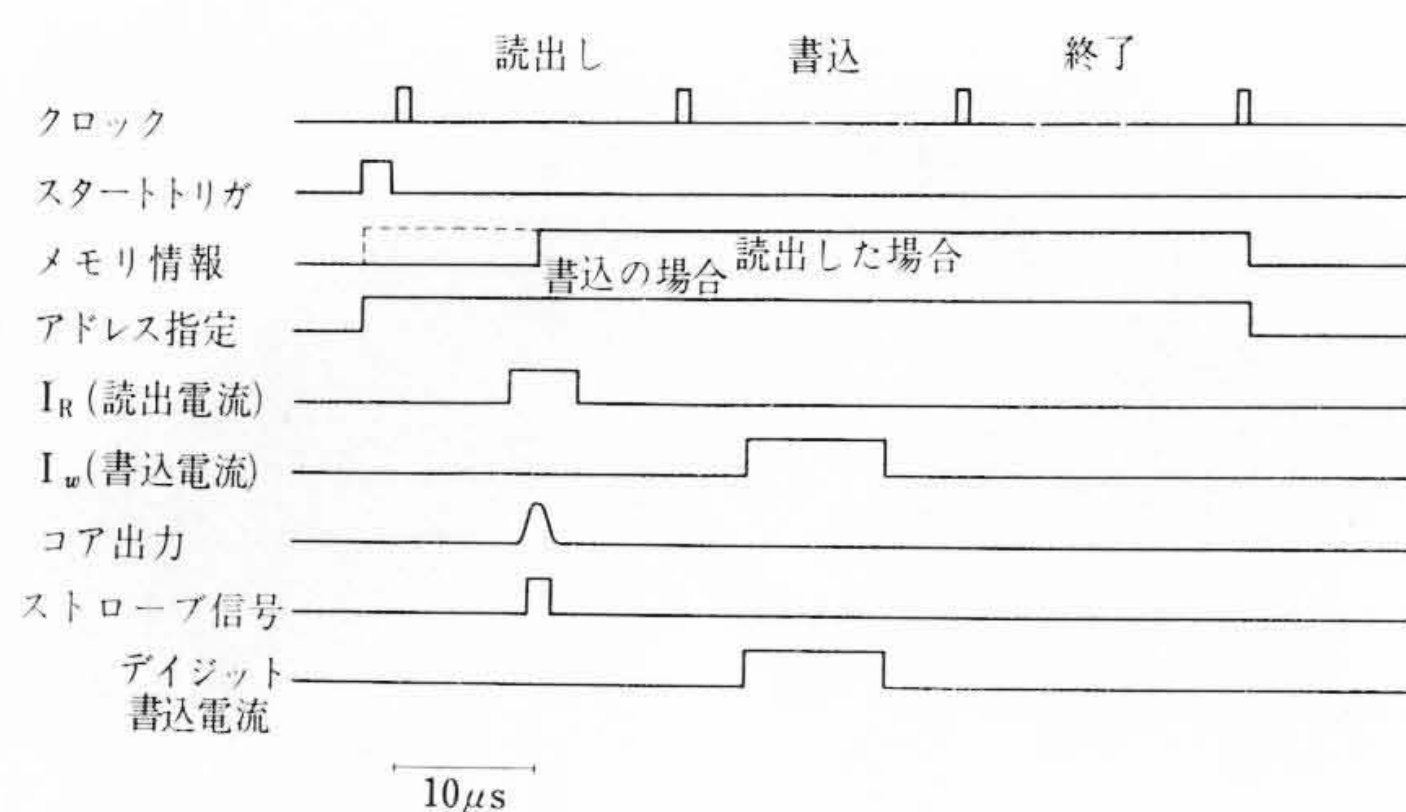
構造に関する検討は、信頼度設計にとって回路検討と同様に重要である。またパッケージ製作工数は直接装置の価格を左右するので、信頼性、経済性の両面より検討し、パッケージ構造を決定した。第11図にパッケージ構造を示す。また工業用電子装置が、高温、多湿、各種ガスが存在する悪条件下で使用されることを考慮し、防湿、防湿ならびに防ガスのための有機物コーティングを行なった。本パッケージの特長を下記すると、

- (1) 外部接続ジャック減少などによる装置の信頼度の増大
- (2) コーティングによる周囲条件に対する耐性の増加
- (3) 各回路当たりの価格の低減
- (4) パッケージ間布線量減少に伴う配線工数の低減
- (5) 立体回路採用により部品密度が大、したがって小形化
- (6) プリント回路設計工数の減少

などである。

7. 磁気コア記憶装置

本装置は、制御用計算機、または工業用データ処理装置に使用されるため、特に高信頼化という点に重点を置いて開発されたものである。したがって事務用計算機などに使用されている一般のコア記憶装置と比較して次のような特長を持っている。



第13図 メモリ動作タイムチャート

(1) コアの出カ信号レベルが高い

30~80 ミルコアメモリの約5~10倍にあたる0.5Vを得ているので耐雑音特性が向上している。

(2) 温度特性、コアの駆動電流特性の向上

これらの特性は第12図に示すとおりで、駆動電流を点線のように変化させて温度補償を行なうので、コアスタックを恒温槽に入れる必要がない。

(3) 周辺回路の簡略化

たとえば可変抵抗器の使用を避けて無調整化を図るとともに回路構成も一般論理回路と同等に簡略化して回路の高信頼化を図った。

(4) そのほか、停電など電源の過渡状態に際して、記憶内容に妨害が加わらないよう保護回路、オーダ記憶用の固定記憶装置などが付属している。

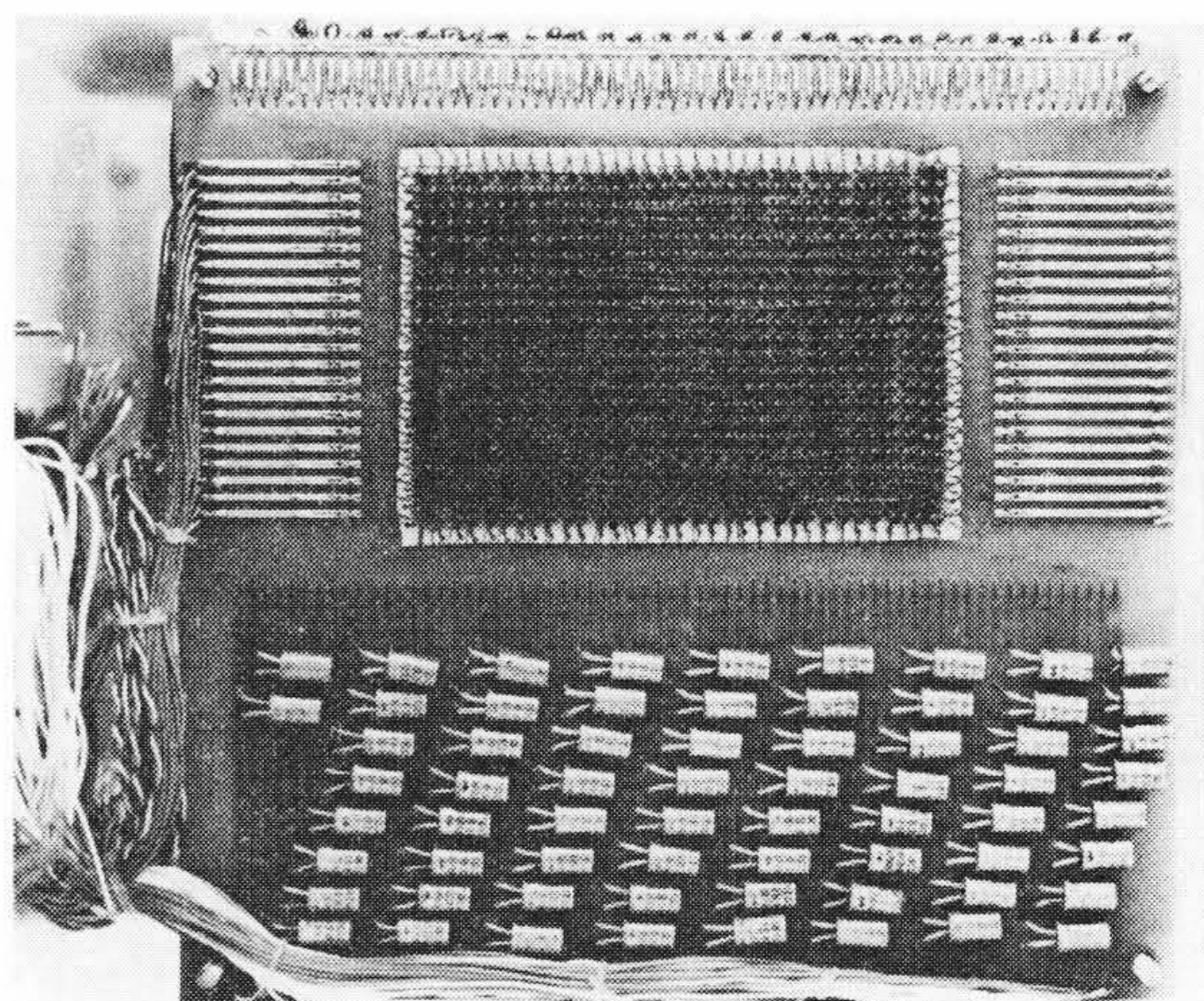
次にこれらの特長を持った記憶装置のコアスタックおよび周辺回路の概要を述べる。

1 コアプレーンは32語を収容し、1語は22ビットで構成されている。スタックは1,024語が単位ブロックとなっている。コアには外径3mmのフェライトコアを使用し、マルチターンの編線を行なった。その結果、 dV_I (信号出力) $\approx 0.5 \sim 0.7V$, dV_Z (雑音出力) $\approx 0.1V$, $S/N \geq 5$ の特性を得ている。

語の選択には、2次元配置方式を採用した。この方式は、読出し電流を周辺回路で選択して与えるため、電流一致方式と比較して読出し時に雑音が少なく、さらに半選択電流が書込み方向にしか加えられないので妨害の影響が少ない。

記憶動作は、第13図のタイムチャートのように行なわれる。計算機本体の制御回路から与えられたスタートトリガパルスによりクロック発生回路が起動して、書込み、読出し、処理終了の三つの制御区間を作る。 I_R , I_W の流れる時間としてそれぞれ $5\mu s$, $10 \sim 15\mu s$ を与えているが全体としてのサイクルタイムは $70\mu s$ 程度となっている。ストロブパルスは、標準的な特性を持ったコアを全語に共通に1個配置して、その出力信号を波形整形することにより得ている。

本記憶装置は固定メモリと併用されているが、これは、外径9mm



第14図 コアプレーン

のフェライトコアに記憶すべき情報に対応した巻線をほどこしたもので、安定性、経済性の点で有利である。固定メモリ用コアの出力電圧は、前述のメモリの読出し増幅器出力電圧とほぼ同レベルに選んであるため、メモリレジスタへの両メモリからの情報セットは、オアゲートを介して容易に行なわれる。

以上のように本記憶装置は工業用途に使用して大きな特長を持っているが、メモリサイクルタイムの高速化、記憶容量の大容量化の点では一般の事務用計算機に使用しているメモリと観点を異にしている。

第14図にコアプレーンを示す。

8. 結 言

工業用制御計算機 HI-COM 2000 シリーズの基本システム HI-COM 2100 について述べたが、HI-COM シリーズには、このほかにホットストップ制御のように高度の制御を行なうためのものとして、より充実した機能を持ち、高速化高信頼化された機種がある。これらについては稿をあらためて述べることにする。

本装置第1号機は、転炉計算制御用データ処理装置 Logger システムの中核として昭和34年12月某所に納入され、据付、電源投入と同時に完全な運転をはじめ、以降好調に稼動を続けており、信頼性についての記録を作りつつある。

本装置完成については、日立製作所中央研究所須藤部長、三浦主任研究員、日立工場泉副工場長、平川部長、菱沼副部長ほか多くの関係者から、技術的なご援助、ご指導をいただいた。ここに厚くお礼申し上げます。

参 考 文 献

- (1) 石川ほか：日立評論 46, 1345 (昭 39-8)
- (2) 北之園：日立評論 46, 1375 (昭 39-8)
- (3) 北之園：日立評論 46, 618 (昭 39-4)
- (4) 井原ほか：日立評論 46, 1474 (昭 39-9)
- (5) A. L. Goldsmith et al: Semiconductor Reliability (1961)