

薄膜回路による計数器

Electronic Counters with Thin Film Circuits

小 西 務*
Tsutomu Konishi

要 旨

トランジスタ論理要素が多量生産されている現在、無接点制御素子として論理要素よりも、むしろそれらの、組合せ回路の薄膜回路化が重要である。筆者は従来の制御装置の製作実績のうち、比較的計数器の応用範囲が広いことに着眼し、その薄膜回路化の検討を行なっている。これにより、従来の素子に比べ回路素子数、大きさ、重量、価格などの減少が実現される。薄膜回路による計数器を試作し実験した結果、回路は所望の動作を安定、確実にこなうことがわかった。また、周囲温度 $-20\sim+65^{\circ}\text{C}$ において、2進計数器は約 100 kc、10進計数器は約 50 kc の動作速度をもつ。

1. 緒 言

本報では、特に論理要素の組合せ回路⁽¹⁾の薄膜回路化について検討している。デジタル装置を薄膜回路化する場合、論理素子だけが対象のように考えられがちである。ところが、現在それらの素子はすでにトランジログ^{(2)~(4)}のように標準化され、多量生産されているので、よく検討したうえでないと論理素子の薄膜回路による特長が十分生かされないという結果を生ずることが予想される。

筆者は論理素子よりも、むしろそれらの組合せ回路を薄膜回路化することのほうが合理的な回路設計、すなわち価格の低減、信頼性の向上、保守あるいは取り扱いの容易さ、小形化、従来素子との結合などの点で重要であると考えた。そこで、組合せ回路の使用実績を調査した結果、計数器が比較的広い応用範囲をもっていることがわかったので、計数器の薄膜回路化の検討を進めた。

本報では直流直結形計数器の動作原理を述べ、薄膜回路モジュールにより2進計数器および10進計数器を試作し、実験したので、それらの結果について取りまとめ報告する。

2. 論理要素の組合せ回路の薄膜回路化

2.1 組合せ回路の薄膜回路化の特長

論理要素を薄膜回路化すると、信頼性、大きさ、価格などの点で従来のプリント回路より向上するが、論理要素の組合せ回路を薄膜回路化することによりそれらの特長がより強調される。

(1) 高度の機能化

たとえば、計数器を例にとると、従来の論理要素を組み合わせる製作すると、使用しない要素や回路素子ができ、むだを生じたり、要素間の接続に問題がある。これを薄膜回路化という立場から整理して、一環した回路設計を行なうことにより、計数器要素という一つの機能要素にできる。したがって、計数器が必要な場合には、この計数器要素を必要けた数だけ用意すればよいことになる。

(2) 保守、取り扱いの容易さ

たとえば、回路の動作状態を検査する場合、回路各部を問題にする必要はなく、機能動作の検査で十分であるから、保守、取り扱いの面で容易となる。ただし、故障時には特定の回路素子が原因でも少なくとも1モジュールは取り換える必要が生ずる。しかし、詳細な動作原理を理解して回路を修理する必要はなく、回路モジュールの交換により、故障を短時間に簡単に取り除くことができる。したがって装置が大形化し、有機化するほど薄膜回路化が有利になる。

(3) 大きさ、重量

装置を機能的にみて設計、製作できるので、むだがなくなり、

* 日立製作所日立研究所 工博

表1 組合せ回路とその応用

組 合 せ 回 路		応 用 例
マ ル チ バ イ ブ レ ー タ	無 安 定 マ ル チ	印 刷 制 御 装 置 圧 延 機 カ ー ド プ ロ グ ラ ム 制 御
	一 安 定 マ ル チ	—
	二 安 定 マ ル チ	—
計 数 回 路	リ ン グ 計 数 器	プ ロ ト ン ・ シ ン ク ロ ト ロ ン 制 御
	2 進 計 数 器	自 動 列 車 制 御 (ATC)
		生 産 管 理 装 置
		TO プ ラ ン ト の シ ー ケ ン ス 制 御
		シ ャ ー ジ ・ ダ イ ナ モ メ ー タ
計 算 回 路	10 進 計 数 器	10 進 — 2 進 コ ン バ ー タ
	加 算 回 路	圧 延 機 カ ー ド プ ロ グ ラ ム 制 御
	レ ジ ス タ	—

より小形化が期待できる。大形の複雑な装置になると、制御盤の大きさ、据付面積、重量などの点で問題となることがあるが、このような場合には小形化の効果は大きい。

(4) 価 格

装置の共通部分、機能部分をまとめて設計、製作できるので、製作台数の少ない装置でもかなり製作費の減少が期待できる。

2.2 組合せ回路の応用

トランジスタ式無接点継電器(トランジログ、シリコン、トランジログ)の組合せ回路としては、マルチバイブレータ、計数回路、計算回路などがあげられる。これらの分類のうちには、それぞれ表1に示すような組合せ回路がある。これらの組合せ回路を制御装置の一部として今まで納入、試作したものを調査すると同表に示すようである。この結果は限られた資料から調査したものであり、これがすべてではないかも知れないが、応用の大要を示しているといえよう。

以上の結果からわかるように、計数回路、特に2進計数器の応用範囲が広い。そこで、まず2進計数器の薄膜回路化について検討することにする。ただし、計数器要素自身の設計、製作については省略し、ここでは、計数器の構成、動作原理ならびに実験結果について述べる。

3. 計数器の構成と動作原理

3.1 計 数 器 要 素

計数器1けたの論理回路を示すと図1のようである。また、その動作波形を示すと図2のようになる。図1の論理回路は記憶要素

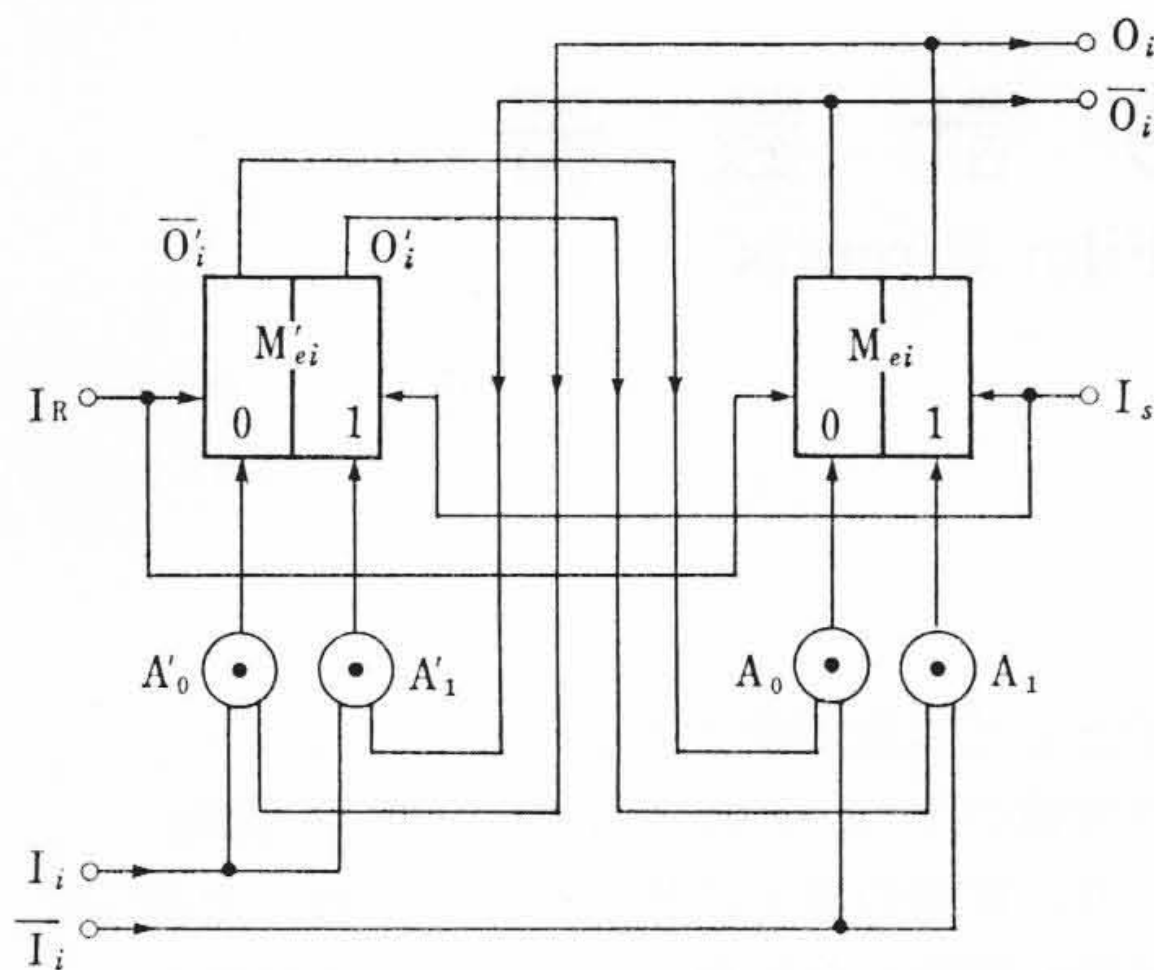


図 1 計数器要素の論理記号表示

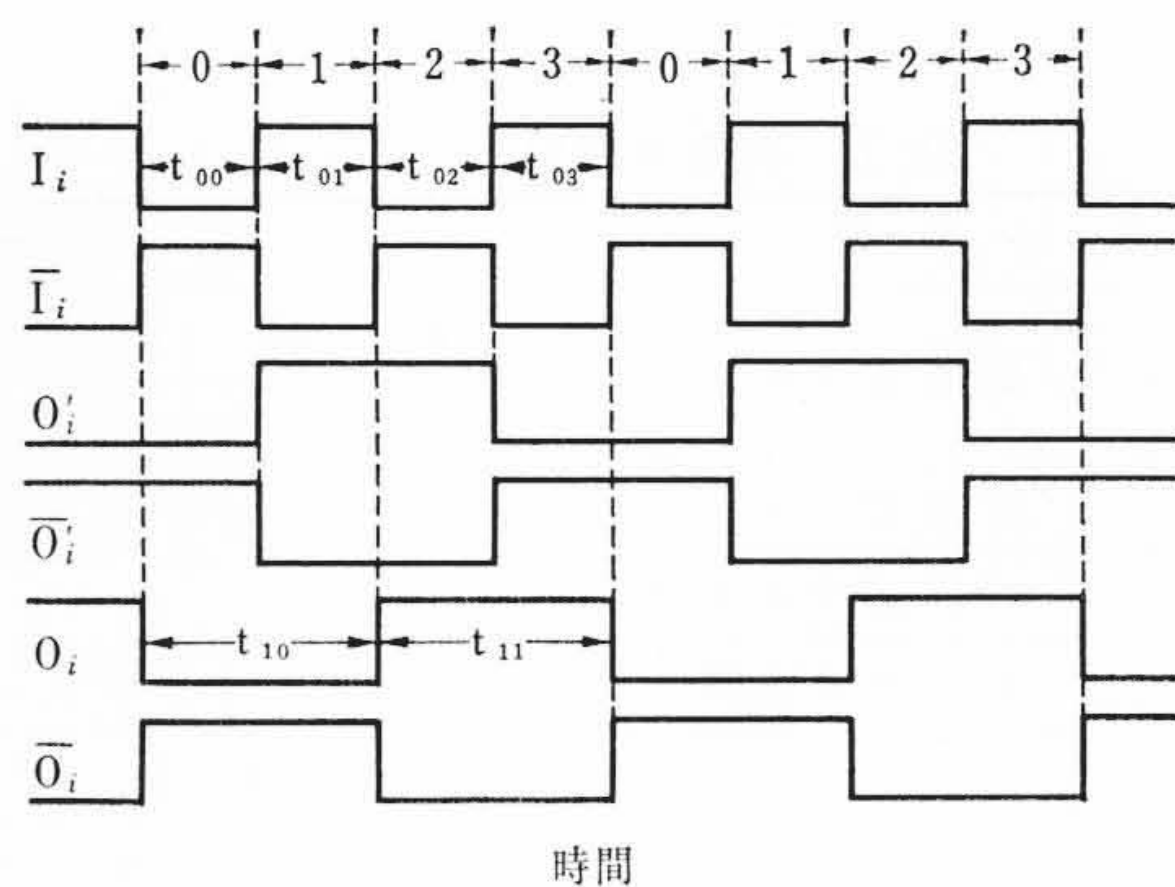


図 2 計数器要素の動作波形

を含むシーケンス回路であるので、以前の動作順序がその後の動作に影響を与える。したがって、まず、リセット信号 R により初期状態に戻す必要がある。このリセット期間（図 2 の 0 の期間）では入力信号は $I_i=0$ (OFF 状態), $\bar{I}_i=1$ (ON 状態) であるとする。

この期間では記憶要素 M_{ei} の出力は $O_i=0, \bar{O}_i=1$, および記憶要素 M'_{ei} の出力は $O'_i=0, \bar{O}'_i=1$ である。このとき、 $\bar{O}_i=1$ の信号は AND 回路 A'_1 にはいるが $I_i=0$ のため A'_1 のゲートはしめられている。また、 $\bar{O}'_i=1$ の信号は AND 回路 A_0 にはいるが、この信号は $\bar{I}_i=1$ のため A_0 を通過し M_{ei} のリセット側にはいる。ところが、いまはリセット期間であるので問題はない。

次に、 $I_i=1, \bar{I}_i=0$ となる図 2 の 1 の期間について考える。 $I_i=1$ により AND 回路 A'_1 が開いて M'_{ei} がセットされ、 $O'_i=1, \bar{O}'_i=0$ となる。したがって、 $O'_i=1$ の信号が AND 回路 A_1 にはいるが、 $\bar{I}_i=0$ のため A_1 はゲートを閉じているので、 M_{ei} の状態は 0 期間と同一である。

さらに、 $I_i=0, \bar{I}_i=1$ となる図 2 の 2 の期間について説明する。さきほどの動作で、 $O'_i=1$ となっているので AND 回路 A_1 のゲートが開いている。したがって、 $\bar{I}_i=1$ により M_{ei} がセットされ、 $O_i=1, \bar{O}_i=0$ となる。 $O_i=1$ により A'_0 のゲートが開くが、 $I_i=0$ のため M'_{ei} の動作は不変である。

続いて、 $I_i=1, \bar{I}_i=0$ となる図 2 の 3 の期間になると、 $\bar{I}_i=1$ の信号が A'_0 のゲートを通り M'_{ei} をリセットさせる。そのため、 $O'_i=0, \bar{O}'_i=1$ となる。 $\bar{O}_i=1$ の信号は A_0 のゲートを開くが $\bar{I}_i=0$ のため M_{ei} の動作は不変である。

引続き、 $I_i=0, \bar{I}_i=1$ となると 0 期間に戻る。なぜならば、さきほどの $\bar{O}'_i=1$ の信号により A_0 のゲートが開いているので、 $\bar{I}_i=1$ により M_{ei} がリセットされ $O_i=0, \bar{O}_i=1$ となる。

以上の動作をタイム・チャートで表わすと図 2 のようになる。同図からわかるように、入出力波形の間に次の関係が存在する。

$$\left. \begin{aligned} t_{10} &= t_{00} + t_{01} \\ t_{11} &= t_{02} + t_{03} \end{aligned} \right\} \dots\dots\dots (1)$$

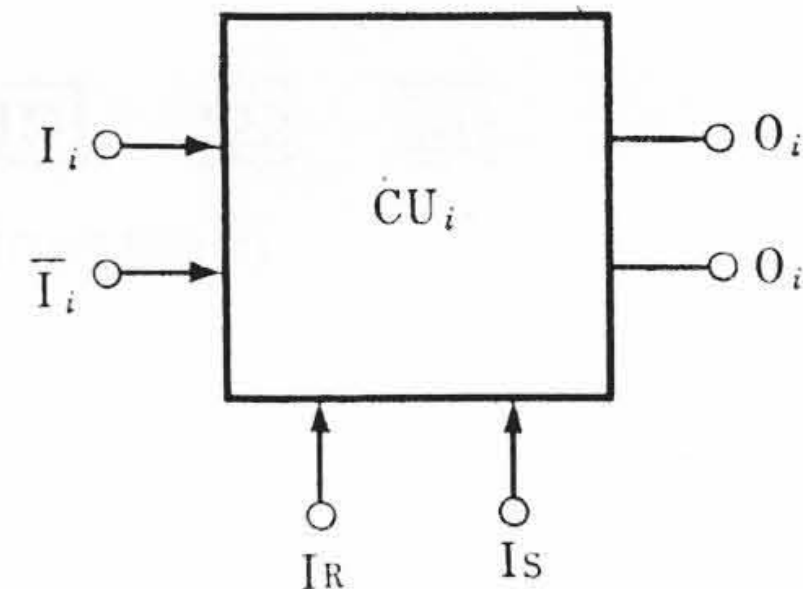


図 3 計数器要素の記号表示

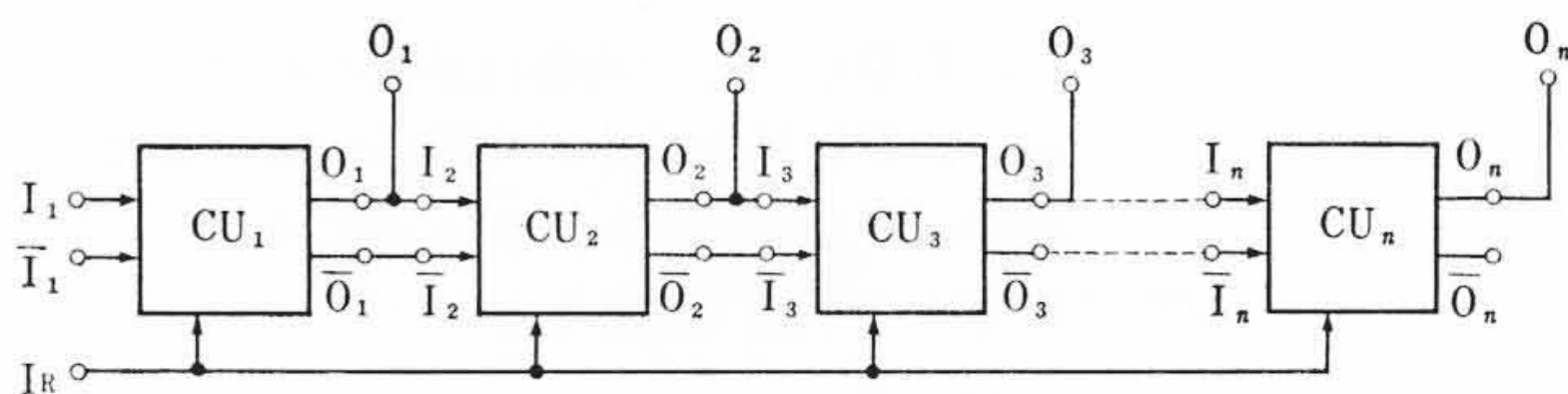
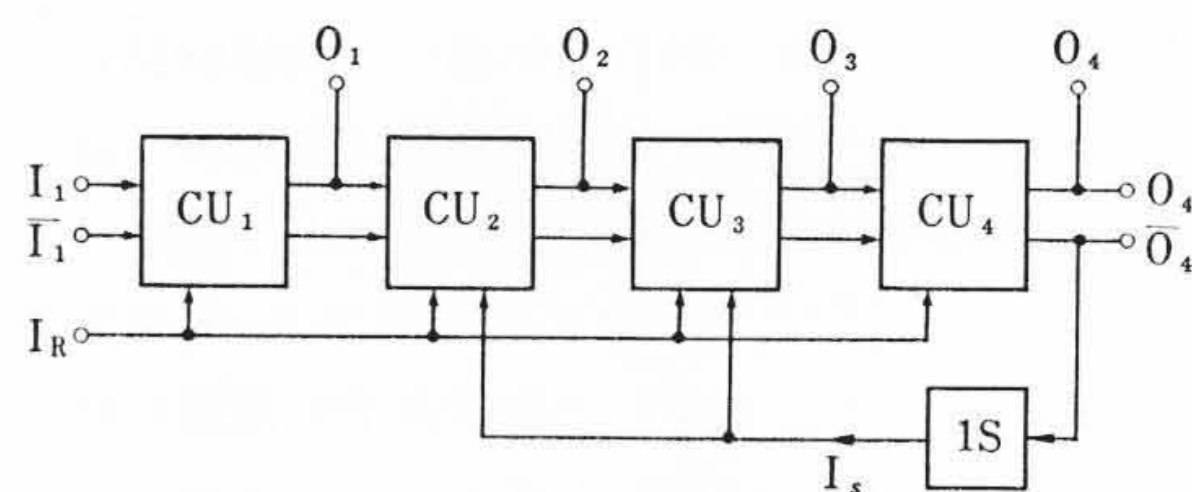


図 4 2 進計数器の構成図



注 1S=一安定マルチバイブレータ

図 5 10 進計数器の構成図

ここに、
 t_{00} = 入力 0 期間
 t_{01} = 入力 1 期間
 t_{02} = 入力 2 期間
 t_{03} = 入力 3 期間
 t_{10} = 出力 0 期間
 t_{11} = 出力 1 期間

上式において、入力の各期間は任意にとれる。ただし、肯定信号と否定信号の一对の入力信号が必要で、そのためこれを 2 拍励振といふことがある。いまもし、 $t_{00}+t_{01}, t_{02}+t_{03}$ あるいは $t_{10}+t_{11}$ を 1 周期と呼ぶことにすれば、入力の 2 周期に対し 1 周期の出力が得られる。したがって、図 1 の回路は 2 進計数器 1 ビットの役目をするので、これを計数器要素ということにする。この回路は動作原理上直流から回路で定まる繰り返し周波数まで動作する。なお、後述の説明の便のため、図 1 の回路の入出力端子に着目して図 3 のように記号表示することにする。

3.2 2 進 計 数 器

前節の説明から明らかなように、2 進計数器を構成する場合には計数器要素を必要ビット数だけ縦続接続すればよい。2 進計数器の構成図を図 4 に示す。図 1 においては、入力信号 I_i および $\bar{I}_i$ が時間に無関係に否定関係をもつときは常に安定状態となることができが、実際には両入力の立上り時間あるいは（および）立下り時間が存在するため不安定状態となり、動作に異常をきたすことがある。したがって、使用状態においては両入力回路に ON 遅延要素を入れて信号の立上りを遅らせ、常に、ON 状態にある信号は I_i あるいは $\bar{I}_i$ のいずれか一方だけになるようにすることが必要な場合がある。このような場合、ON 遅延時間により動作速度が制限を受ける。

3.3 10 進 計 数 器

ここで述べる 10 進計数器は一種の 2 進 10 進計数器で、図 5 に示すように 4 ビットの 2 進計数器とバイアス置数回路とから構成されている。バイアス数のとり方にはいろいろあるが、回路の簡単さと計数器の縦続接続を考慮してバイアス数を 0110 (10 進数 6) とする。

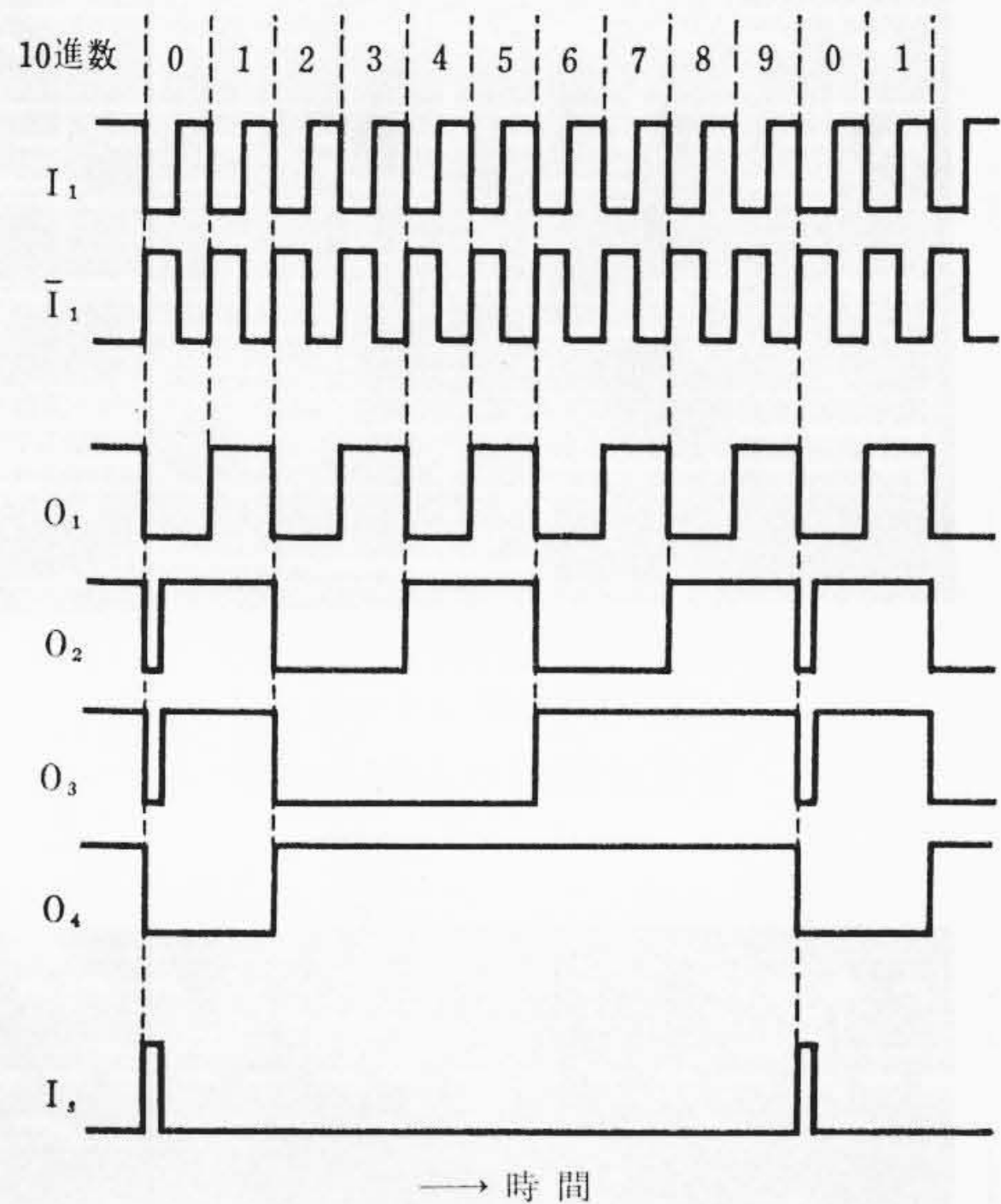


図6 10進計数器の動作波形

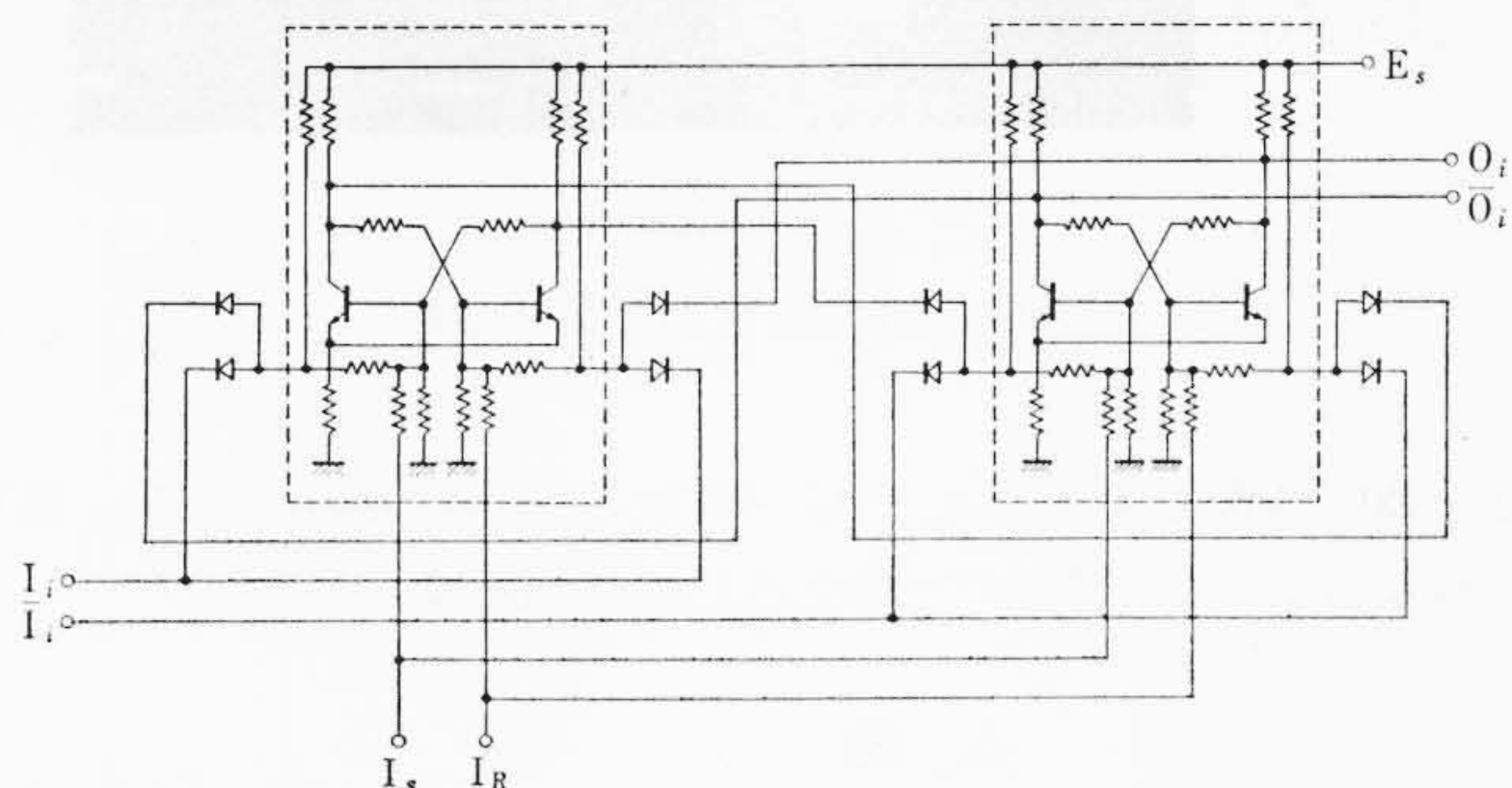


図7 計数器要素の接続図

図5の10進計数器の動作波形を図6に示す。10進数0に対してはバイアス数0110が対応する。その後の入力 I の信号に対しては各計数器要素が2進計数器としての動作をする。したがって、10進数9に対しては1111(=0110+1001)が対応する。この状態が図6の10進数9の期間である。

次に、0期間に移行すると、計数器は $O_1=O_2=O_3=O_4=0$ (OFF状態)となる。このとき、 O_4 の否定信号は $\bar{O}_4=1$ となるので、この信号が一安定マルチバイブレータにより振幅および幅が一定のパルス信号に変えられ、この信号により計数器要素 CU_3 および CU_4 を置数する。この置数により最初の状態0110に戻る。ここに用いる一安定マルチバイブレータは直結形回路で、耐雑音性などの特性は他の要素と協調がとれている。

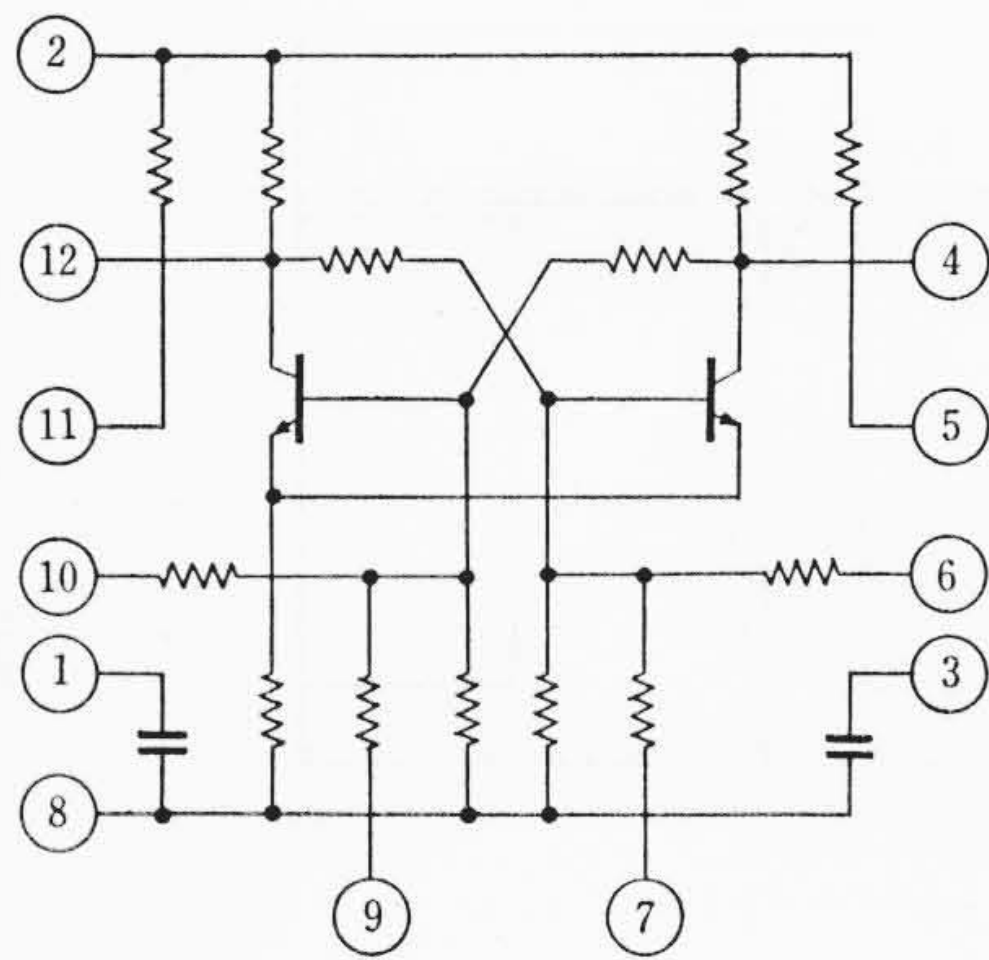
4. 薄膜回路による計数器

4.1 構成

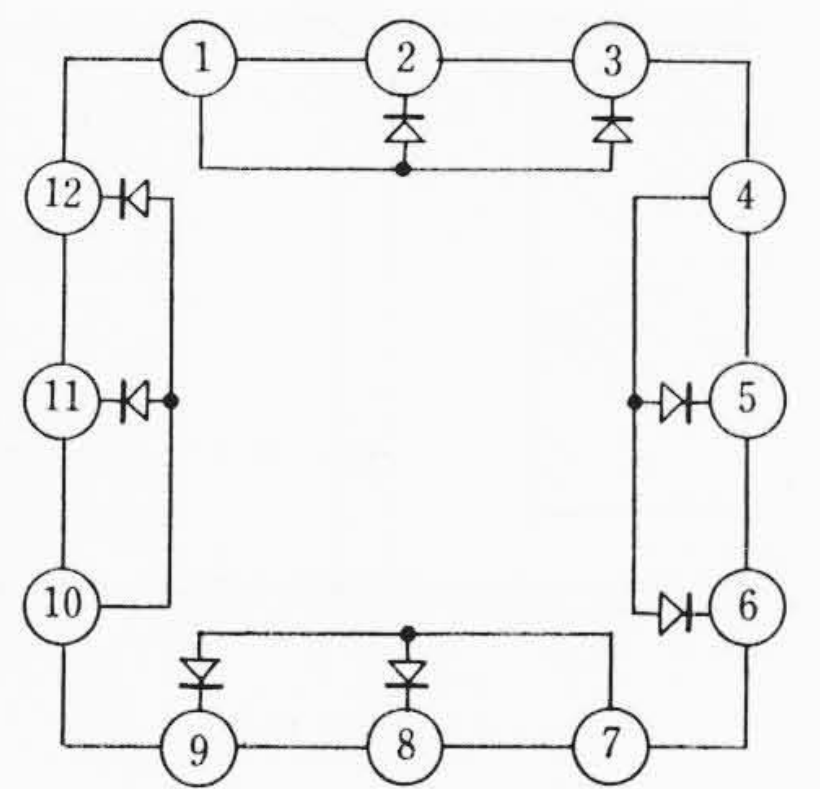
計数器を薄膜回路化するのに、最小単位として計数器1けた分、すなわち計数器要素を考える。まず、図1の論理回路を具体化した実際の接続図を図7に示す。マイクロモジュール構造にするため、同図の回路を計数器用記憶要素(点線内)2個とダイオードAND回路の3ブロックに分割する。これら各ブロックの構成および端子番号を図8にあげる。

4.2 従来の論理要素構成との比較

薄膜回路による計数器1けたの構成が明らかになったので、計数器1けたについて従来の論理要素を組み合わせで構成した場合とを



(A) 計数器用記憶要素(S1010)



(B) ダイオード・アンド要素(S1040)

図8 ブロックの内部接続図

表2 薄膜回路およびプリント回路の計数器要素の比較

計数器1けた当たり			比率* (%)
回路素子数	トランジスタ		1/4.5
	ダイオード		8/0
	抵抗		1/2
	コンデンス		1/5
電源	種類		1/2
	電力		1/2.85
大きさ			1/5~1/10
重量			1/23
価			従来と同等あるいはそれ以下

注 * = $\frac{\text{薄膜回路}}{\text{プリント回路}}$

比較する。比較する項目としては回路素子数、電源、大きさ、重量、価格などを取り上げることとする。このほかに、実際には実装方法およびそれに伴う費用などが対象となるが、これについては省略する。

以上の各項目について比較した結果をまとめると表2のようになる。これを要約すると次のようになる。

(1) 回路素子数

薄膜回路化することにより能動素子(トランジスタ)の数が約1/4.5に減少したことは意義のあることである。すなわち、このことが価格、大きさ、電源容量の減少ならびに信頼性の向上に関係している。また、全回路素子数が約1/2に減少していることは接続点数、故障率の減少となり、回路の信頼性向上に寄与しているところが多い。

(2) 電源

電源の種類が1種類でよいことは経済的に有利なことは論をまたないが、そのほかに、雑音の混入経路が減少し、動作の確実性が向上する。また、バイアス用電源故障によるフェール・アウトがなくなる効果は大きい。なお、電源容量が約1/3になることは、経済性の点、装置の大きさの点でかなり有利となる。

(3) 大きさ

計数器1けた当たりの容積は、小形化により約1/5~1/10程度に減少する。また、底面積(取付面積)は約1/25に減少するので、実装方法にも関係するが、装置の小形化には相当の効果が期待できる。

(4) 重量

同表にみられるように、小形化と同時に重量が約1/23に減少している。これらの結果は、車両用のように容積、重量とも制限を受ける場合にはきわめて有利となる。

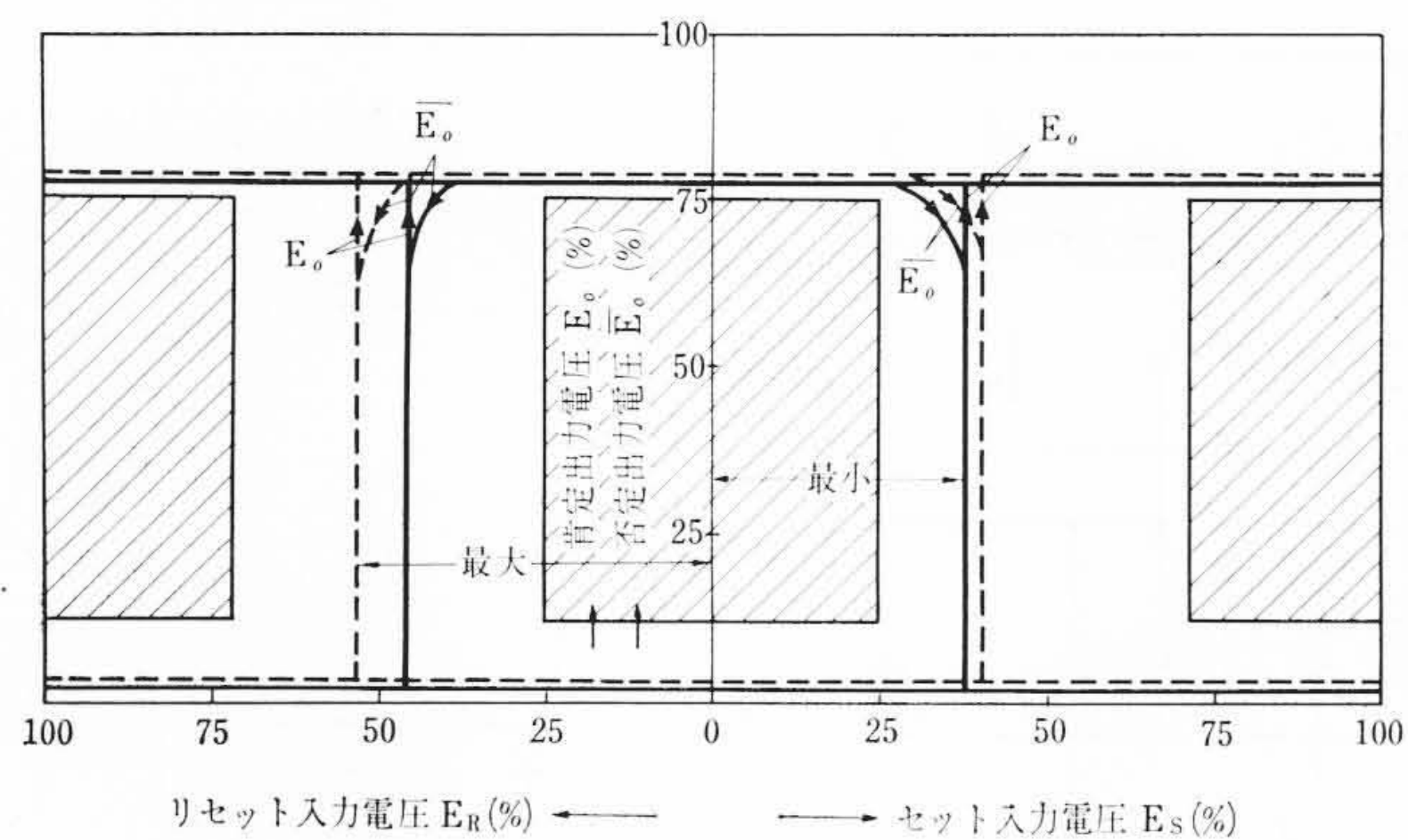


図9 入出力電圧特性

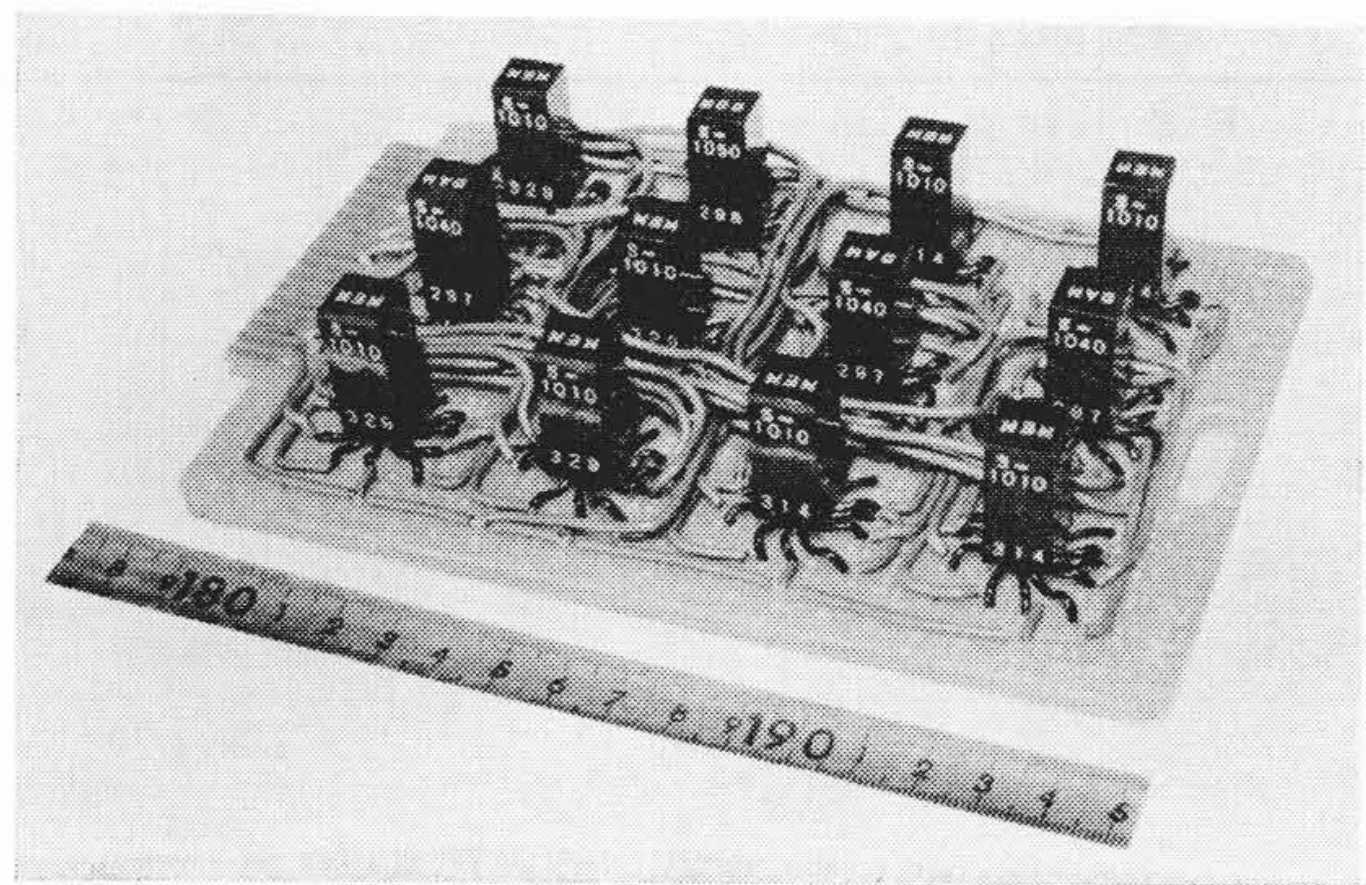


図10 2進計数器(4ビット)

(5) 価 格

現在の市場価格で比較するとほぼ同等かそれ以下である。将来、需要の増加により、より低減することが期待でき、組合せ回路の合理的設計および超小形化技術の採用の効果が大きく表われてくる。

5. 実験結果

5.1 計数器用記憶要素

計数器要素の基本回路である記憶要素モジュールについて、特性のばらつきを含め外部条件を仕様化した両限界の組み合わせについて入出力電圧特性を測定した。外部条件としては、負荷として計数器用 AND 回路3個と OR 要素2個、周囲温度変化範囲が $-20 \sim +65^\circ\text{C}$ となっている。入出力電圧特性の測定結果を示すと図9のようである。同図において、特性の移動が定められた定常安定動作限界に対して余裕があることがわかる。

5.2 2進計数器

試作した4ビットの2進計数器を図10に示す。周囲温度が $-20 \sim +65^\circ\text{C}$ の場合、2進計数器は $\text{DC} \sim 100 \text{ kc}$ の範囲で確実に動作する。入力周波数が約 10 kc における入出力波形を示すと図11のようである。以上の実験結果から、試作した薄膜回路による2進計数器が動作原理どおりに安定かつ確実に動作することがわかった。

なお、計数器要素内部には雑音除去用コンデンサが内蔵されているが、これを接続して使用する場合には最大動作周波数を約 10 kc におさえることができる。この値は外部接続コンデンサにより任意の値に調整できる。

5.3 10進計数器

10進計数器1けたを試作し、動作試験をした。その結果、周囲温

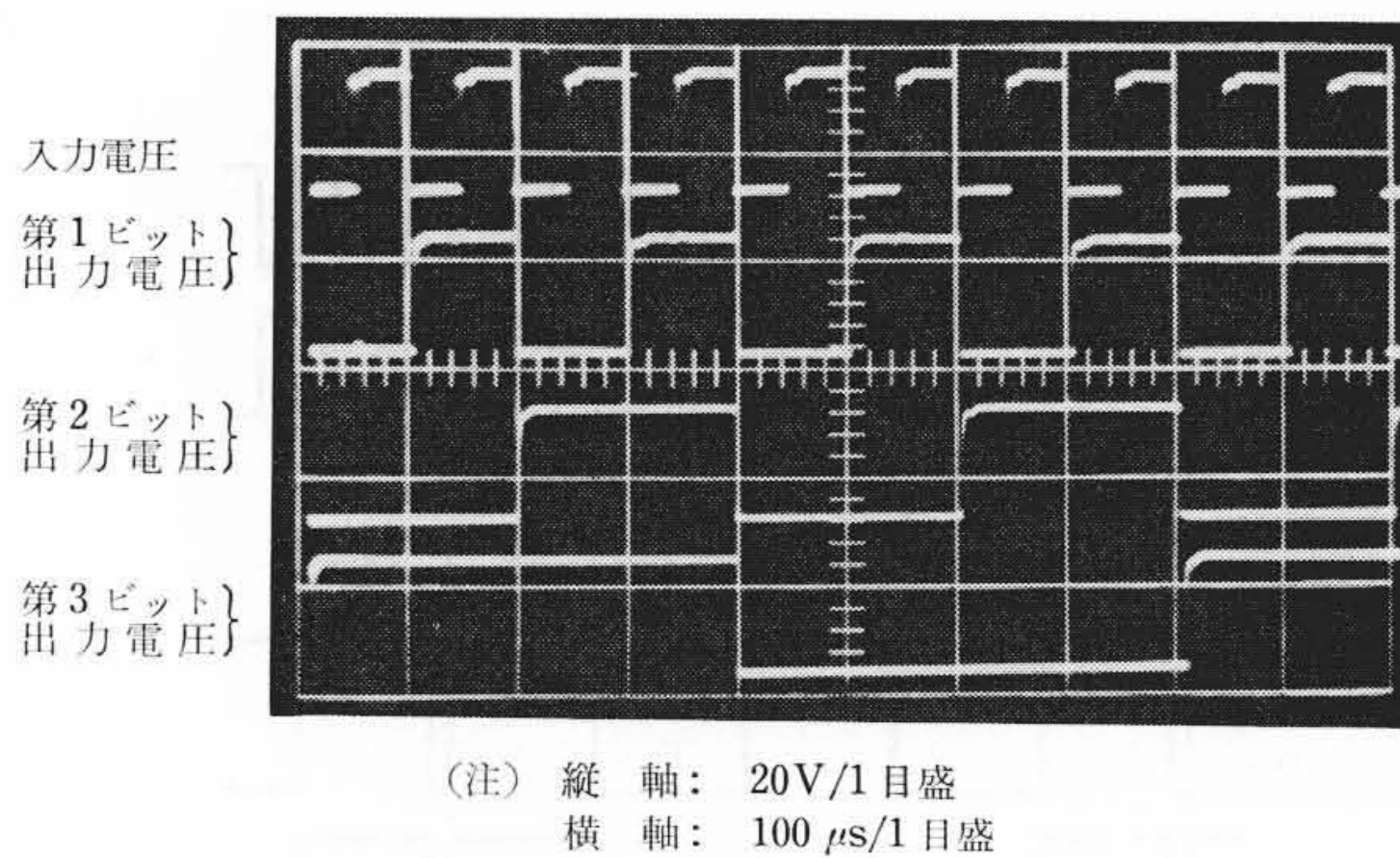


図11 2進計数器の入出力波形

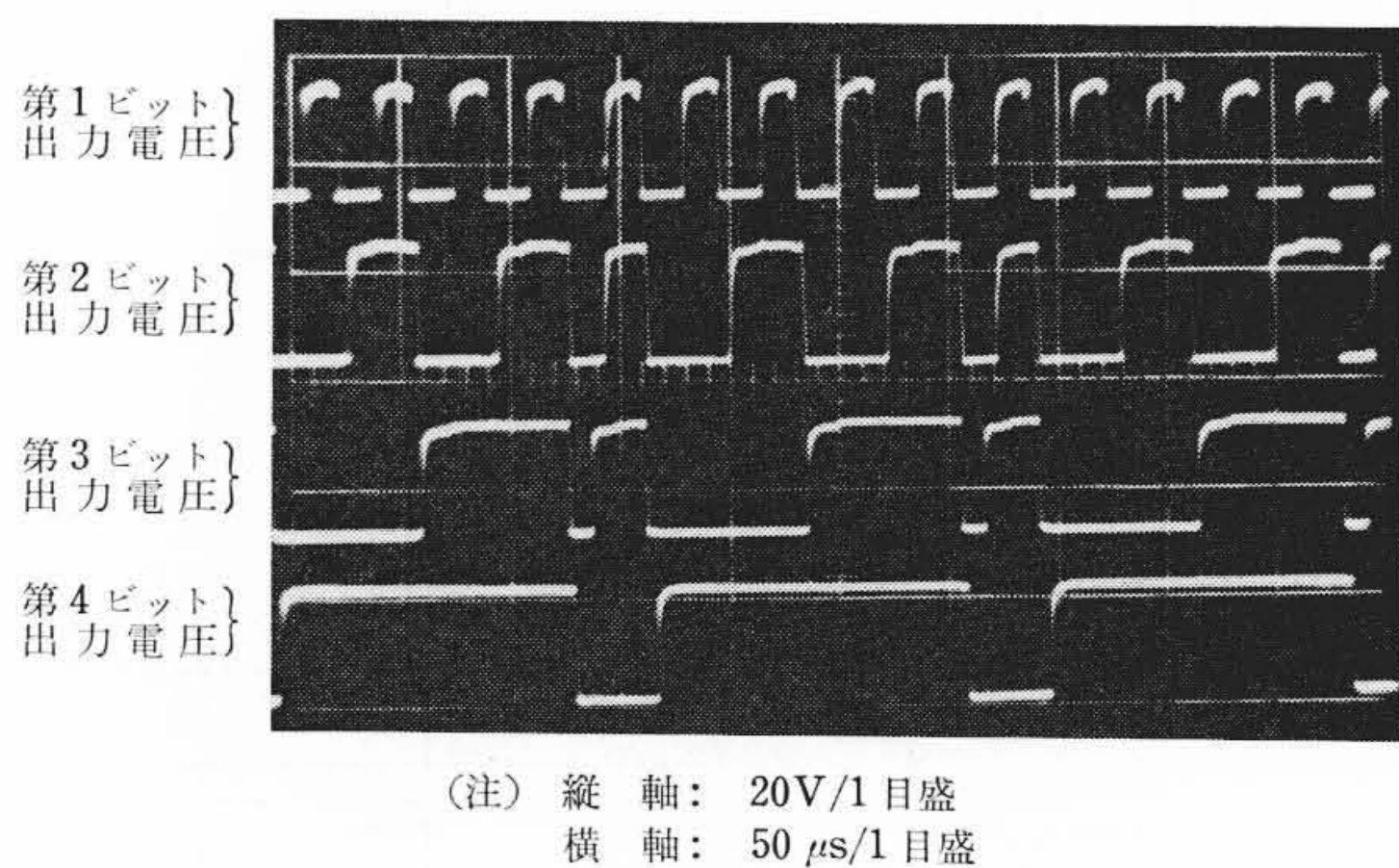


図12 10進計数器の出力波形

度 $-20 \sim +65^\circ\text{C}$ において、 $\text{DC} \sim 50 \text{ kc}$ で所望の動作を安定、確実にこなった。その波形の一例を示したのが図12である。

6. 結 言

論理要素を薄膜回路化すると、従来のプリント回路に比べ信頼性、大きさ、価格などの点で有利となることは明らかであるが、論理要素の組合せ回路では特にこれらの特長が強調される。また、素子の標準化により制御システムの設計が容易となり、システムの大形化に対処できるようになる。

そこで、組合せ回路の中で特に応用分野の広い直流直結形の計数器を取り上げ、これを薄膜回路化するための設計、検討を行なった。まず、薄膜回路化された計数器と従来のプリント回路を比較した結果、全回路素子数が約 $1/2$ 、大きさが約 $1/5 \sim 1/10$ 、重量が約 $1/23$ 、価格が同等またはそれ以下にできることが明らかになった。

実験の結果、計数器要素の入出力電圧特性は与えられた条件の限界に対しても特性の移動は定常安定動作限界に対し余裕のあることがわかった。また、2進計数器を試作し、実験した結果、周囲温度 $-20 \sim +65^\circ\text{C}$ に対し $\text{DC} \sim 100 \text{ kc}$ の動作速度をもつことがわかった。また、10進計数器では、同様に $-20 \sim +65^\circ\text{C}$ に対し、 $\text{DC} \sim 50 \text{ kc}$ で安定、確実に動作した。

以上の検討結果および別に行なった寿命試験結果から、実用的に十分な性能をもっていることが証明されたので、東海道新幹線用デジタル ATC (Automatic Train Control) の試作装置をはじめ、工業用制御装置に使用される公算が大である。

参 考 文 献

- (1) 小西：日立評論 44, 1000 (昭 37-7)
- (2) 小西：日立評論 43, 860 (昭 36-7)
- (3) 小西：日立評論 45, 1943 (昭 38-12)
- (4) 小西：制御工学 9, 151 (昭 40-3)