
HITAC 8000 シリーズ特集

HITAC 8000 シリーズ概論	55
H-8100 処理装置	59
H-8200 処理装置	63
H-8300/8400 処理装置	68
HITAC 8000 シリーズ入出力装置	72
ソフトウェア・システム	76
HITAC 8000 シリーズ処理装置の部品と実装	82

HITAC 8000 シ リ ー ズ 概 論

An Introduction to the HITAC 8000 Series

高 橋 茂*
Shigeru Takahashi

要 旨

HITAC 8000 シリーズの設計方針，方式設計，処理装置に使用した金物技術の特長，入出力装置と標準入出力インターフェース，通信制御，エミュレーションなどについて，それぞれの概要を記述し，以下に続く諸論文の序説とした。

1. 緒 言

ディジタル計算機が国産されはじめてから早くも 10 年に近く，その間における回路，記憶装置，入出力装置，実装方式などの技術的進展には驚くべきものがあるが，それにもましてソフトウェア技術の発達著しい。10 年前にはソフトウェアという言葉さえなく，ましてその共通性 (compatibility) などということにはほとんど注意が払われていなかったが，ソフトウェアの占める地位がハードウェアと同等になってきた今日では，ユーザーの立場においてもメーカーの立場においても，共通性という概念が方式設計上きわめて重要なものになってきた。

HITAC 8000 シリーズはシリーズ内での，また将来に向かってのデータおよびプログラムの共通性に最重点をおき，最新のハードウェア技術を盛り込んだ 8100 から 8500 に至る 5 種の処理装置とデータ通信のための装置を含む多数の入出力装置からなり，最も進歩したソフトウェア技術に基づくシステムプログラム群によって支持されているファミリーである。

将来に向かっての共通性ということとは，当然拡張可能性すなわち open-ended な方式設計につながるが，8000 シリーズは過去の苦い経験にかんがみ，この点に特に注意して設計されている。

2. 方 式 設 計

2.1 情 報 の 単 位

情報の最小単位はいくまでもなくビットであるが，入出力装置では通常，字が単位として扱われる。字の大きさは従来 6 ビットであり，したがって磁気テープは 7 トラック (情報 6 トラックと奇偶検査ビット用に 1 トラック) であった。6 ビットのコードで表わし得る字の種類は $2^6=64$ で，データ通信用の制御コードを含めると，わが国独自の仮名文字を考えなくても，不十分であり，ISO (International Standard Organization) では 7 ビットコードを勧告する機運となっている。

8000 シリーズの字はこの 7 ビットコードをさらに拡張した 8 ビットであり，仮名文字を他の文字と同等に扱うことができる。これに対応して磁気テープには 9 トラックを採用することとした。この 8 ビットからなる 1 字をバイト (byte) と呼ぶ。

なお 8 ビットコードの他の特長は 10 進数字 (4 ビットで表わされる) 2 けたを 1 バイトに収容し得ることである。データ処理に際して扱う情報の大部分が数字であることを考えると，これによって記憶容量がより有効に使用されることとなる。

この 8 ビットコードを基準とする磁気テープコード，カードコード，紙テープコードなどは 8000 シリーズ全体に共通である。

* 日立製作所神奈川工場 工博

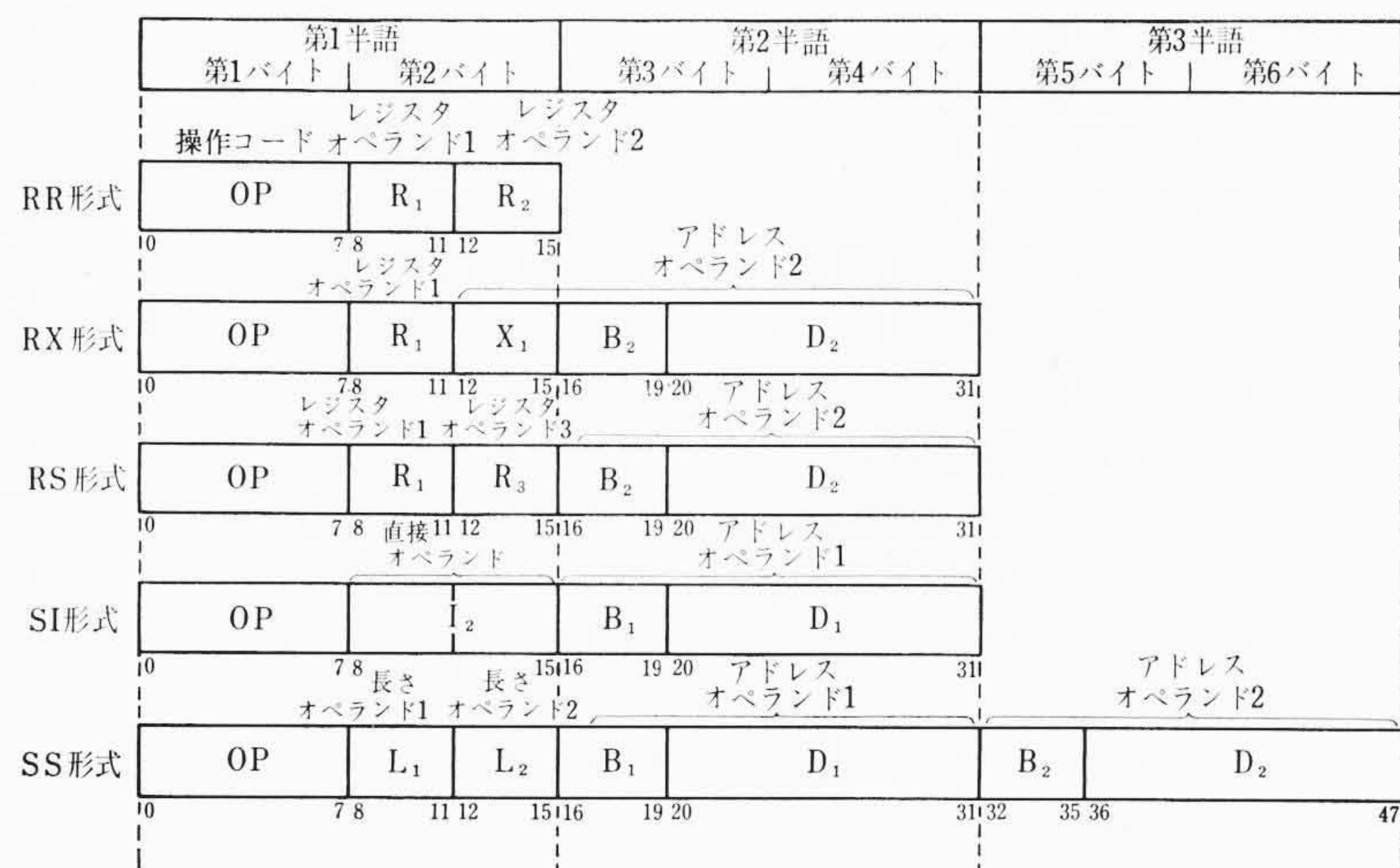


図 1 8000 シリーズ処理装置の命令形式

2.2 命 令 形 式

偶数バイト単位の命令形式であり，図 1 に示すように 2，4，6 バイトの可変長である。アドレス部は一般に 12 ビットのデイスプレースメントと 4 ビットのベースレジスタ指定部とからなり，RX 形式のときに限り，さらに 4 ビットの指標レジスタ指定部を含む。

デイスプレースメントはわずか 12 ビットであるが，ベースレジスタは 24 ビットあり，これによって $2^{24}=16,777,216$ バイトまで命令によって直接指定することができる。主記憶装置の容量は市場の要求と技術の進歩とによって逐年急速に増加しており，アドレス指定の上限を十分に大きくしておくことは open-ended な設計眼目の最たるものであるが，単純にアドレス部を長くすれば，命令が長くなり，さらに大きな記憶容量を必要とするという悪循環の関係を生ずる。ベースレジスタ方式の採用によって，つねにこれを参照するための時間を必要とするという重荷を負うことにはなるが，これはアドレス部に関する上記の重要な問題を解決するための最適の妥協であると思われる。

命令の操作部は 1 バイトであり，256 種類までの操作を指定し得るが，現在 8100 では 31，8200 では 26，8300 以上では 144 種の命令が使用できるようになっていて，これ以外の操作コードに対しては割込みが起こるように設計されている。

2.3 演 算 機 能

2 進および 10 進の演算機能をそなえ，8300 以上では 2 進浮動小数点演算も可能である。10 進演算はパックされた (10 進 2 けたが 1 バイトに収容されている) 可変長の演算数に対して行なわれる。2 進固定小数点演算は，8100/200 と 8300 以上とで異なり，前者では 128 ビットまで，後者では 32 ビットまで (ともに補数表示の符号を含む) の演算数が扱われる。

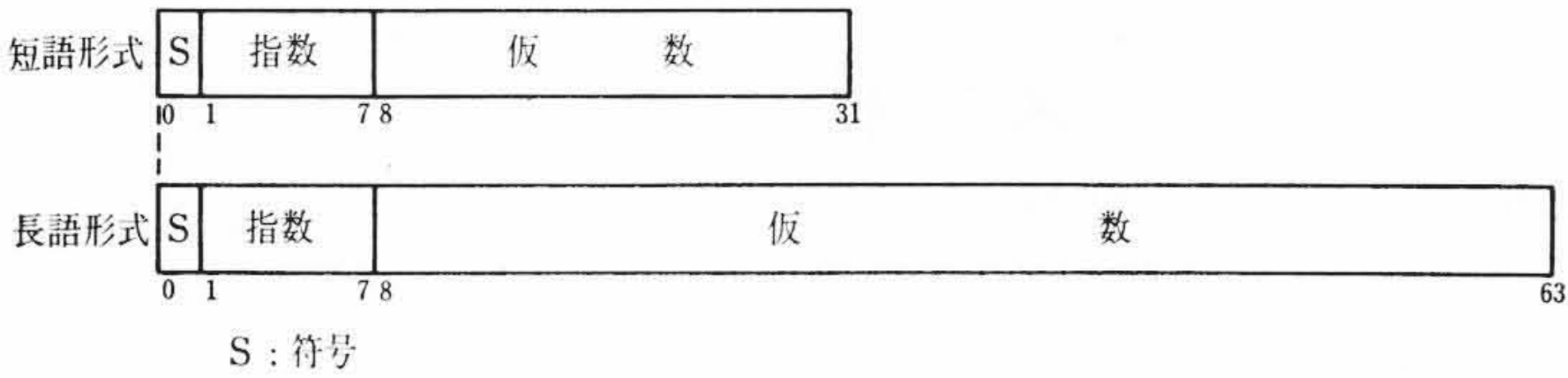


図2 浮動小数点の形式

浮動小数点演算には短語(32ビット)を扱うものと長語(64ビット)を扱うものとがある。演算数は図2に示すように、符号1ビット、指数部7ビットと仮数部(24あるいは56ビット)からなる。基数は16であり、7ビットの指数部は−64〜+63の範囲の指数を表示する。

2.4 入出力制御

8300以上では独立した指令プログラムによって動作し得るチャンネル制御方式をとっている。チャンネルには主として高速の入出力に使用されるセレクトアチャンネルと、低速の入出力に同時性をもたせて制御するマルチプレキサチャンネルとがある。指令プログラムは指令によって開始されると、以後は独立に実行される。

8100もチャンネル制御方式をとっているが、主プログラムによって植付けられた1命令の実行が終わればその動作を終了する。その間、主プログラムはその命令が終了したものとしてさきに進むことができる。8200でも一部の入出力命令について同様な方式をとっているが、その他のものについては、チャンネル方式によらず、主プログラムはその入出力命令の終了まで待たされる。

2.4.1 セレクトアチャンネル

複数個のトランクによって、複数個の入出力装置を接続できる

が、同時に動作させることはできない。磁気テープ装置、磁気ディスク記憶装置など、比較的高速な入出力装置の制御に使用される。

2.4.2 マルチプレキサチャンネル

8100では6個、8300では8個、8400/500では9個のトランクをもち、各トランクに接続した低速入出力装置をすべて並列に制御することができる。マルチプレキサチャンネルは最大256のサブチャンネルをもち、制御回路は各サブチャンネルに共通であるが、入出力が低速であることを利用して時分割で動作する。たとえば8300以上のあるトランクに128回線を制御する通信制御装置を接続すれば、各回線はそれぞれ別のサブチャンネルに対応し、同時に情報の送受が可能となる。

2.5 入出力標準接続

すべての入出力装置、あるいはその制御装置は、処理装置のトランクに入出力標準接続仕様に従って接続される。この仕様は8100と8200以上では多少異なるが、8200以上についてはまったく共通である。この標準化によって入出力の互換性が高まり、ユーザーの希望によって処理装置の入れ換え、入出力装置の入れ換えなどが比較的簡単にできるようになった。

8100で多少異なる仕様をとっているのは、この計算機が低コストの分野を特にねらったものであり、標準化の重みに多少耐えかねたためである。

3. 処 理 装 置

表1に8100から8500に至る5種の処理装置の主要な特性を示す。

3.1 基 本 回 路

8200以外では pair delay 25 ns の CML (Current Mode Logic)

表1 8000 シ リ ーズ 処 理 装 置 性 能 一 覧 表

		8100	8200	8300	8400	8500
主 記 憶 装 置	容 量 (バイト)	4k, 8k	4k, 8k, 16k	16k, 32k, 65k	16k, 32k, 65k 131k, 262k	65k, 131k, 262k, 524k
	サイクルタイム (μs)	1.5	2.0	1.44	1.44	0.84
	アクセス単位 (バイト)	1	1	2	2	4
ス ク ラ ッ チ パ ッ ド メ モ リ	容 量 (ワード)	—	—	—	128	128
	サイクルタイム (μs)	—	—	—	0.48	0.21
	アクセス単位 (ビット)	—	—	—	32+9	32+9
制 御 方 式		マイクロプログラム	直 接 配 給	マイクロプログラム	マイクロプログラム	マイクロプログラム
固 定 メ モ リ	容 量 (ワード)	1k	—	2k	2k	2k
	サイクルタイム (μs)	0.5	—	0.48	0.48	0.21
	アクセス単位 (ビット)	27	—	27	54	36
基 本 回 路		I C C M L	D T L	I C C M L	I C C M L	I C C M L
命 令 数	付 加 命 令	26	26	140	140	140
		5	—	4	4	4
演 算 速 度	10進のけた加算 (μs)	55.0	68.0	53.16	24.24	12.05
	2進32ビット加算 (μs)	43.5	62.0	22.08	8.88	1.79
	2進64ビット浮動小数点加算 (μs)	—	—	73.62	27.69	6.17
	10進のけた乗算 (μs)	821.0	—	512.02	178.70	80.41
	2進32ビット乗算 (μs)	—	—	125.00	65.64	7.77
	2進64ビット浮動小数点乗算 (μs)	—	—	478.74	186.55	20.90
データ1ミックス (単純データ処理)		1827.5	2266.0	1192.34	682.32	373.72
データ2ミックス (データ処理)		4599.0	9556.0	2589.80	2226.64	1095.12
ギブソンミックス (科学計算)		—	—	6189.70	2672.00	357.30
入 出 力 制 御	セレクトアチャンネル	1	1	2	3	6
	マルチプレキサチャンネル	1	0	1	1	1
	ト ラ ン ク 数	8	6	12	15	21
	演算との同時性 高速	1	1	2	3	6
	演算との同時性 低速	21	—	84, 212	128, 256	256
	最大転送速度 (kB/s)	285	500	695	465	1,000
	要 因 数	10	7	29	29	29
割 り こ み	外部割りこみ	無	無	有	有	有
	入出力終了割りこみ	有	無	有	有	有

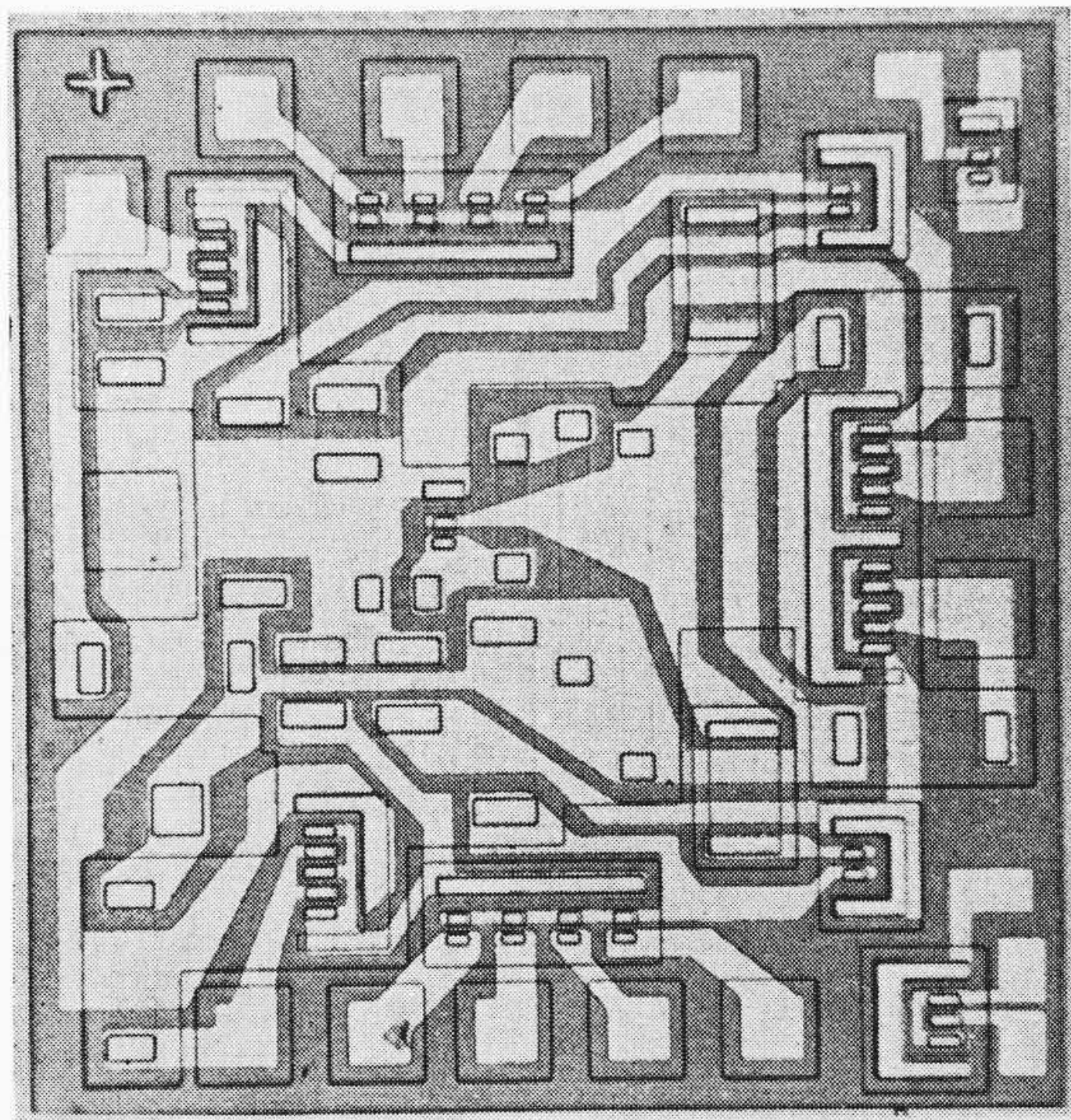


図3 チップ拡大

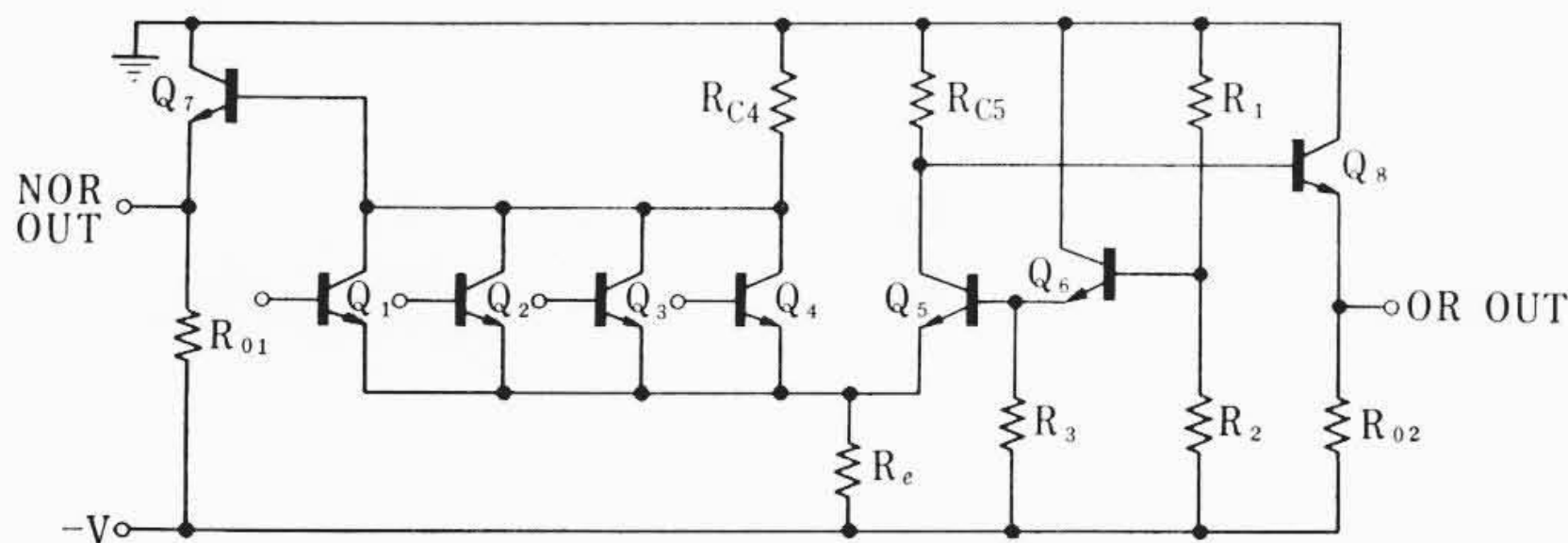


図4 CML 形集積回路の回路図

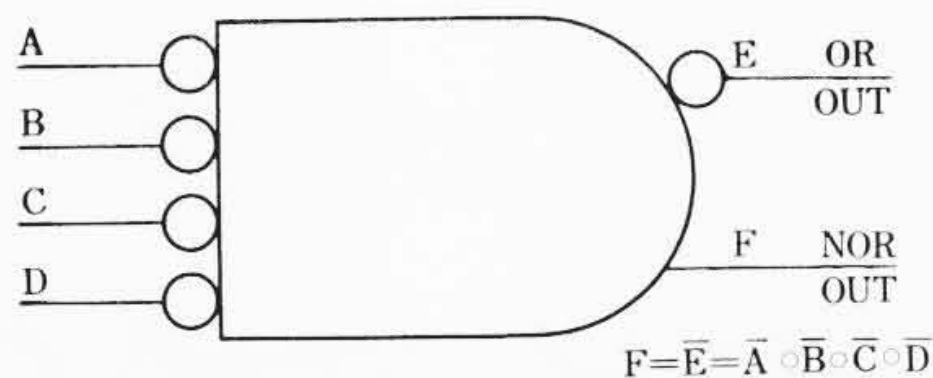


図5 CML 形集積回路の論理図

形集積回路を採用している。図3はそのチップの拡大写真、図4は回路の概要である。

8200の回路はシリコントランジスタおよびゲルマニウムダイオードによる pair delay 60 ns のものであるが、これは 8000 シリーズ全体の入出力制御装置の回路と共通である。

3.2 固定記憶装置

8200以外の処理装置はすべてマイクロプログラム制御によっており、このマイクロプログラムをたくわえるために固定記憶装置を使用している。8100, 8300, 8400 は UI コアにプラスチックベースの

表2 8000 シリーズ固定記憶装置の概要

処理装置	語長 (ビット)	容量 (語)	方式	サイクル時間 (μ s)
8100	27	1,024	UI コア	500
8300	27	2,048		480
8400	54	2,048		960*
8500	40	2,048	空心, 誘導, 結合	210

* オーバラップ制御を行なう

表3 8000 シリーズ主記憶装置

処理装置	深さ (バイト)	最小容量 (バイト)	最大容量 (バイト)	サイクル時間 (μ s)	磁心 外径/内径(ミル)
8100	1	4	8	1.5	30/18
8200	1	4	16	2.0	30/18
8300	2	16	65	1.44	30/18
8400	2	16	262	1.44	30/18
8500	4	65	524	0.84	20/12

薄い配線板を積重ねる方式のものを、8500 は空心の誘導結合方式のものを使用している。表2はこれらの固定記憶装置の仕様の概要を示したものである。

3.3 主記憶装置

各処理装置の主記憶装置の仕様の概要を表3に示す。8300 以上ではマルチプレキサチャネルのサブチャネルの状態をたくわえるための部分が、主記憶装置に含まれている。ただしプログラムにはこの部分を参照することはできない。

また 8300 では下記の高速記憶装置をも主記憶装置の一部で代用している。

3.4 高速記憶装置

8400, 8500 は各種レジスタに高速記憶装置 (サイクル時間はそれぞれ 300 ns および 210 ns) を使用している。これは語長 32 ビット、容量 128 語の記憶装置で、8400 では特殊磁心、8500 ではメッキ線がその素子である。

8300ではこれと論理的に同等のものが上述のように主記憶装置の一部として構成されている。

3.5 実装方式

図6に CML を実装したプラグインカードの外観を示す。このカードは 48 ピンのコネクタを取り付けた多層配線板(図7にその外観

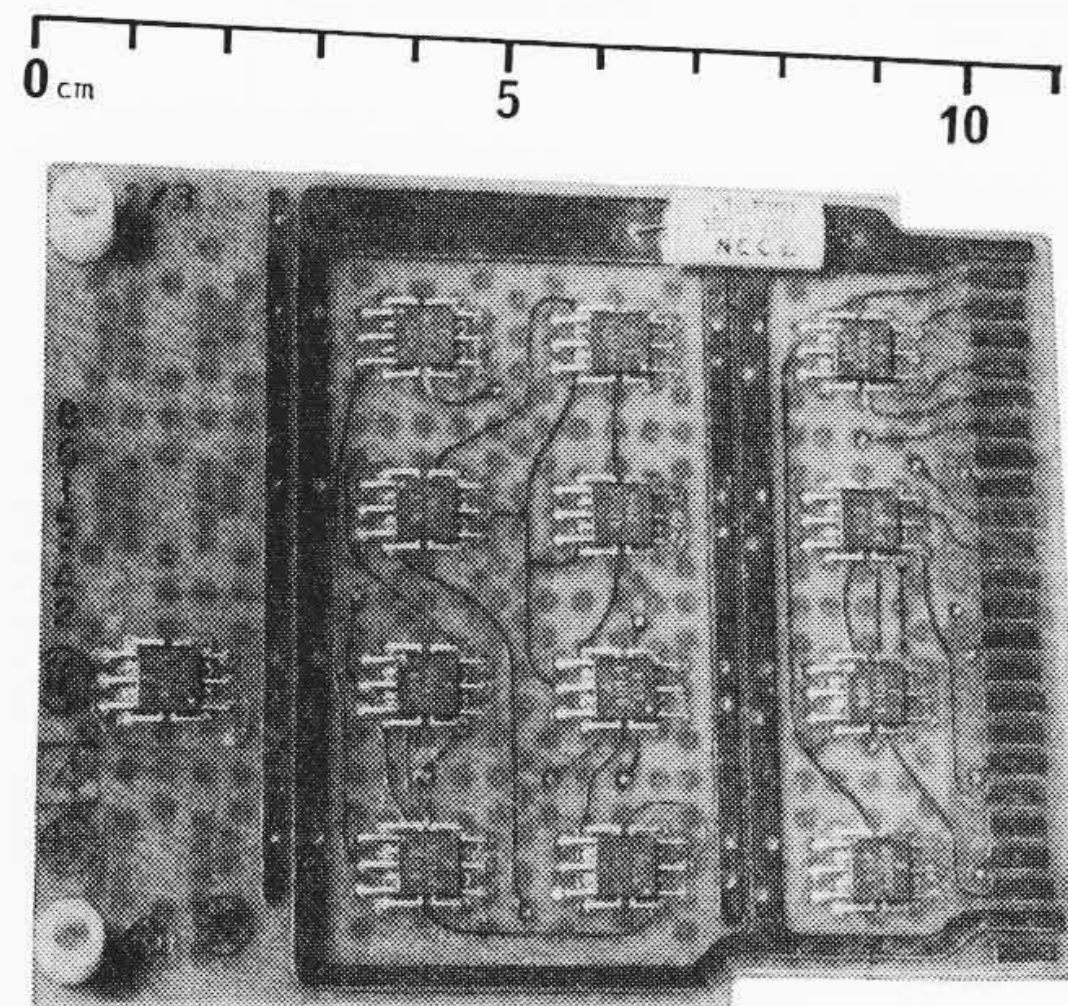


図6 プラグインカード

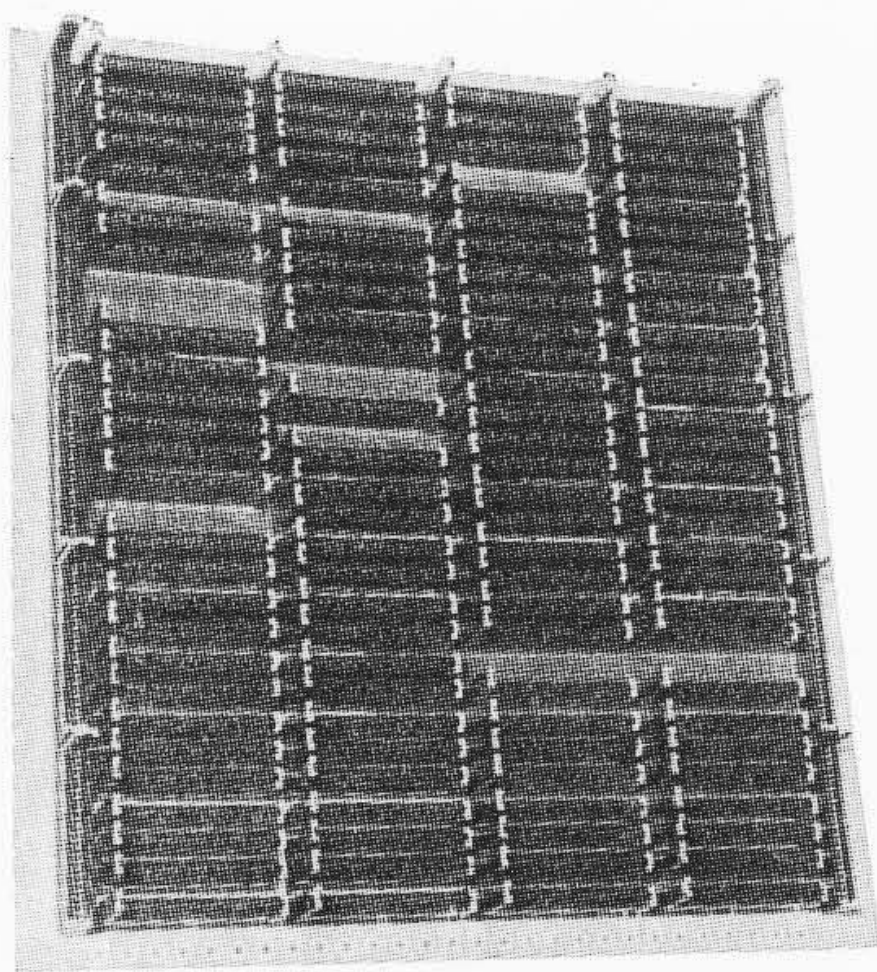


図7 多層配線板 (表)

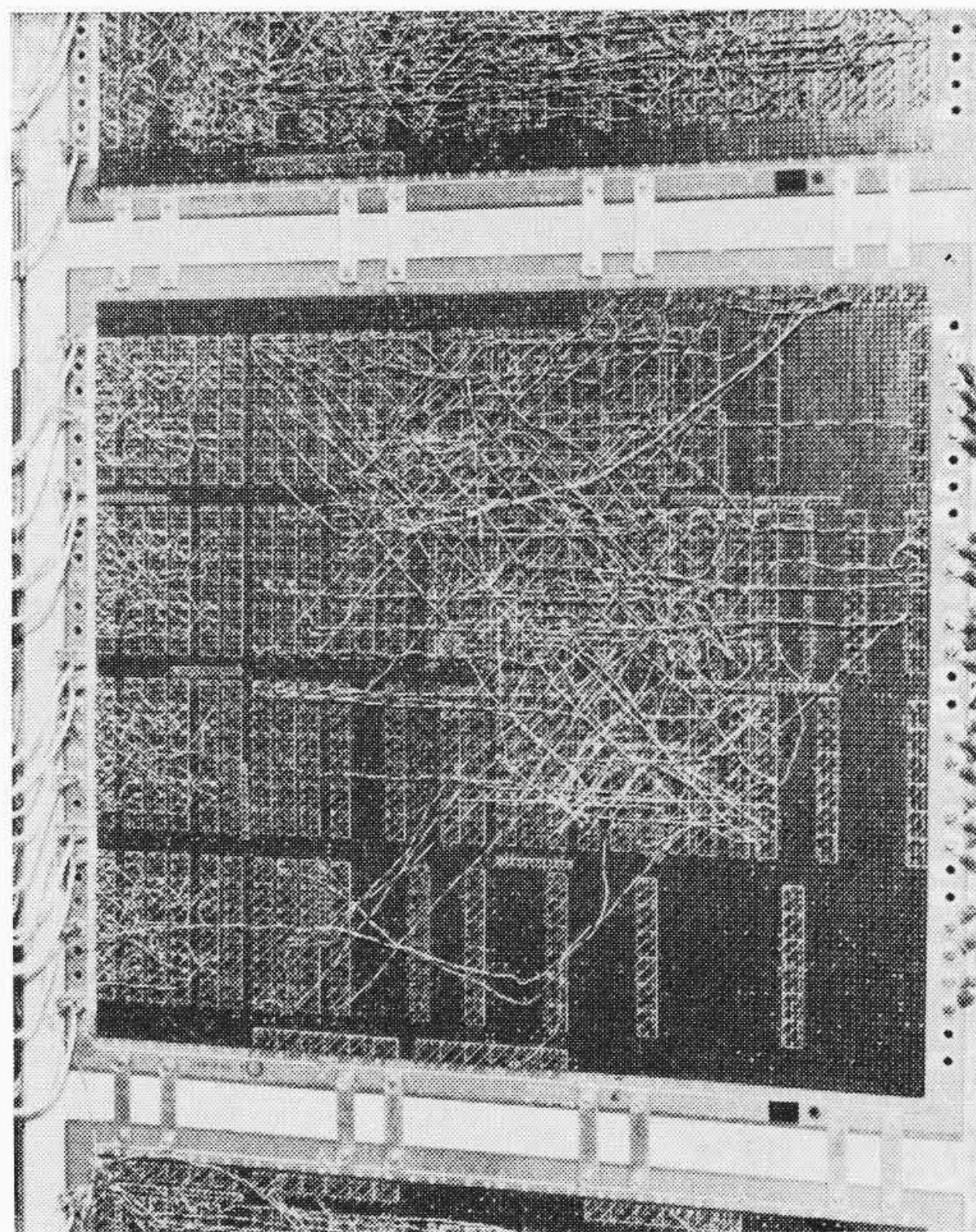


図8 多層配線板 (裏)

の一例を示す)に差し込まれる。

計算機の高速化は、好むと好まざるとにかかわらずその小形化を要求することになり、このような実装方式は必然的な技術の動向である。多層配線板の両面の外層が論理配線、内層が電源配線であるが、これらによって必要な配線の大部分がまかなわれる。残りの部分は図 8 に示すように通常の電線によって配線される。

4. 入出力装置

入出力装置およびその制御装置は 8100 用のものと 8200 以上に接続されるものとの 2 群に大別される。8100 用の場合制御装置は 8100 きょう体内に実装されるのが普通である。8200 以上の場合、制御装置が本体のきょう体に実装されるのはコンソールタイプライタと単チャネル通信制御装置だけであり、他はすべて別きょう体あるいは入出力装置と同一きょう体になっている。

前述のように制御装置を含めて考えると、入出力装置と処理装置との間のインターフェースは完全に標準化されているが、その標準は 8100 と 8200 以上とで異なる。

HITAC 8000 シリーズには多種類の入出力装置が用意され、システム構成に柔軟性を与えている。現時点でのその種類は基本形 51 種、変形を含めると 122 種、付加機構 54 種の多くに達する。

なお入出力制御装置で別きょう体になっているものは、磁気テープ制御装置、ランダムアクセス記憶装置、制御装置および多重通信制御装置である。

5. 通 信 制 御

単チャネル制御装置のほかに、8300 以上では最大 256 回線までの

制御ができる多重通信制御装置が用意されている。この制御装置は独立きょう体になっているが、きょう体内に各種のバッファを回線に対応して実装することができ、回線および通信方式の特殊性を吸収できるようになっている。

6. エミュレーション

8300, 8400 のようなマイクロプログラム制御の計算機では、固定記憶装置を入れ換えることにより、機械の性格をまったく変えてしまうことができる。このようにして、異種の計算機のまねをさせることをエミュレーション(Emulation)と呼ぶ。8300 には IBM 1401, 8400 には IBM 1401 および 1410 のエミュレータが用意されていて、固定記憶装置の追加によって、これらの計算機のプログラムが実行できるようになる(構成に制限はあるが)。ユーザーが IBM 1401 から 8300 に切換えようとする際、エミュレータがなければ、プログラムの変換は一時に行なわねばならないのに対して、エミュレータを使えば、8300 を 1401/8300 として使用しながら徐々に変換することができる。

エミュレータは命令実行時にそれを解釈し実行するので、トランスレータのように、高級な技法を使ったプログラムは手に負えないなどということはない。

7. 結 言

HITAC 8000 シリーズの概要について述べ、以下に続く諸論文の序説とした。



登録実用新案 第786689号

新 案 の 紹 介



村 田 良 雄

コ ン デ ン サ

低雑音増幅器において初段増幅用の真空管入力回路は外部磁界による誘導を受けないように考慮する必要がある。

しかし、従来の入力回路では信号源、グリッド、カソード、バイパスコンデンサがループ回路を形成しているため、電源変圧器などからの漏えい磁束と結束してハム誘導の原因となるという欠点があった。

この考案は上述のハム誘導を防止する入力回路用のコンデンサに関するもので、図面に示すようにコンデンサ本体に中空孔を設け、この中空孔の両端に円筒状の導体をそう入固定して端子とし、前記中空孔および導体を貫通して同軸にリード線を通したものである。

したがって、この考案のコンデンサを用いるときは入力回路を完全な同軸構造とすることができるので、外部磁界との結合を防止

し、ハム誘導を緩和することができる。(福田)

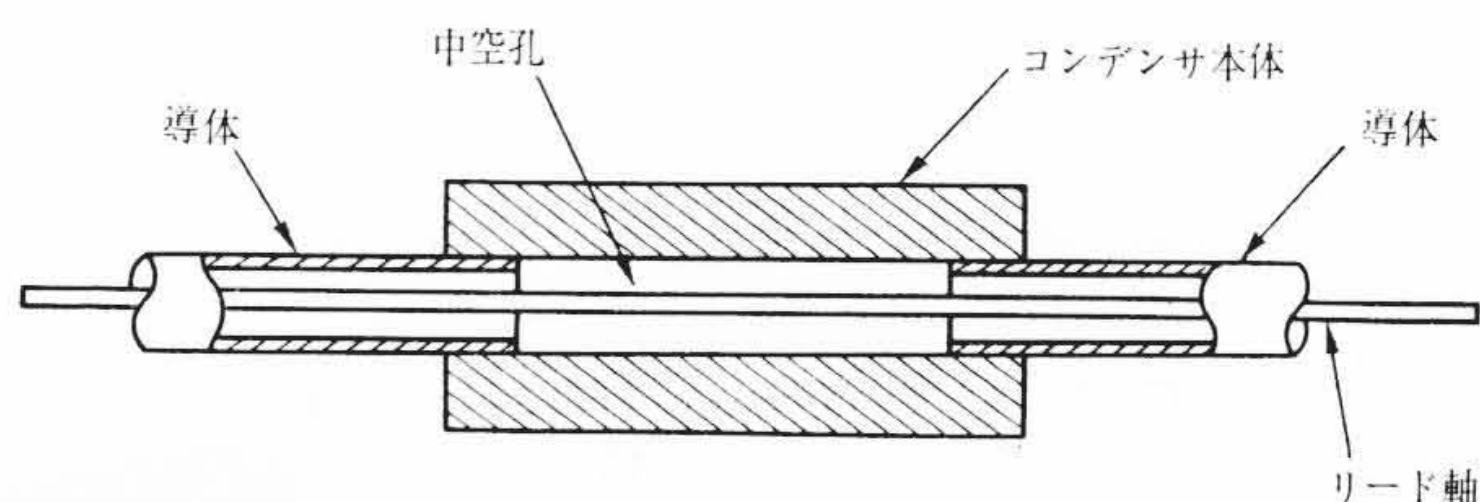


図 1