

H-8200 処 理 装 置

H-8200 Processor

山 岸 峻*
Takeshi Yamagishi朝 倉 俊 彦*
Toshihiko Asakura高 瀬 拓 士*
Takushi Takase

要 旨

HITAC 8200 システムは、小規模のデータ処理や、低価格の衛星計算機として設計された、データ処理装置である。H-8200 処理装置は独立した計算機として、より大きなシステムの衛星計算機としてあるいはデータ通信システムのリモートターミナルとしての機能と大形機並の高速性を有している。本処理装置はプログラム内蔵式の汎用計算機として、内部記憶容量 4 KB, 8 KB, 16 KB の 3 種があり、その構成、特長および仕様概略について解説する。

1. 緒 言

1965 年電子工業審議会が出した予想によると、わが国の電子計算機の設置台数は、1970 年台には 15,000 台にのぼると推測されている。このうち 11,000 台は、使用料 100 万円 / 月以下の、小形電子計算機で占められるものと予想されている。

このように、ここ数年急激に小形電子計算機の需要が伸びてきたのは、市場の要求に、つぎのような傾向がみられるからである。

(1) 超小形電子計算機⁽¹⁾ (PCS, 電子会計機など) ユーザーが、本格的 EDPS にレベルアップするため小形電子計算機を求めていること。(2) すでに、保有しているユーザーは、事業の規模によって計算機械化が拡張できる EDPS のファミリシリーズに大きな魅力をもっていること。(3) 企業内でのトータル・システムの一環として小形計算機を望んでいることなどにある。このような、小形電子計算システムの市場要求に対し、HITAC 8200 は、高速小形電子計算システムとして開発設計されたのである。たとえば (1) 他機種への互換性—他の HITAC 8000 シリーズのプログラムとデータ上の互換性をもち、さらに大形システムの基本的機能を備えているためシステム移行が可能である。(2) 高速性と低価格—小形計算機に属しながら価格に対し高性能の処理装置および入出力装置を配している。(3) HITAC 3010/4010 の実績と経験から、より使いやすい充実したソフトウェアが開発されている。(4) 供給電力が商用 200 V をそのまま使用できるなど市場の各分野ですぐれた力を発揮するものと期待されている。すでに HITAC 8200 は、昭和 41 年 4 月、日立ソフトウェアセンタに納入して以来、二十数台の受注実績をもっている。本論文では、HITAC 8200 システムと処理装置のハードウェアの面を主体に、特長と構成について解説する。

2. システムの特長

HITAC 8200 は、コスト・パフォーマンスの強化を計るため H-8200 処理装置の記憶容量を、4K バイトから 16K バイトの 3 種類とし、システム・プログラムにおいて COBOL, FORTRAN の使用を可能にする設計方式とした。納入現地におけるメモリ増設は、メモリストックとメモリ周辺回路のプラグインを組み込むことにより数時間内で顧客引渡しが可能である。また入出力装置においては、HITAC 8200 専用機器として、H-8422 形磁気テープ装置 (情報処理速度 15K バイト / 秒、記憶密度 400 BPI) を開発し接続できる方式をとった。これにより本システムは、他の HITAC 8000 システムに比較し 15K, 30K, 60K, 120K バイトの磁気テープ装置と広範囲なしかも完全なハードウェア上の互換性をもち、そして HITAC 8100 とは磁気テープを介して情報の互換性を備えている。特に小形

* 日立製作所神奈川工場

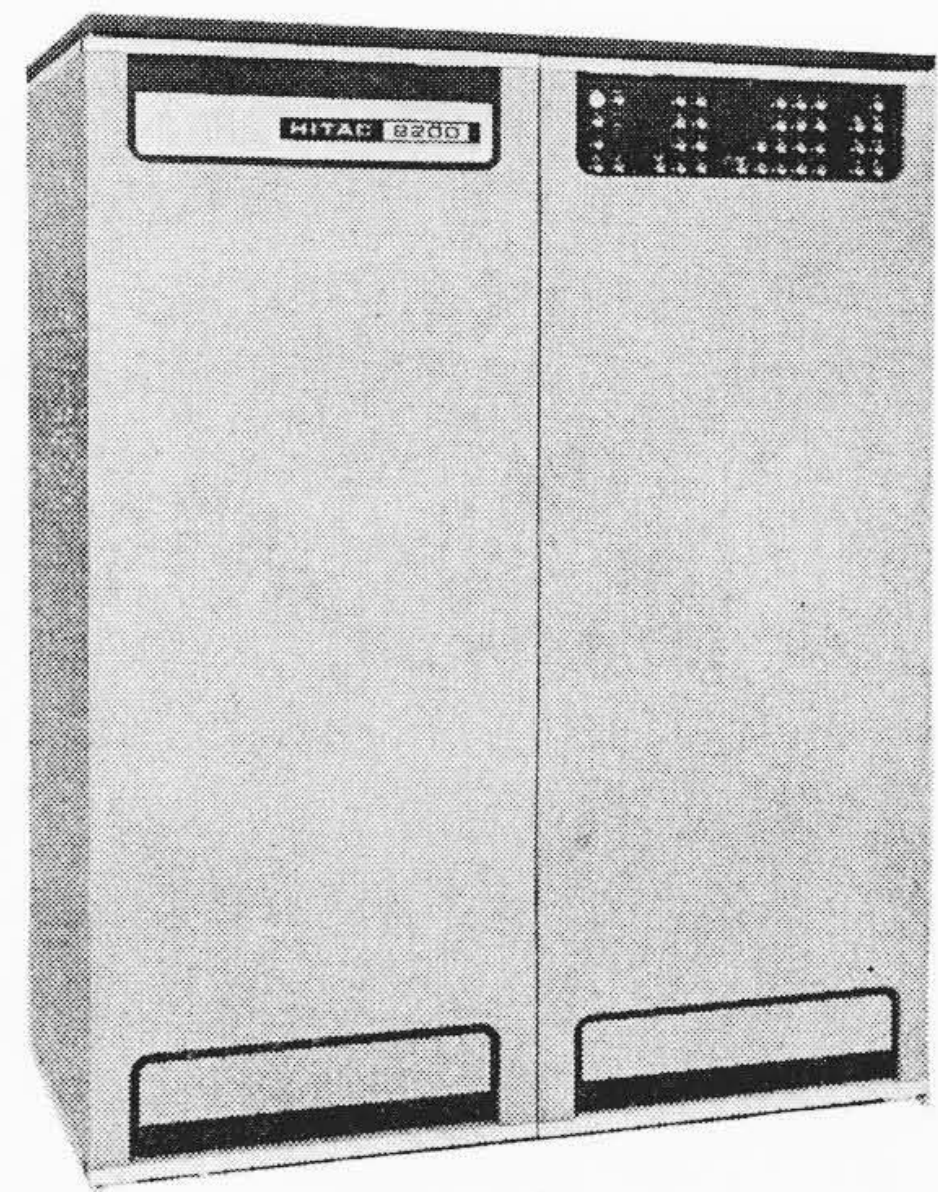


図 1 処 理 装 置

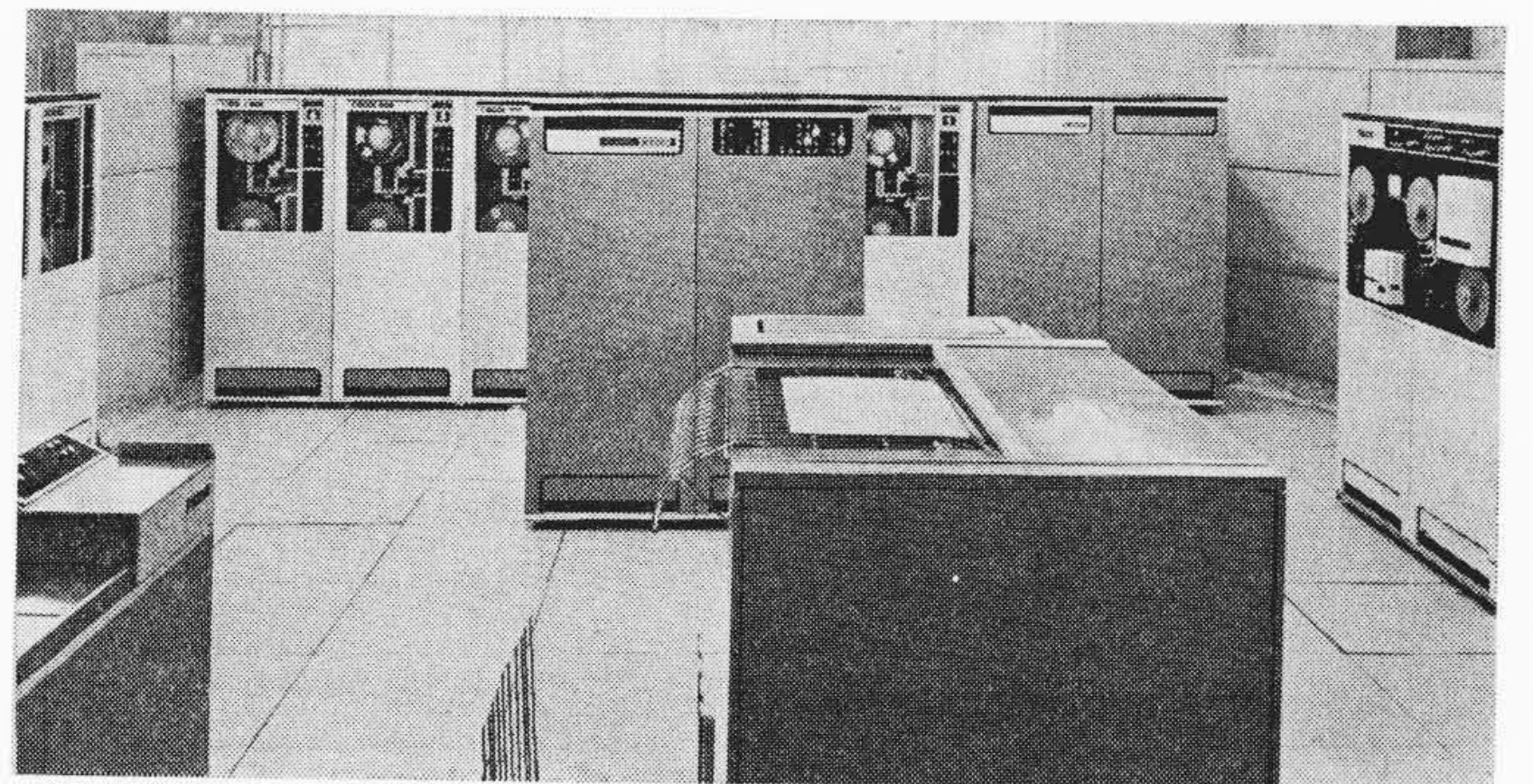


図 2 HITAC 8200 システム

電子計算機の互換性として、HITAC 8100 システムとは、完全なプログラム上の共通性を有し、磁気テープ装置 (H-8422 ↔ 8421) およびテープ読取り機 (H-8221/8222 ↔ H-8229) を介して情報の交換が可能である。

HITAC 8200 システムの特長は次の諸点にある。

(1) 処理装置のメモリサイクルは、HITAC 3010 の $7 \mu s$ または $3.5 \mu s$ に比べ $2 \mu s$ とさらに高速化され、一つの計算ステップに要する時間は 5 ケタ ± 5 ケタの演算で $56 \mu s$ で実行できる。(2) 入出力装置に自己停止機能をもった装置に対し、AUXILIARY 命令によって同時処理機能が可能である。また Co-Sharing の方法により Card-to-Tape, Tape-to-Printer のような 2 個の入出力ルーチンを同時にコアメモリにロードし、並行処理を行なうことができる。(3) 2 レベルの処理状態があり、それぞれプログラム・カウンタをもっているため、割込みの処理を短時間に行なうことができる。

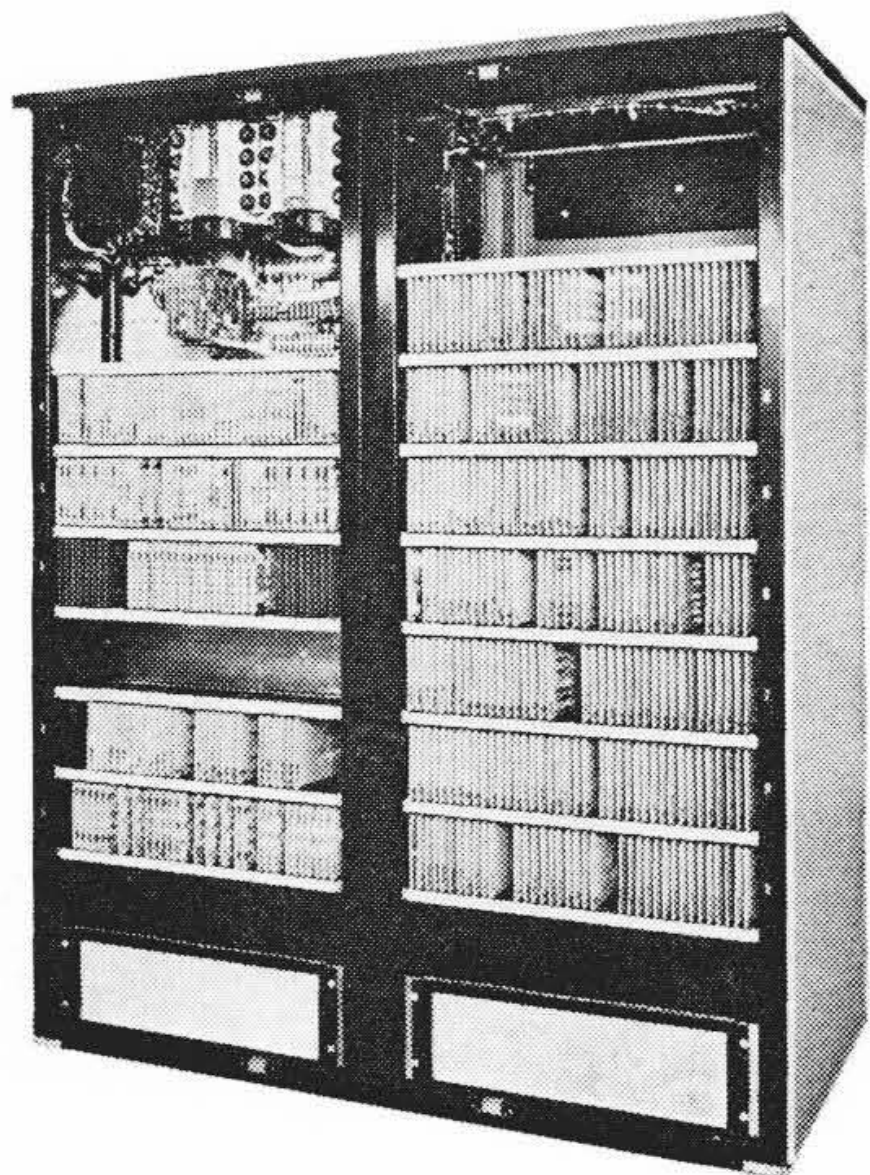


図 3 処理装置の内部構造

(4) 1 字は 8 ビット+パリティよりなるバイト表示する結果 256 種の文字が扱え、EBCDIK コードを使用できるほか、かな文字も英数字と同じレベルで扱える。PACK 形式で演算を行なうことによって、数字は 1 バイトに 2 けた詰めることができ、コアメモリおよび磁気テープ・ファイルのスペースが節約され処理時間が短縮できる。(5) 処理能力に比べて価格が低廉、すなわち紙テープ・システムで月当り使用料が約 100 万円、最大構成に近い高性能システムでも約 250 万円である。(6) 8000 シリーズ標準入出力接続仕様により、処理装置と入出力装置との接続が標準化され、新しい装置の追加、変更が非常に容易となり、それに要するダウン・タイムもきわめて短く、プログラムの変更の必要もない。(7) プログラミングシステムが完備している。たとえばカードベース、紙テープベース両面において Assembler, COBOL, FORTRAN, RPG, Loader, Sort-Merge, Peripheral Routine, Program-Diagnostic, Library-Maintenance などが完備している。

3. 処理装置の構成

本処理装置は大別して主記憶装置、演算部、プログラム制御部、入出力制御部、操作パネル部および電源部よりなる。

3.1 主記憶装置

データおよびプログラムを記憶する磁気コア記憶装置と記憶装置制御回路よりなる。

主記憶装置は、30 ミルの磁気コアを 32×32 面 4 マット = 4096 ビットの構成に編線した電流一致方式のビットプレーンよりなる。そしてこのプレーン 18 面をスタッキングし、8,192 バイトを構成させケース内に組込んだものである。そして X、Y 駆動線、センス線ならびにインヒビット線を約 15cm のフレキシブルなリード線にて外部へ引出し 3 個のコネクタにより処理装置本体へ接続を可能にし、保守にも容易な構造としてある。このスタックの X、Y 駆動線のアドレス選択用ダイオードマトリクス 8 枚は、演算部に用いているプラグイン寸法に合わせてあり、コネクタにより容易に取はずしできる構造である。スタックは、コネクタへ引出されるが、配線の違いによって A 形、B 形の 2 種類があり、温度補正のためのサーボ制御用の単一コアが装着されている。

HITAC 8200 では、1 バイトがアドレス可能な最も小さい単位である。メモサイクルタイムは $2 \mu\text{s}$ で、1 バイトの情報が、記憶装置からレジスタへ移され、さらに記憶装置に再書込みが行なわれる。主記憶装置内のおのおののバイトは 2 進で指定される。アドレス指定には 14 ビットを使用し最大 16,384 バイトのアドレス指定が可能である。Memory-Wrap-Around は主記憶装置の記憶容量により

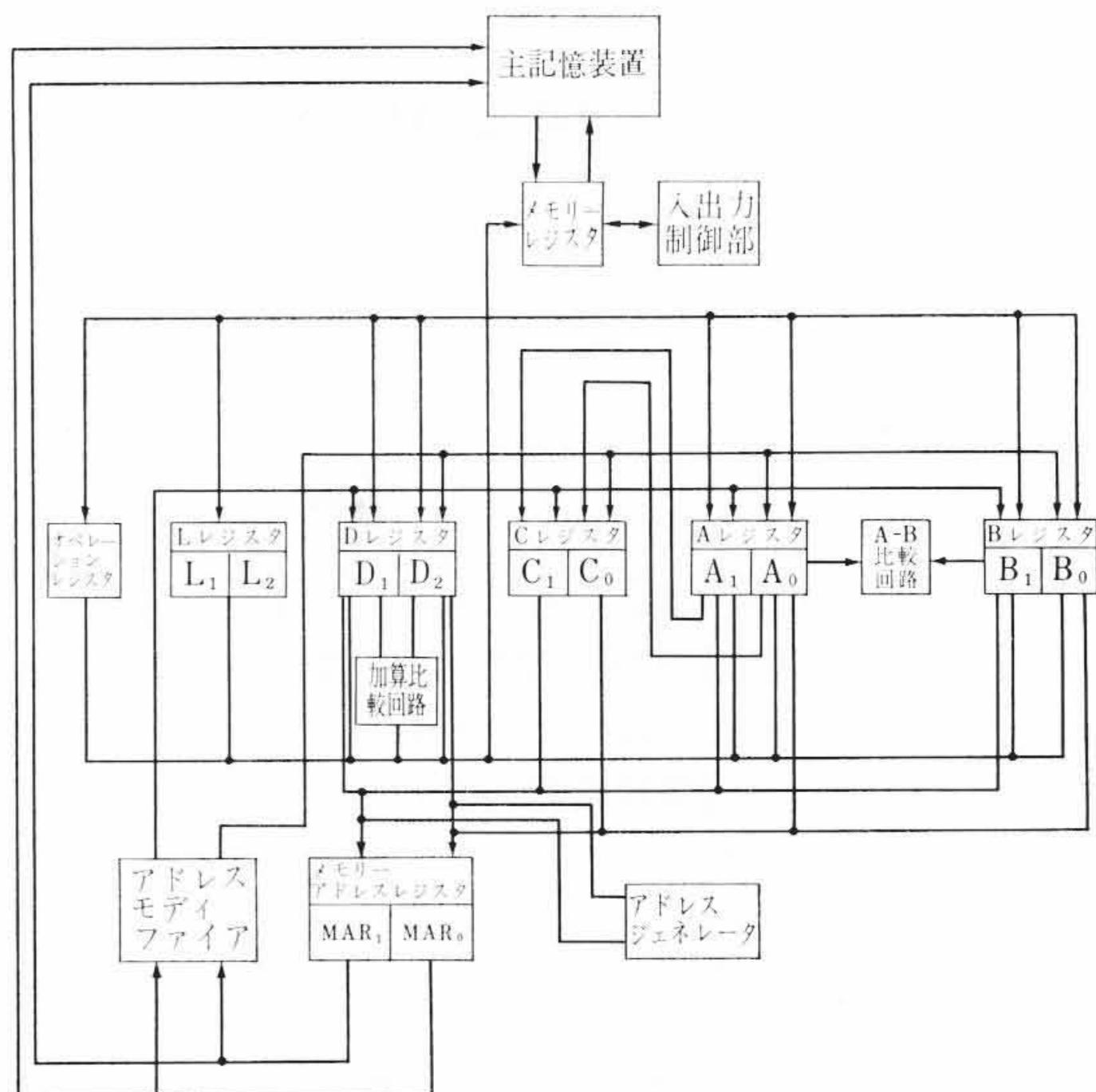


図 4 H-8200 処理装置ブロック図

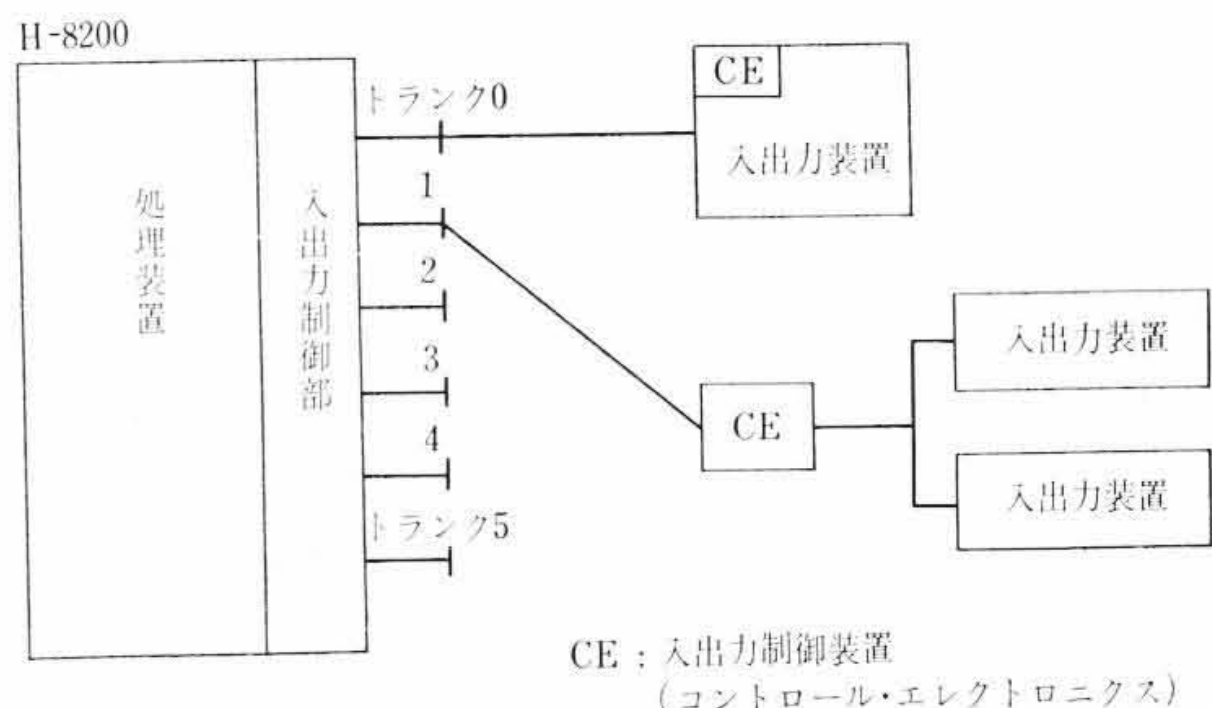


図 5 標準入出力接続方式

4,096, 8,192 あるいは 16,384 バイトで起こる。

HITAC 8200 では 2 進数によるアドレス指定を行なうが、2 進数によるアドレスの表示はめんどうなので処理装置内での文字アドレスの表示は 16 進法で行なわれる。

主記憶装置の最初の 50 バイトに規定番地と称して処理装置それ自身のために使用される。この部分は、レジスタ、入出力動作の取扱中の一時記憶や割込み動作に使用される。

3.2 演算部、プログラム制御部

演算部は 2 進および 10 進の 1 バイト演算機能を持ちすべて固定小数点演算で行なわれる。D レジスタ、加算比較回路を中心に実行される。

プログラム制御部は主記憶装置に記憶された命令の解釈と実行を行なう。プログラム制御部はオペレーションの順序を監視するための、インディケータとレジスタを持ち、自動的なチェックや標準入出力接続方式のトランクを介して情報のやり取りを行ない入出力機器の制御を行なう。プログラム制御部はおのおのの命令を実行するのみならず、主記憶装置から命令を取り出し、それを適当なレジスタにおく。この動作をスタティサイズ (Staticizing) と呼ぶ。命令のスタティサイズの時間は次のとおりである。

4 バイト長命令— $16 \mu\text{s}$ 6 バイト長命令— $20 \mu\text{s}$

3.3 入出力制御部

HITAC 8200 システムには次の入出力装置を接続できる。カード読取り機、カードせん孔機、テープ読取りせん孔機、ラインプリンタ、磁気テープ装置、光学文字読取り機、問合せタイプライタ、インタフェース・スイッチ、データ交換制御装置、単チャンネル通信制御装置以上の各装置を任意に組合せ接続することができる。入出力制御部は、入出力制御装置を介し入出力装置の制御を行なう。HITAC 8200 の入出力装置にはすべて標準入出力接続方式を採用している。

表1 命 令 の 形 式

ハーフワード		ハーフワード		ハーフワード	
バイト 1	バイト 2	バイト 3	バイト 4	バイト 5	バイト 6
OP	L	D ₁		D ₂	
OP	L ₁ L ₂	D ₁		D ₂	
OP	TU	D ₁		D ₂	
OP	M	D ₂			
OP	TU	D ₂			

入出力制御部には6本のトランクがあり、1トランクに最大16台の入出力装置を接続することができる。そして一時に一つのトランクを制御し、バッファ装置を除き、すべての入出力操作はシリアルに行なわれる。しかしながら Read Auxiliary または Write Auxiliary 命令を用いることにより同時処理ができる。

3.4 操作パネル部

H-8200 操作パネルは、制御スイッチおよび表示ランプより構成され計算機の操作と保守に使用される。処理装置の右上に位置し操作パネルと保守パネルの二つに分かれている。

操作パネルは、必要な押ボタンと表示器で、プログラムコード、プログラムの開始と修飾、読み取りあるいは書き込みレジスタの内容の表示を行なう。保守パネルは、処理装置の論理と制御機能の解析を容易にするために、必要な押ボタンと表示器からなる。このパネルは保守員によって使用される。

3.5 電 源 部

処理装置の入力電源は AC 200V ±10%、3 相 3 線式である。電源部は処理装置操作パネル裏面上段に実装されていて、三相トランス、パワートランジスタ、円筒形放熱器、プラグインよりなっている。安定化直流出力は、

+30V, -30V, +5V (処理装置の論理回路に供給される)
そして、-20V, -14V (主記憶装置に供給される) である。

4. 処理装置の性能

4.1 命 令 の 形 式

HITAC 8200 には 26 の命令があり、これらは演算、論理、データ処理、判定、制御および入出力の各動作に用いられる。

命令の基本形式は 4 または 6 バイト長である。すべての命令はハーフワードの端 (偶数番地) から始まる必要がある。21 個の命令は、2 アドレス形式で 6 バイトの長さを持ち、残り 5 個が 1 アドレス形式で 4 バイトの長さの命令である。HITAC 8200 では最大 16,383 番地まで、アドレス指定を行なうことができる。これら命令の形式は表 1 のとおりである。

- (1) OP 部.....オペレーションコードで 1 バイトで構成される。
- (2) L 部.....処理するデータ長をバイト単位で指定する。
1 バイトで構成されるので、最大 256 バイトのデータを取扱うことができる。L₁, L₂ は第 1 演算数と第 2 演算数が異なるときで、それぞれバイト数より 1 減じた数を指定する。
- (3) T, U 部.....入出力命令の場合に用いる。
T は 4 ビットから構成され、入出力装置を接続する処理装置の 6 本のトランクに対応する。U は 4 ビットから構成され、T で指定したトランクに接続している入出力装置の番号を指定する。T と U を指定することによりシステム接続された入出力装置が選択される。
- (4) M 部.....1 バイトから構成され、プログラムの順序を変更する条件を指定する。

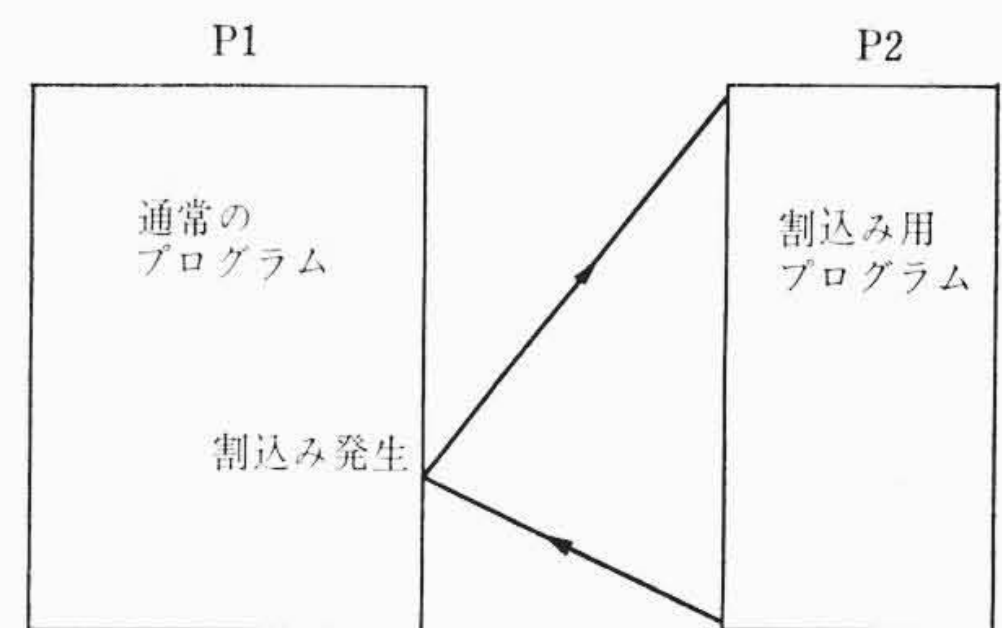


図 6 HITAC 8200 の割込み方式

- (5) D 部.....HSM の番地を指定する。加工すべきデータの記憶されている番地あるいは条件によってプログラムの順序を変更しようとする際、その命令の記憶してある左端の番地を指定する。D 部は D₁ と D₂ に区分される。D₁ は 2 バイト (16 ビット) で構成され、第 1 演算数を記憶してある左端番地を指定する。D₂ は D₁ の第 1 演算が第 2 演算数に変わる以外同様である。なお D₁, D₂ ともに 16 ビットで構成されるが、HITAC 8200 の最大記憶容量は 16,384 バイトでありビット数は 14 ビットとなる。上位 2 ビットは常に 00 である。

4.2 割 込 み 機 構

4.2.1 HITAC 8200 の割込み

HITAC 8200 は、プログラム・カウンタを 2 個持っている。1 個は処理状態 (P1)、1 個は割込み状態 (P2) でおのおの記憶装置の 40, 41 番地と 44, 45 番地を占有する。

処理状態 (P1).....この状態では通常のプログラムが実行され、プログラムは P1 カウンタの制御下で実行される。この状態にあるときにのみ割込みが可能である。割込みがかかると自動的に割込み状態に移る。

割込み状態 (P2).....この状態では割込みの原因解析と処理のプログラムが実行され、プログラムは P2 カウンタで制御される。この状態にあるときは、割込みを行なうことはできない。Set P2 Register 命令を実行することによって、処理状態に戻る。

4.2.2 割込みの要因

HITAC 8200 で割込みを起こす要因には次の (1) と (2) がある。

(1) 入出力装置からの外部割込み要求

ここでいう入出力装置とは、問合せタイプライタ、単一チャネルに通信制御装置、データ交換制御装置である。これらの割込み要求は問合せやデータの伝送を処理するものである。

(2) オペレーション・コード・トラップによる割込み要求

HITAC 8200 で定義されている 26 種以外の命令がくると、割込みが生ずる。この割込みを使って 26 種以外の命令をシュミレートすることができる。処理装置に割込みがかかると、割込みインディケータがセットされる。割込みは命令が終了するごとに、割込みインディケータがセットされているか否か調べる。セットされている場合には、その時点で割込みが起り制御は P1 から P2 の状態に移る。

(3) 入出力装置からの割込み要求の受け入れ禁止

2 種類の割込み要因のうち、入出力装置からの外部割込み要求を禁止することができる。これは記憶装置の 49 番地を使い、その 49 番地の下位 6 ビットをマスクすることにより、対応するトランクからの割込みを禁止することができる。

割込み受付.....対応ビットが 1 のとき

割込み禁止.....対応ビットが 0 のとき

たとえばマスクが 00100011 のとき、割込み要求はトランクが 0, 1, 5 のものについてのみ受け付けられ、それ以外のトランクからの

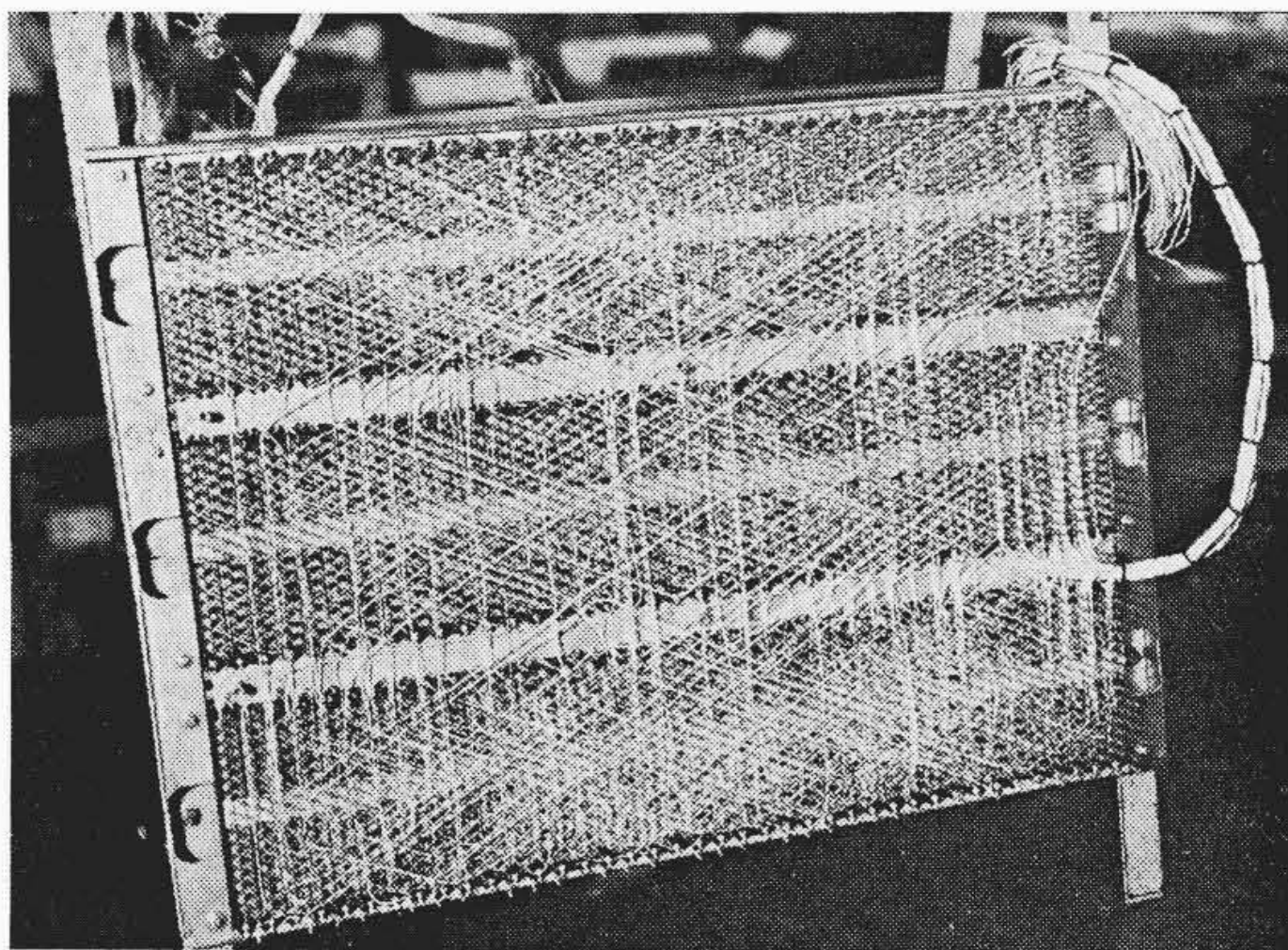


図9 内部布線方式

最短距離になるよう配線されており、信号の遅れ、減衰など十分考慮された方式である。

5. 結 言

HITAC 8200 は、演算の高速化、信頼性の向上、装置の小形化、コストの低減を図るため装置には信頼性の高い電子部品を各所に採用している。特に論理回路を構成するプラグインには、コンポーネントモジュール (CR の複合部分品) を大幅に採用し、メモリ周辺回路には特性向上のため集積回路を用いている。また本体 row の布線を従来機種には見られない印刷回路板方式にした。この結果組立作業、検査作業が少なく、保守が容易になっている。一方ソフトウェア面では、わかりやすく能率的な各種プログラミング・パッケージが豊富な実績と経験の上に立って用意されている。

このように本装置は、ハード・ソフトともに最近の技術を駆使して開発されたもので、信頼性のある小形電子計算機として、公共団体、一般中堅企業から期待されている。

参 考 文 献

- (1) 日本電子工業振興協会編：1966日本の電子計算機 (昭41-6)



新 案 の 紹 介



登録実用新案 第778195号

宇多村幸彦

回 転 陽 極 形 X 線 管

従来の回転陽極形X線管は図1に示すように、かさ形ターゲット板の中央部のかさ形上面が平らで、これを保持固定する止めネジ部はその上面にさらに突出した構造であるため、このターゲット板の中央部およびネジ部からの二次散乱X線が主X線放射方向にも放射されることになり、けい光板あるいはフィルム上にX線像を得る場合カブリあるいはボケなどを生じて鮮鋭度がはなはだしくそこなわれるという欠点があった。

この考案は上述のような欠点を取り除くために、図2に示すように回転されるかさ形ターゲット板の焦点部をはずれるターゲット中央部およびターゲット板を保持固定する軸先端部と止めネジ部とを、かさ形ターゲット板の上面部よりくぼむようにし、この中央部

軸先端部および止めネジ部などの表面から放射される焦点外二次散乱X線の大部分が、主X線放射方向に放射されないようにしたものである。(福田)

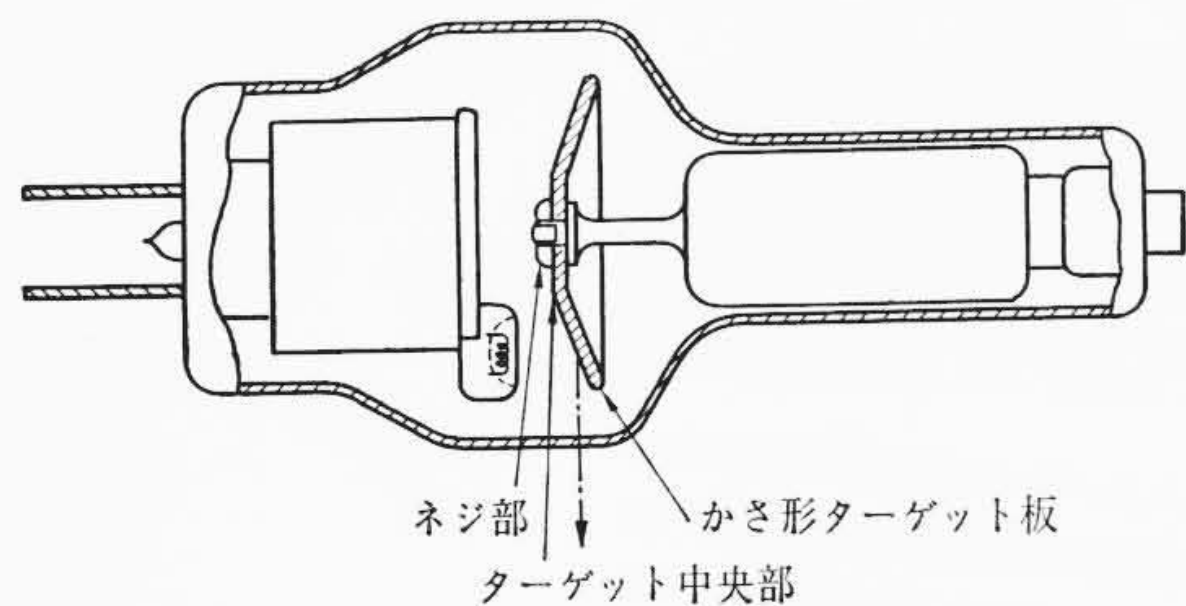


図 1

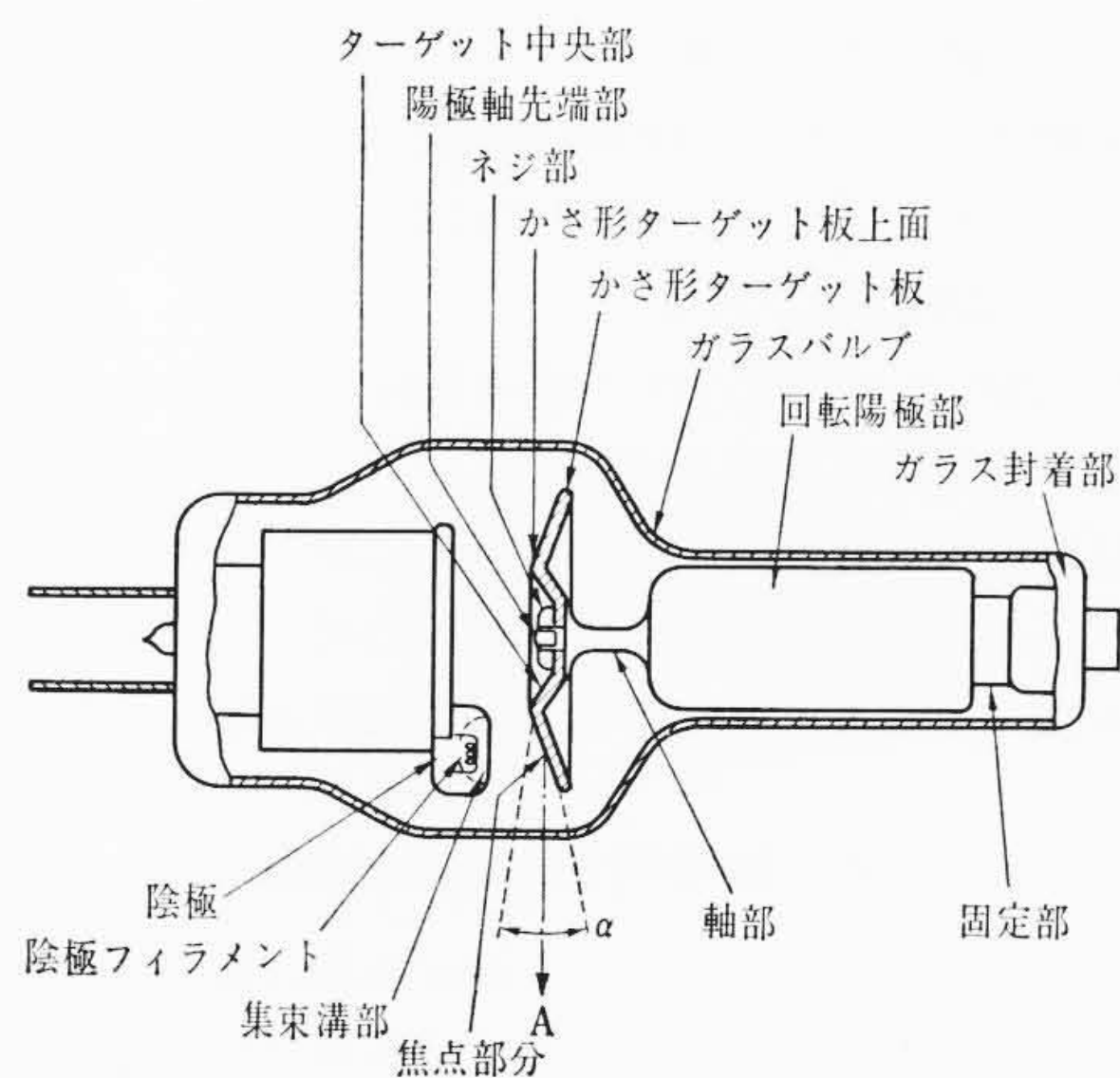


図 2