

H-8300/8400 処 理 装 置

H-8300/8400 Processor

萱 島 興 三*
Kôzô Kayashima

要 旨

8000シリーズ電子計算機システムの中核をなす8300/8400処理装置についてその論理構造、マイクロプログラムの機能とその働き、入出力制御方式などについて概説する。

8300/8400処理装置は、論理基本回路、主磁心記憶装置、固定記憶装置などに、同じハードウェア技術が採用されているが、主磁心記憶装置の容量、レジスタ記憶装置の方式、論理構造の深さなどの差によって、ソフトウェア的には完全な互換性を有しながら、処理能力、製品コストに差を有し、8000シリーズとしてファミリーを構成している。新しい試みとして、マイクロプログラム制御方式によってはじめて可能となった従来の計算機のプログラムを命令のレベルで完全に模擬するエミュレータについても、本稿は簡単に説明している。

1. 緒 言

8300および8400処理装置は、8000シリーズの中核をなす処理装置であって、レンタル価格200万円から1,000万円程度のシステムに適合するよう設計されている。データ処理のみでなく、科学用、実時間計算用、通信回線を利用したシステムにも適合する。8300形処理装置および8400形データ処理システムの写真を図1および図2に示す。処理装置の特長としては、つぎの点があげられる。

(1) 主記憶装置は、サイクル時間1.44 μ sの磁心記憶装置であって、容量は

8300: 16K, 32K, 65Kバイトの3種

8400: 16K, 32K, 65K, 131K, 262Kバイトの5種

である。

(2) 128語(1語4バイト)のレジスタ記憶装置をもつ。

8300形では磁心記憶装置の一部分、8400形ではサイクル時間300nsのフェライト磁心による独立した記憶装置となっている。

(3) 論理回路の逐次制御にマイクロプログラム方式を採用しており、実効サイクル時間480nsの固定記憶装置を用いている。

マイクロプログラムは、8300では27ビット2,048語、8400では53ビット2,048語である。

(4) 1段当たりの論理遅れ7nsの電流切換形モノリシック固体集積回路を使用している。

(5) 低速の入出力機器を多数台同時に動作させるためのマルチプレクサチャネルが用意されており、8300では192台まで、8400では256台までの入出力機器を同時に動作させることができる。

2. 論理構造と逐次制御

8300および8400形処理装置は、論理演算、固定小数点演算、浮動小数点演算、10進演算、分岐および特殊制御など合計144種類の命令系をもっているが、これらの命令はすべてより単純なマイクロ命令により実行される。このマイクロ命令は、固定記憶装置の中にたくわえられており、このような方式を採用することによって、つぎのような特長が生ずる。

(1) 論理構造が画一化されかつ単純となり、設計および保守が容易になる。論理構造は単にマイクロ命令の仕様によって規定され、命令がいかに複雑であっても、これと無関係に設計される。

(2) 命令を追加あるいは変更することがきわめて容易である。配線による論理を変更するよりも、固定記憶装置のパターンを変更するほうがずっと容易である。このため、固定記憶装置のサイ

* 日立製作所神奈川工場

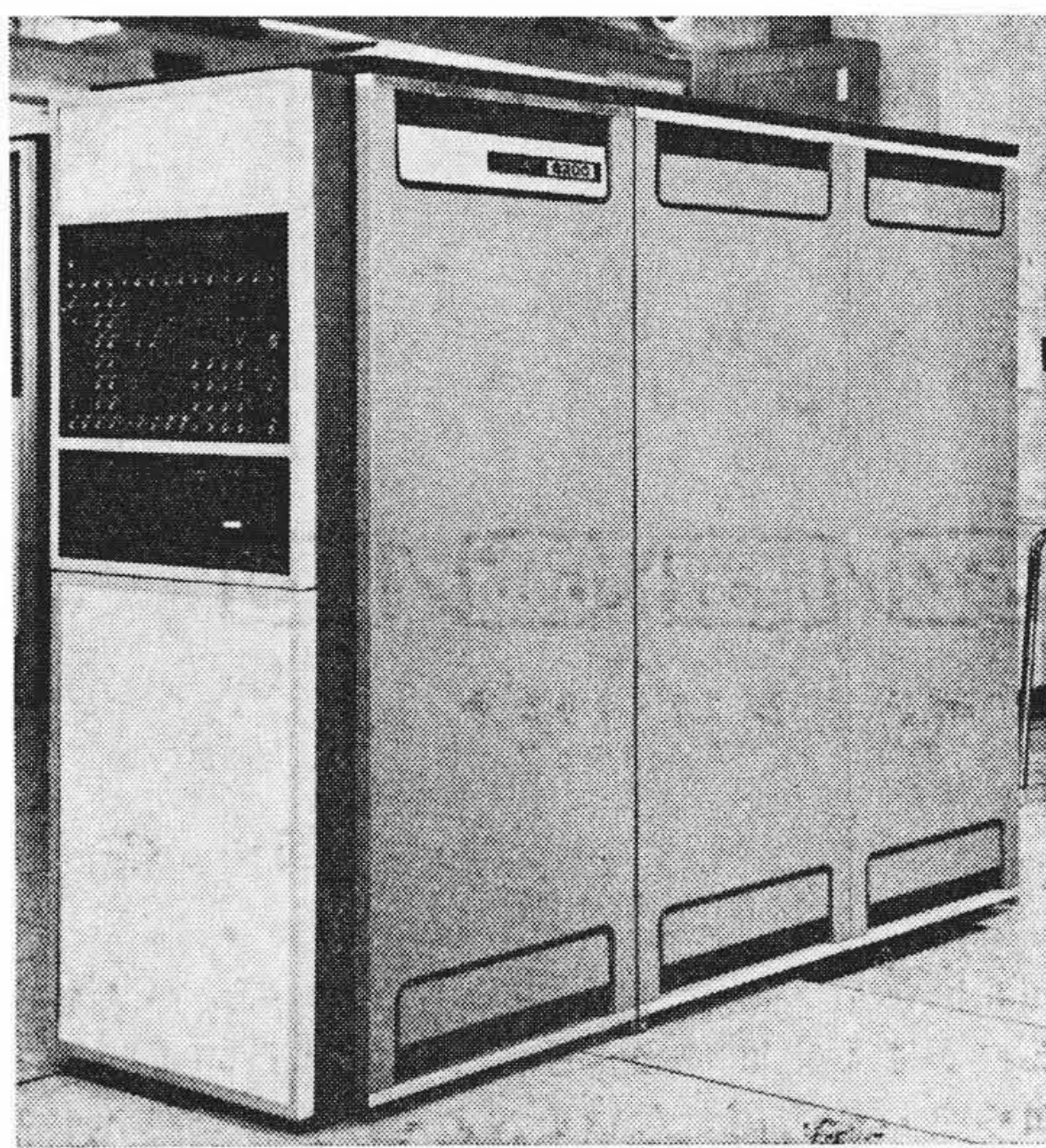


図1 8300形処理装置

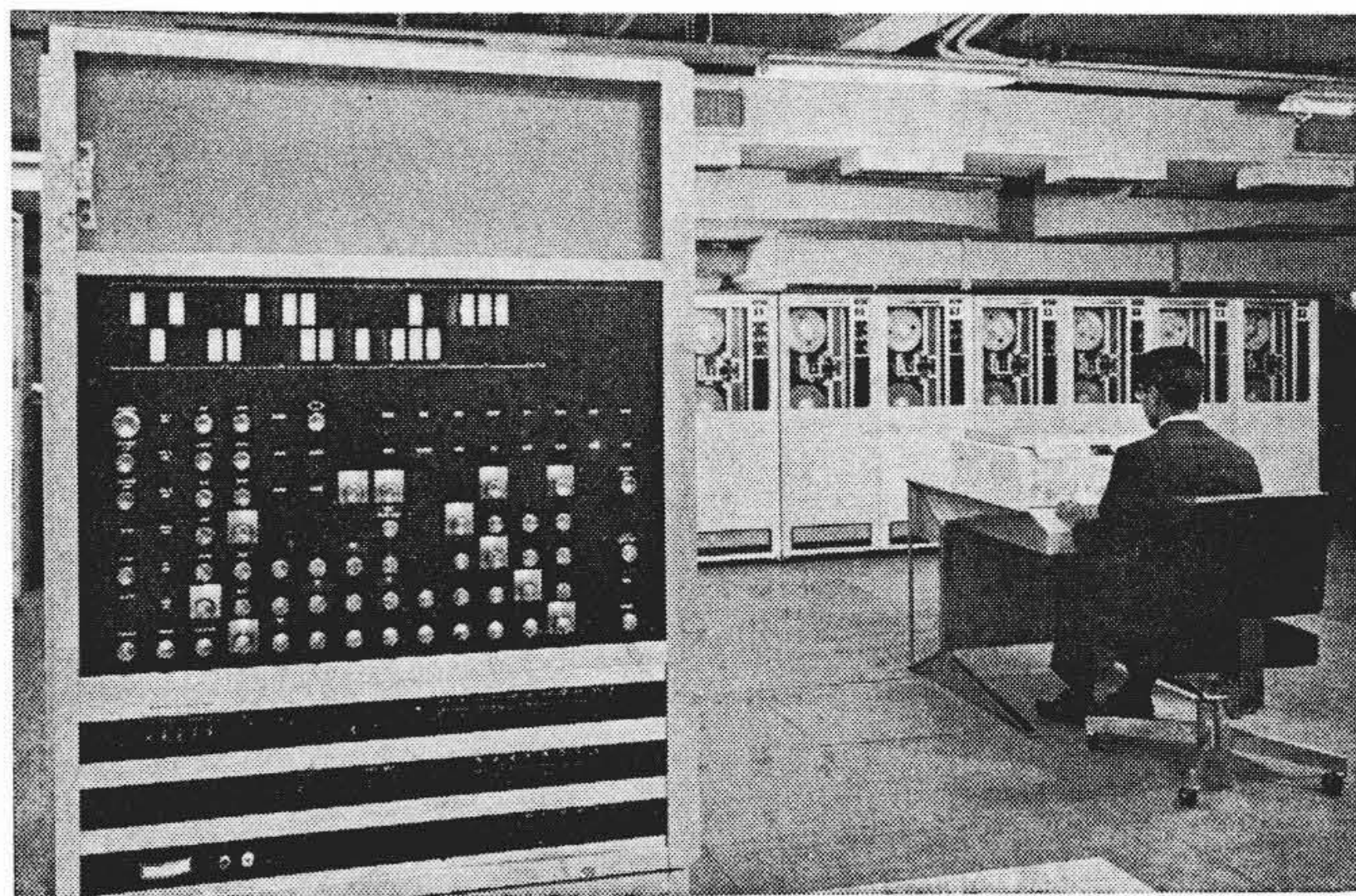


図2 8400形データ処理システム

クル時間、語長、容量コストなどがきわめて重要な意味をもつ。

論理構造は、通常命令系と深い関係があるが、演算レジスタにレジスタ・メモリを採用し、マイクロプログラム制御を行なっている8300および8400処理装置では、金物のレジスタはすべて命令の一時記憶、演算中間結果の格納などに使用され、表面には表われない。このことは、同じ命令系を有しながら処理能力の異なる数種のモデル設計が可能であることに関連する。

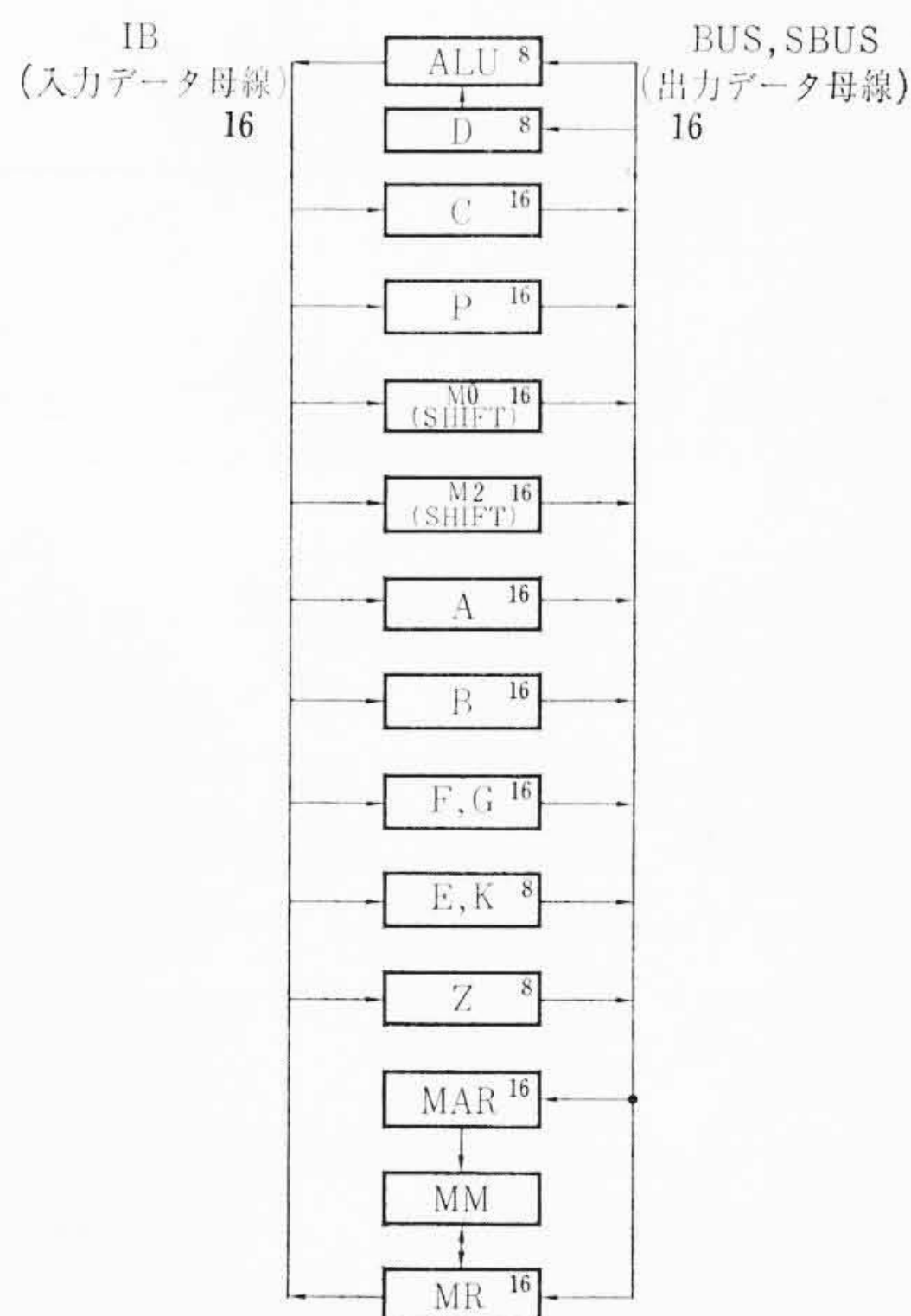


図3 8300 処理装置ブロック図

図3に8300 処理装置の論理構造ブロック図を示す。命令の記憶、演算の中間結果に利用されるレジスタは、すべて2 バイトの入力データ母線および出力データ母線によって演算ユニットに接続されるきわめて簡単な構造になっている。記憶装置とのデータおよびアドレスの転送、レジスタ間の単純なデータ転送は2 バイト単位に行なわれるが、論理演算、四則演算などは演算ユニットの中で1 バイトずつ処理される。32 ビットあるいは64 ビットの固定長の四則演算(固定小数点、浮動小数点)は、すべてこの演算ユニットにより1 バイトずつ処理される。メモリを対象とする可変長の論理演算、10進演算なども2 バイトあるいは1 バイトずつメモリから読出され、処理されたのち、再び格納される。メモリのアドレスの計数も、同じ演算ユニットによって行なわれる。

図4に8400 処理装置の論理構造ブロック図を示す。

8300 に比べて、アドレスの指定に18 ビット(262K バイトの記憶アドレスを指定するために)を必要とすること、レジスタ記憶装置として主磁心記憶装置と別にフェライト磁心によるスタックをもち、これが独立に動作するため、データ構造がいくぶん複雑になっている。データ母線は、2 バイトのほかにアドレス指定に必要な2 ビット計18 ビット分用意されている。演算ユニットは、本質的には1 バイトずつ処理を行なうが、余分の2 ビットについて同時に処理を行なうための加減算回路が用意されている。レジスタ記憶装置は、同時に4 バイトの読出し書込みが可能であり、この中の特定のバイトを演算ユニットに与えるため選択ゲートが用意されている。また処理を早くするため、この4 バイトのデータに対するけたずらし、加減計数が1 サイクルでできるよう論理回路が用意されている。

逐次制御は、ほとんど固定記憶装置のアドレス制御の機能として実行される。すなわち、次にどのマイクロ命令を実行するかという選択によって逐次制御のための判断が行なわれ、一つのマイクロ命令の中ではきわめて簡単な一連のタイミング制御が行なわれるにすぎない。通常一つのマイクロ命令は、1EO サイクル(480 ns)の間に実行されるが、8300のコアメモリ制御のマイクロ命令では、2EO サイクルを必要とする。8400 処理装置では、18 ビットの四則演算を1 マイクロ命令によって実行するために1½ EO サイクルを必要とする。いずれの場合も、1EO サイクルは4 分割され、タイミングの制御には120 ns のパルスが用いられている。

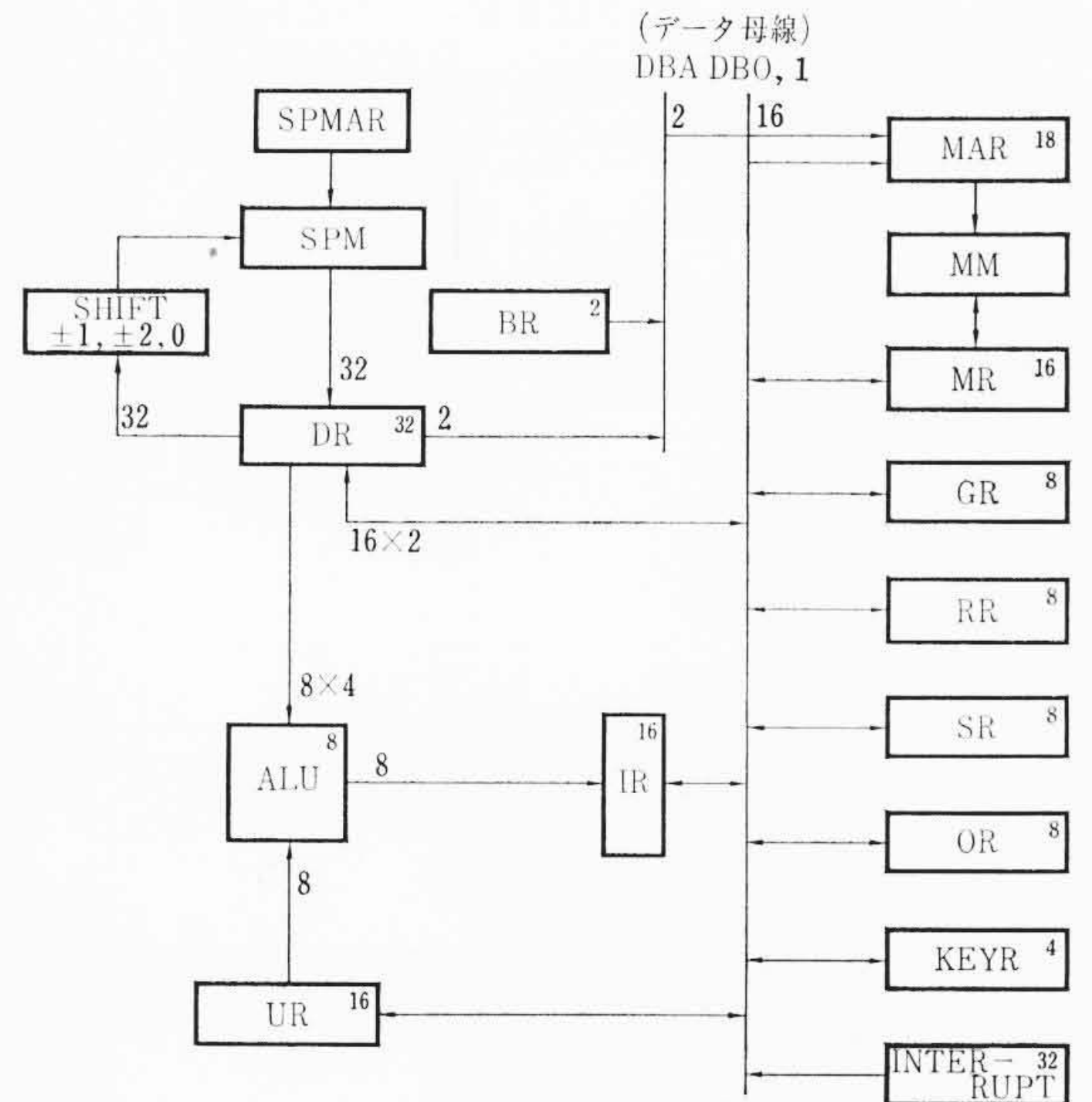


図4 8400 処理装置ブロック図

3. マイクロ命令の形式

8300 および8400 処理装置の固定記憶装置には、同じ回路設計技術が用いられており、その差は前者が語長27 ビット、後者が53 ビットとなっている点だけである。しかし、その記憶内容の機能に対するビットの割り付けは、両者でまったく異なっているのはいうまでもない。一般に多くの同時制御を必要とするより高速なマイクロプログラム計算機ではより長い語長が要求される。この意味から、8400 は8300 の2 倍の語長になっている。

8300 処理装置のマイクロ命令の形式はつぎのとおりである。

W	X	Y	T	J
× × × × ×	× × × × ×	× × × × ×	× × × × × × ×	× × × × × × ×

(1) Wフィールド (5 ビット)

マイクロ命令の種別を大別すると、メモリの制御、2 バイトのデータ転送、けたずらし、定数加減算、入出力制御、特殊分岐、論理および四則演算などより成る。

(2) Xフィールド (5 ビット)

主として演算を施し、結果を格納するレジスタの番号を示す。レジスタに無関係の命令では、命令の細かい変化を与えるのに用いられる。

(3) Yフィールド (5 ビット)

第2の演算数をもっているレジスタの番号を示す。これも命令の細かい区別あるいは無条件のアドレスの跳越しを指示したりするのにも用いられる。

(4) Tフィールド (6 ビット)

分岐を行なうためのテスト条件を設定するのに用いられる。また、定数8 ビットの一部分として用いられる場合がある。

(5) Jフィールド (6 ビット)

テストの結果、分岐が成立したとき、分岐する固定記憶装置のアドレスを指定するのに用いられる。定数8 ビットの一部分として用いられる場合もある。また、Tフィールドと一緒に、無条件跳越しのアドレスとして使用される場合もある。

次に実行すべきマイクロ命令のアドレスは、別に逐次制御カウンタが用意されており、テストの条件が成立しない場合は自動的に1 個ずつ加算され、次のアドレスが選択されるようになっている。分

の計算機の命令語として解読される。入出力命令については、原システムの入出力機器と等価な入出力機器が用意されているという条件の下に、ソフトウェアのレベルで、等価な命令を8000シリーズの命令として入出力機器に対して与える。制御コードの処理、データ変換などをマイクロプログラムのレベルでやる方式もあるが、固定記憶装置の容量がふえること、単に固定記憶装置のパターンのみでなくハードウェアで処理しなければならない部分が増加することなどのため、データを8000シリーズの入出力命令で読み書きし、主記憶装置の余った部分で編集するいわゆるバッファ方式を採用した。原計算機のプログラムは、入出力命令以外は原計算機の命令としてプログラム状態P1で実行され、入出力命令は8000シリーズの命令としてプログラム状態P2で実行される。P1で実行される命令のために、追加されたマイクロプログラムをエミュレータマイクロプログラムと呼んでいる。これに対して入出力命令の実行およびエミュレーション全体の実行を管理する8000シリーズのプログラム(P2で実行される)をエミュレータコントロールプログラム(ECP)と呼んでいる。このようにエミュレーションは、ハードウェアおよびソフトウェアの協力によって実行される。ECPは、原計算機が同じであれば、8300、8400処理装置に共通である。

原計算機としては、8300処理装置では1401/1460および3010、8400処理装置では、1401/1460、1410および3010が想定されており、それぞれに対してエミュレータが用意されている。原計算機の処理能力とエミュレータの処理能力の比較は、表3のとおりである。数値はデータミックスにおける比較指数を表わしている。

表3 原計算機に対するエミュレータの能力

エミュレータ 原計算機	8300	8400	IBM 360/30
1460	2.2	2.7	1.8
1401	4.3	5.2	3.5
1410	—	1.5	—
3010	1.9	2.6	—

6. その他の付加機構

処理装置の付加機構としてセレクトチャネルとエミュレータのほかに、メモリ保護機構およびダイレクトコントロール機構がある。メモリ保護機構は、2KBのメモリブロックごとに4ビットのキーを用意し、命令実行に際してプログラムのもつキーと照合することによって記憶内容を保護するものである。8300処理装置では、メモリ容量が65KBまでであるから、4ビットレジスタ32個用意すればよく、ICのレジスタを使用している。8400処理装置では、メモリ容量が262KBまでであるから、最大4ビットのレジスタ128個を必要とし、フェライト磁心によるコアスタックを使用している。ダイレクトコントロール機構は、処理装置間あるいは処理装置とほかの機器との間で制御情報の授受を行なうために、6組のトランクを設けたものである。論理的機能は、8300、8400の処理装置ともまったく同じである。

7. 結 言

以上8300/8400処理装置の論理構造、制御方式などについて概説した。これらは、固体集積回路による論理基本回路、多層プリント板によるプリント配線、固定記録装置の回路技術など最新のハードウェア技術によってはじめて可能となったものである。また、各種入出力装置を配してハードウェアのシステムが構成されるが、これを有効に働かせる各種ソフトウェアシステムがこれを支持することによってシステムとしての機能を発揮する。8000シリーズは、今後5~10年間のハードウェア、ソフトウェアの技術の進展に十分耐えうるようシステムのアーキテクチャが設計されているが、8300/8400処理システムは現時点における最高の技術の結晶であるといえることができる。



新 案 の 紹 介



登録実用新案 第778179号

羽 片 昭

ブ ラ ウ ン 管

ブラウン管は管内が高真空になっているため、破損した際ガラスの破片が飛散して危険な場合があり、このためバルブ前面に安全ガラスを置いて使用するのが普通である。

この考案は図面に示すようにブラウン管のフェースプレート部からコーン部にわたって合成樹脂層を被覆密着し、特にコーン部とフェースプレート部の接続部における樹脂層に凸縁を設けたもので、このように構成することにより樹脂層がブラウン管からハク離しがたく、従来のブラウン管に比べて堅固で安全性に富み、万一破損した場合でもガラスが飛散することがないという特長を有するものである。(福田)

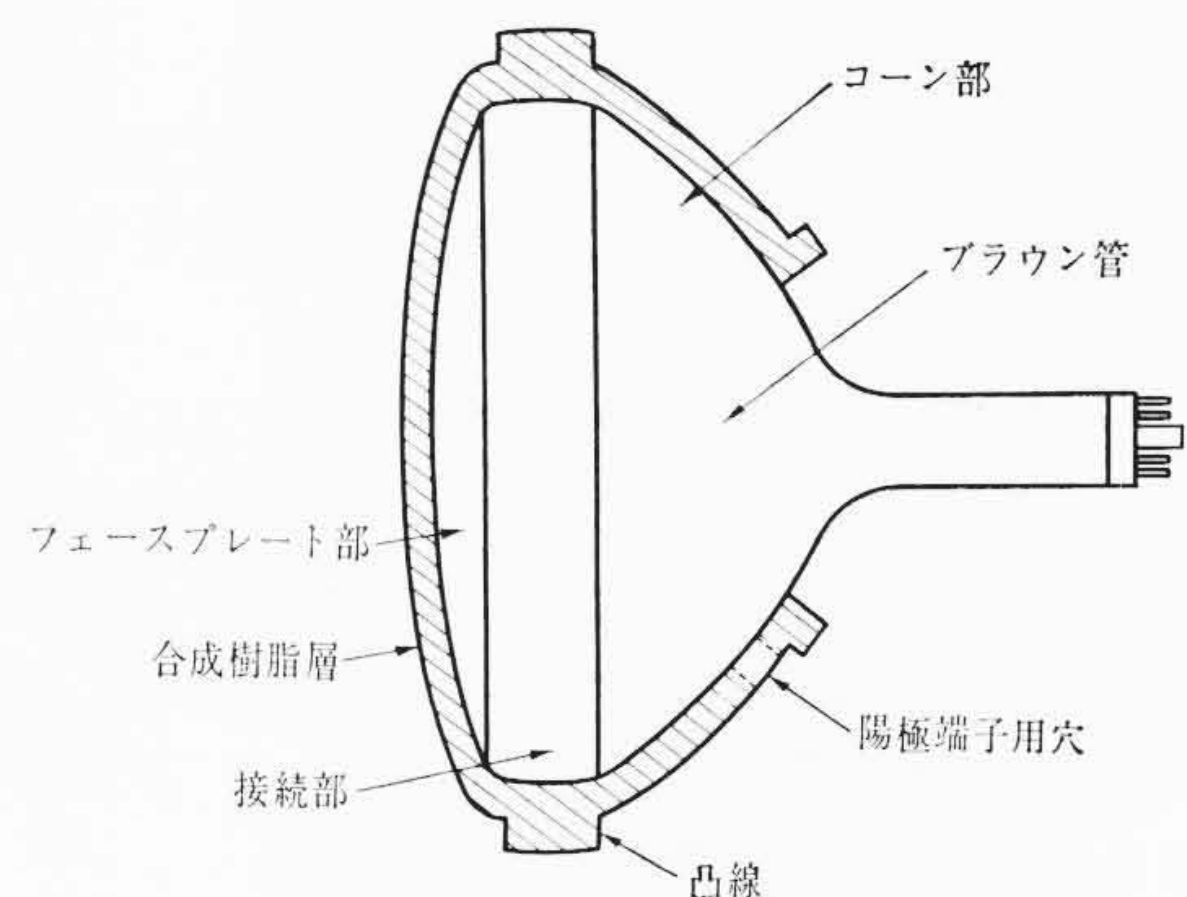


図 1