

# HITAC 8000 シリーズ処理装置の部品と実装

Processor Parts and Their Mounting for HITAC 8000 Series

谷 恭 彦\*  
Yasuhiko Tani

## 要 旨

HITAC 8000 シリーズは数種の処理装置と多数の入出力装置により構成されており、システムを組む場合これらの機器を任意に選択してその業務に最も適した構成とすることができる。そのため各機器の外形寸法、色彩などは統一して決められている。また本シリーズの処理装置は高速演算機能を高信頼度、低価格で実現するため種々の新技術が採用されている。本稿ではこれらのうち従来とまったく異なるものとして、集積回路とそれの実装方法、布線に要求される条件、および布線の安定化、低価格化を実現するプラッタを用いたバックパネル、演算を制御するマイクロプログラムを収容するための固定記憶装置について述べる。なお加えてその他の記憶装置、スクラッチパッドメモリ、主記憶用磁心記憶装置についても、その概要を述べる。

## 1. 緒 言

HITAC 8000 シリーズは共通の Architecture をもった数種の処理装置と標準入出力仕様をもった多数の入出力装置群とからなるファミリーシステムである。この小形から大形までを同一の設計思想によって統一することは多くのハードウェア技術の開発によって、はじめて経済的に可能となったものである。本シリーズの機器は入出力装置を除き、すべて同一の外観をしており、形状、色、ラックの寸法などは統一して決められている。キャビネットラックは幅 125 cm 高さ 158 cm 奥行 62.5 cm のものを標準とし必要に応じて、これとこの半分の幅のものを組み合わせて構成されている。

8100, 8300, 8400, 8500 の処理装置には同一の実装方法が採用された。集積回路と多層プリント基板（プラッタと呼ばれる）によるパネル配線である。標準ラックは 18 枚のプラッタを収納することができる構造をしており、6 枚は中央の固定架に取り付けられ、残りの 12 枚はそれぞれ 3 枚ずつ前後の四つの可動架に取り付けられている。プラッタは多層プリント基板であって、パネル配線を印刷配線化し、電氣的にシールドしインピーダンスを均一に保って回路の高速動作を保証している。プラッタ間の相互接続には pair または Tipple のケーブルを用いている。各プラッタは 104 枚の論理回路プラグインと 26 本の接続ケーブルを収容する能力がある。プラグインは約 7.5 cm × 10 cm の大きさに 13 mm 間隔で 1 段当り 30 枚実装され、これが 4 段取り付けられる。各プラッタの上下におのおの 5 個ずつのコネクタが水平に取り付けられており、これは接続ケーブルに用いられる。1 枚のプラッタは 600 から 1200 個のゲートを収容している。

## 2. 集 積 回 路

電子計算機は当初真空管を用いて作られた。この方式の計算機は大きな電力を要する機械であった。その後高速スイッチングトランジスタの発明により、それを用いた機械が現われて非常に小さなものになった。しかし、この小形化されたものでも機械のサイクルタイムの 20~40% は裏パネルの配線その他の相互接続のための伝播時間に費されており、高速の動作を行なわせるにはさらに小形化することが必要である。このような小形化はマイクロ・エレクトロニクス技術を用いることにより基本スイッチ回路を小さくすることにより可能となってきた。

従来の計算機においては多数の部品間の接続点がきわめて多く、この接続が信頼度を低下させる一つの大きな要因であったが、集積

\* 日立製作所神奈川工場

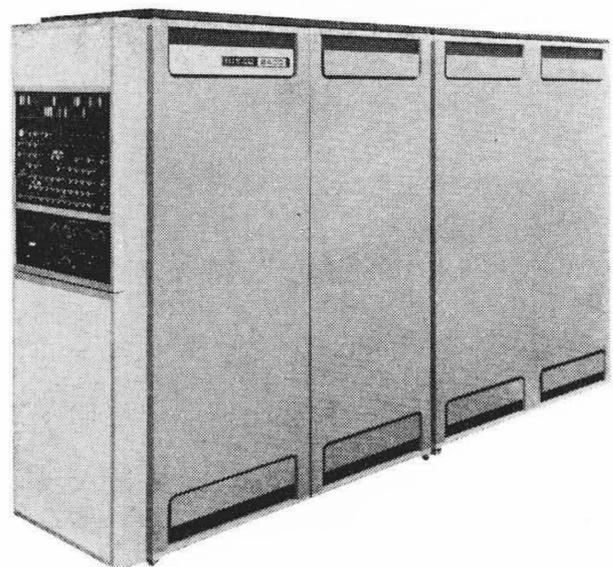


図1 処 理 装 置

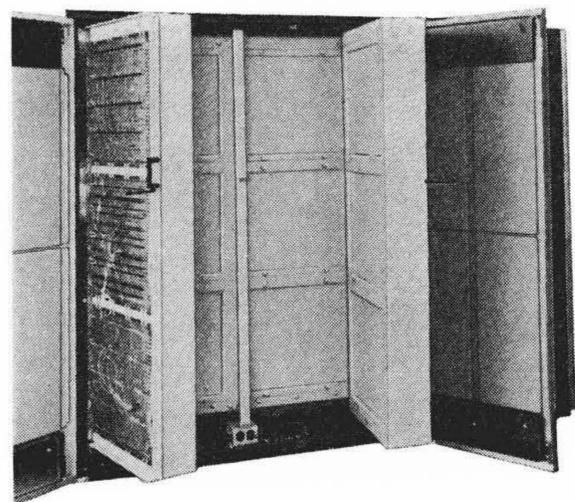


図2 処 理 装 置 (内 部)

回路はその構造上これを極度に減少させることができる利点を有している。またこれの製造には光学的手段による焼付け、エッチング、拡散、酸化、金属焼付などの手段が用いられ量産性に富んでいるので機能当たりの価格を低減させることができる。以上のことから HITAC 8000 シリーズには集積回路が採用され、高速度高信頼度をもった低価格のシステムとなっている。

### 2.1 CML形集積回路

8100, 8300, 8400, 8500 には基本論理素子として CML (Current Mode Logic 電流切換形論理回路) を用いている。これは不飽和形の論理回路で非常に早い速度をもっており大形機に適していることから採用されたものである。

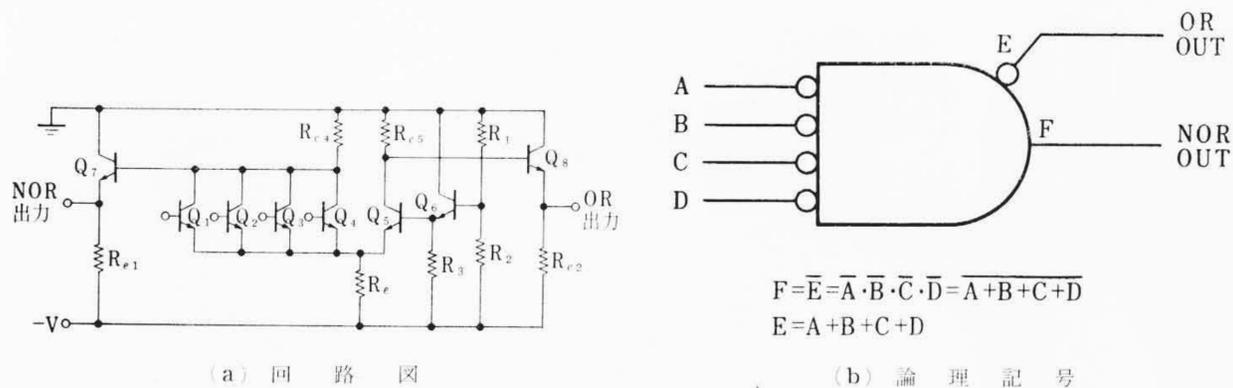


図3 CML形集積回路

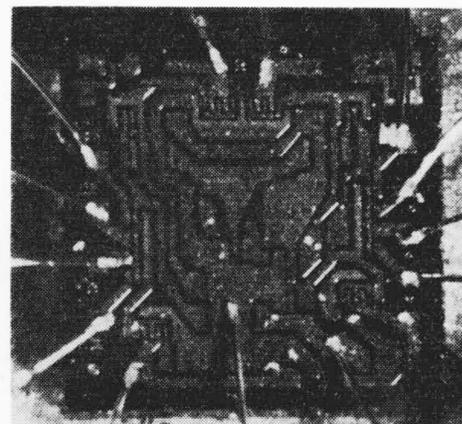
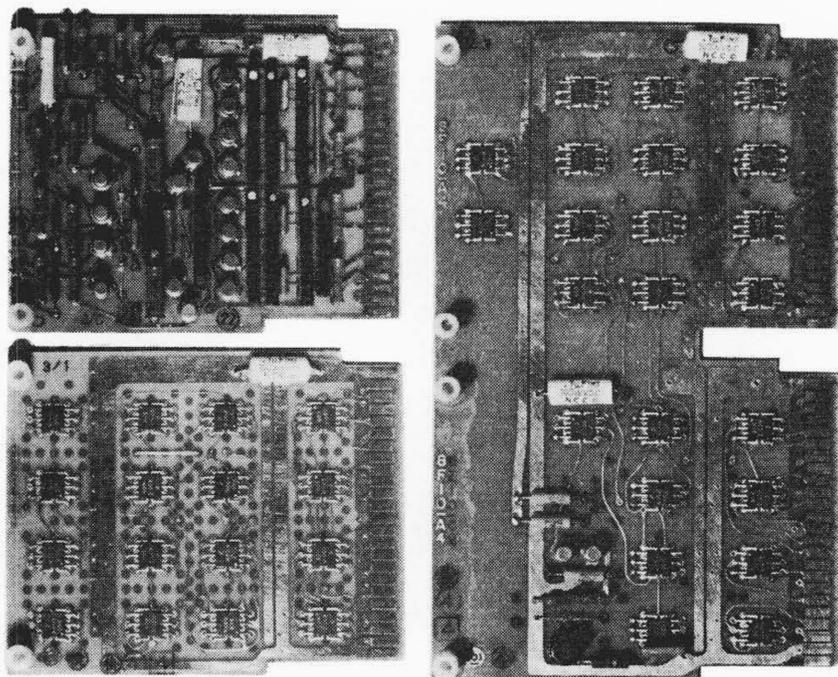


図4 CML形集積回路チップ



(a) 標準形 (b) ダブルカード形  
図5 プラグイン

CMLの動作は下記のとおりである(図3(a)参照)。抵抗  $R_1 R_2$  トランジスタ  $Q_6$  はバイアス電圧を作るものでトランジスタ  $Q_5$  のベースに約  $1.2V$  のバイアスを供給する。トランジスタ  $Q_1$  から  $Q_4$  は入力ゲートとして動作する。トランジスタ  $Q_7$  と  $Q_8$  は出力用エミッタフォロワで互に反転した出力を得ることができる。ゲート入力  $-1.6V$  であるときはトランジスタ  $Q_1 - Q_4$  には  $0.4V$  の順バイアスがかかるが、コレクタ電流を流すには最小  $0.6V$  のバイアスが必要なので電流は流れない。したがって  $Q_7$  の出力 NOR は  $V_{be}$  によって  $-0.8V$  となる。一方  $Q_5$  には順バイアスで約  $6mA$  の電流が流れ  $R_{c5}$  に  $0.8V$  の電圧降下を生ぜしめ  $Q_8$  の  $V_{be}$  が加わって出力 OR として  $-1.6V$  が得られる。入力の一つでも  $-0.8V$  にあがるとそのトランジスタと  $Q_5$  の関係は逆になって NOR 出力は  $-1.6V$  に OR 出力は  $-0.8V$  になる。したがってこの回路の論理式は図示のようになる。

この回路はどのトランジスタも飽和動作をしないので無負荷のスイッチ速度は入出力のトランジスタの周波数特性と内部浮遊容量により決定される。図3の回路をシリコンチップ上に形成するにあたっては、入力トランジスタの出力容量を低くし、 $R_{c4}, R_{c5}, R_e, R_{c1}, R_{c2}$  の寄生容量を減らし、出力トランジスタの内部抵抗を低くするように設計しなければならない。本集積回路の無負荷における1段の遅れは  $3ns$  と推定され、六つの入力負荷を含む  $100pF$  の負荷を駆動するとき、 $18ns$  の pair delay である。そのほか、この回路は下記のような特長をもっている。

- (1) 出力をファンタムオア(出力を互に接続してORを取る)とすることができる。
- (2) 常に正逆二つの出力を得ることができる。これは論理を組む上で非常に有効で20%程度素子数を減らすことができ

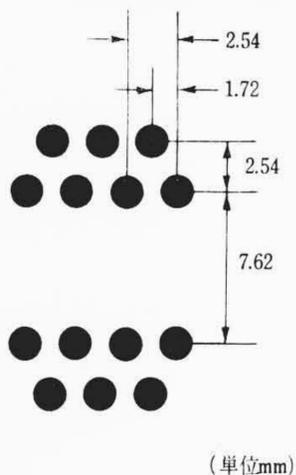


図6 集積回路取付パッド

表1 8000シリーズ用CML形集積回路特性表

Pair delay	24 ns
入力数	8
出力数	8~16*
雑音裕度	±30%
温度範囲	10~60°C
信号振幅	-1.6V~-0.8V
消費電力	125mV×2

\* 配線規則によって決まる。

- る。
- (3) 電源が一種類でよい。
- (4) 消費電流はスイッチ動作に無関係にほぼ一定である。
- (5) 入力インピーダンスが高い。したがって高速動作の伝送線に接続するに適しておりファンアウトを大きくとることができる。
- (6) 雑音の許容度が大きい。

しかしいくつかの欠点ももっている。その一つは電圧振幅が小さく  $1V$  以下であることである。したがって線長が相当長く外部の雑音の影響を受けやすい入出力装置と接続するための線路送受信機には特殊なレベル変換用増幅器を必要とする。なおそのほかの大電流回路たとえば高速メモリの駆動回路、ランプ駆動回路などと接続するために増幅器を用いなければならない。第2の欠点は消費電力が大きいことである。8000シリーズで用いているCMLは pair delay を最悪条件でも十分なマージンをもたせるために1回路当たり  $125mW$  となっている。

### 2.2 集積回路の実装

集積回路のチップ(約  $1.3mm$  角)は4入力の回路を2回路含むことができるのでこれを  $1/4in$  角で14本の導線をもった容器、フラットパッケージに收容している。このパッケージを従来の計算機のトランジスタやダイオードと同様にプラグインに取り付け、これをバックパネルにそう入することによって組立てる。プラグインの標準は16個の集積回路を実装できるように設計されており、厚さ約  $1.6mm$ 、大きさ約  $7.5cm \times 10cm$  のプリント基板であるが場合によってはこの倍の大きさを用いることもある。他の単一部品の取付けにも同一寸法の基板を用いている。

基板には2種類あり、一つは両面基板で、上下両面を用いて回路を形成し、その接続にはスルーホールメッキを用いたものである。他の一つは3層で内層を接地層として用いて、接地の不完全による雑音の問題を除いたものである。この基板は在来の標準プラグインに比べ高度の設計および製作技術が必要である。高密度実装とそれ

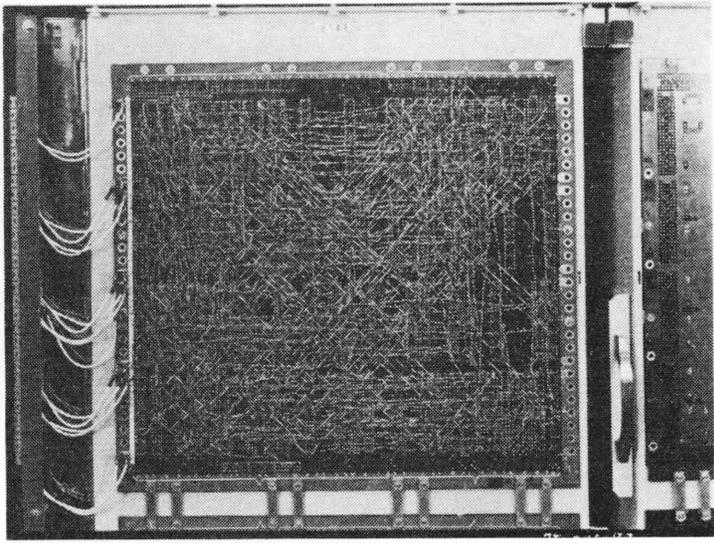
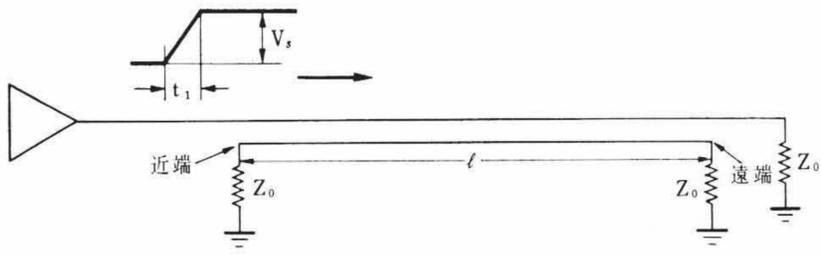
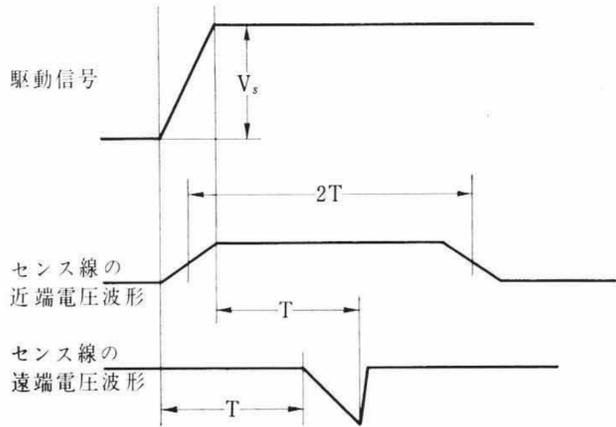


図7 バックパネルと配線



$V_s$ : 駆動線の送端における駆動信号  
 $C_m$ : 相互結合キャパシタンス  
 $L_m$ : 相互誘導インダクタンス  
 $V_{em}$ : 誘起電圧  $L_m di/dt$   
 $I$ : 誘起電流  $C_m dv/dt$

(a) 回路例



$T$ : 線路長  $l$  の伝播時間

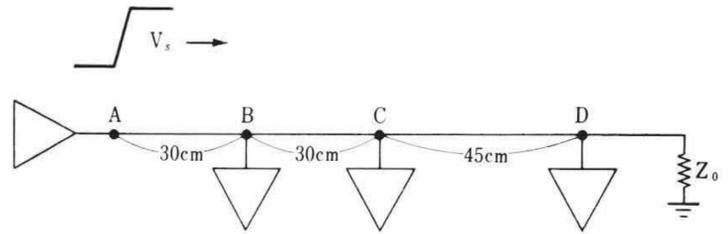
(b) クロストーク雑音波形

図8 クロストークによる雑音

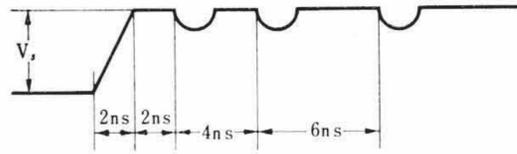
に伴う配線上の各種制限から線幅が細く、間隔が狭くなるので、許容寸法精度が高くなることと集積回路の組込みが問題となる。フラットパッケージの導線間隔は 1.27 mm (0.05 in) であり、はんだ付けのためのパッドを一行に並べることができないので互い違いにして回路の接続を可能としている。なおこの導線はリボン形であり、従来の部品のように簡単に基板にそう入することができない。特殊な切断機と組込み治具を開発して組立作業を行なっている。

### 3. 配線

高速回路すなわち立上り立下り時間の速い回路を使用するために整合のとれた伝送形式の配線システムを用いなければならない。すなわち全回路の遅れを規定値内にいるためには配線のインダクタンスと容量をきちっとおさえる必要がある。配線の伝播遅れのために生ずる波頭のリングングや波形の段付き、オーバーシュートは動作のマージンを減らし、誤動作の原因となる。まず回路の速度は出力負荷の容量によって制限される。長い配線は反射を避けるため必ず特性インピーダンスで終端しなければならない。8000シリーズではこれらを規定するために通常の電線による配線に変えて印刷配



(a) 回路例



(b) 負荷 B, C, D の反射による信号源 A 点の波形

図9 反射による雑音

線の技術を用いている。バックパネルに印刷配線板を用い、 $100\Omega$  の線路を形成させており、長い線路は  $100\Omega$  の抵抗ブロックで終端している。線路の長さは、DC 損失とクロストークで制限されている。この伝送線形式をとると途中で接続される負荷となる回路の入力インピーダンスがきわめて重要となり、反射を小さくするためにできるだけ高くすることが好ましい。CML 回路の入力インピーダンスは  $5\text{ k}\Omega$  と  $5\text{ pF}$  のコンデンサが並列になった等価回路で表わすことができる。各部の常数および特性を基にして反射量が安全なレベル以下になるよう負荷の数、負荷間隔などの配線規則を決定し、適用している。

#### 3.1 クロストーク

クロストーク雑音は隣り合った線路がスイッチしたときセンス線の働きをして拾う雑音である (図8参照)。2本の伝送線が長さ  $l$  の間並行に走っているものとする。センス線は長いネットの一部と考え特性インピーダンス  $Z_0$  で両端とも終端されており、反射の影響は考えないとして、並行区間のクロストークを考察する。スイッチ線を図の信号が伝播するときセンス線には  $L_m(di/dt)$  の電圧と  $C_m(dv/dt)$  の電流が誘導する。これがセンス線上を両方向に伝播する。駆動側に近いセンス線の端に生ずる電圧はスイッチ信号と同相で大きさは線長  $l$  とは無関係である (線長  $l$  の伝播時間はスイッチ信号の立上り時間より長い場合) センス線の遠端に生ずる雑音電圧は全長  $l$  にわたって誘起された電圧が重なり合ってくるので  $l$  の長さに比例し、位相は信号と逆になる。したがって許容される並行線長  $l$  は  $L_m, C_m$  の大きさによって決定される。

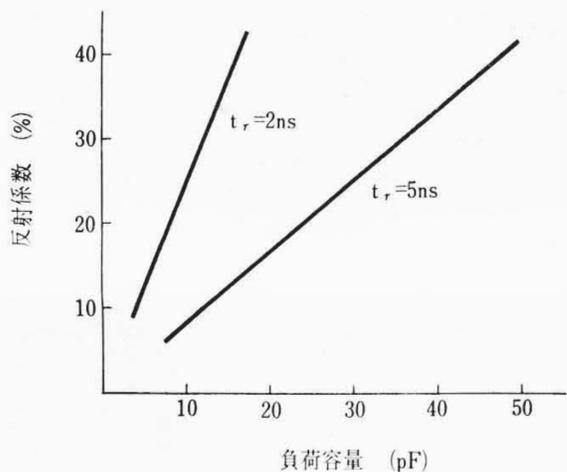
#### 3.2 反 射

図9(a)の回路を想定し、立上り 2 ns 振幅 0.85V の  $V_s$  のパルスで駆動された場合について検討する。B点では線路インピーダンス  $Z_0$  と CML の入力インピーダンス  $Z_{in}$  が並列になっているので  $pV_s$  の反射波が生ずる。

$$p = \frac{Z_L - Z_0}{Z_L + Z_0} \quad \text{: 反射係数}$$

$Z_L$ : 負荷インピーダンスでこの場合  $Z_0$  と  $Z_{in}$  が並列となったもの

この場合のA点の波形は出力インピーダンスを  $Z_0$  と仮定すると、図9(b)のようになる。反射波の振幅は線路につながる分岐のインピーダンスの関数で図10により算出することができる。分岐線の容量はCMLの入力容量  $5\text{ pF}$  のほかにそれに接続するための配線の分が加わり図11のように推定される。実際問題として8000シリーズでは駆動パルスの立上り時間の平均は 6 ns 程度であり、負荷間隔は 30cm 以下であるので反封の影響は立上りの途中に表われ、立上りの傾斜をゆるめ段当たりの遅れを大きくする結果となっている。2種類の配線規則をもっており、終端(直列)ネットと非終端



← 図 10 反射雑音の振幅

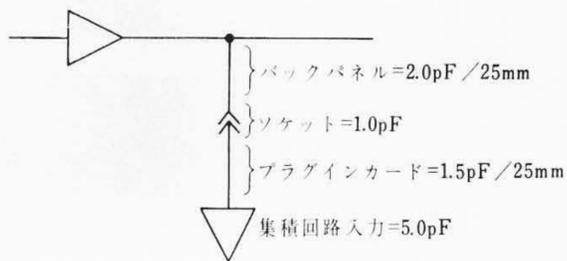


図 11 負荷容量の算定

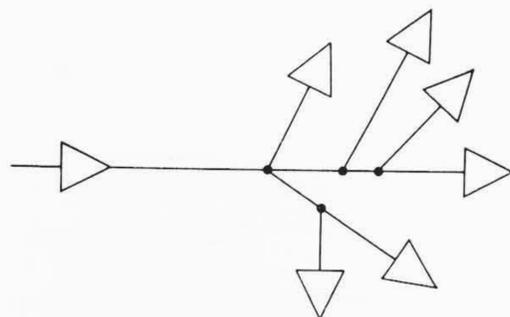


図 12 並列接続ネット

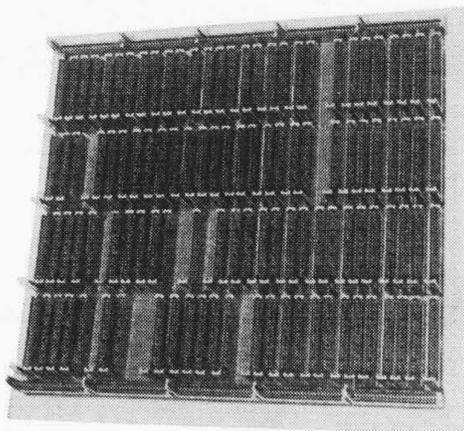


図 13 ソケットを取付けたプラッタ

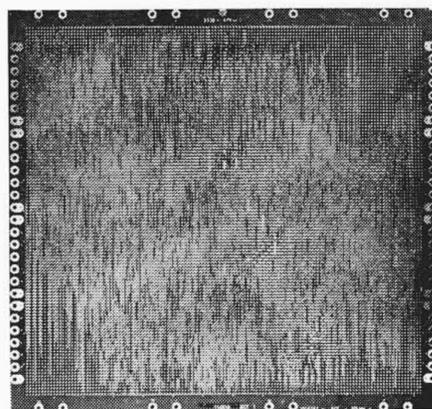


図 14 プラッタ

(並列) ネットがある。並列ネットは図 12 のような接続で完全に容量負荷を駆動するものと考えられるもので、配線の全長が 20 cm 以下のものに適用される。直列ネットでは線長は線路の直流電圧降下とシステムの雑音によって制限されるのみである。ただし負荷間隔の制限を守りかつ信号の遅延を計算し考慮に入れて論理設計を行わなければならない。

4. コネクター

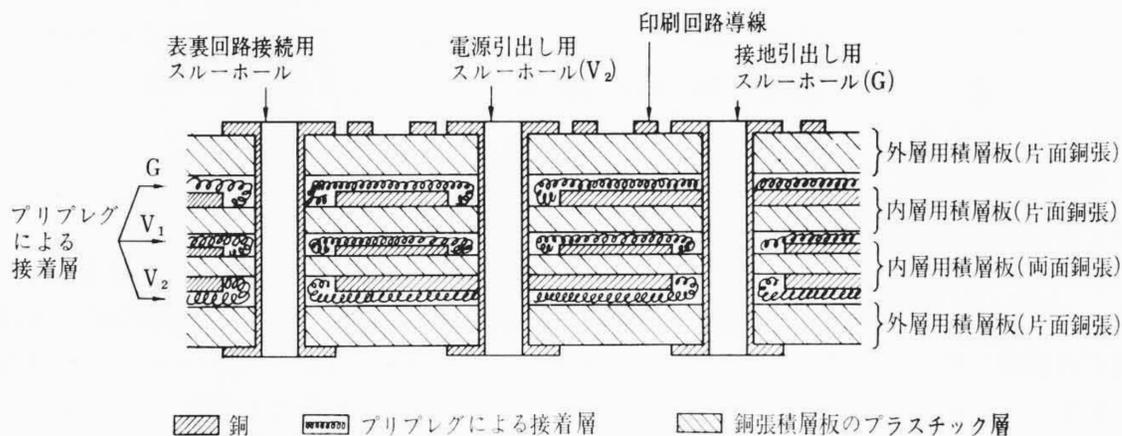
プラグインの接続には従来の 5020, 3030 などと同様にニッケル下地メッキの上に金メッキを施したものが用いられているが、高密度実装のため必要ピン数が増加したため新しいコネクタを開発した。32本の論理ピンと3本の接地ピン2本の電源ピンを標準としているが、メモリ用プラグインおよびケーブル接続のものはさらに電圧、接地ピンが追加されている。コネクタは最大48の接点を有し、1/8インチ間隔の格子の上にピンが配列されている。この格子の上のピンの配列はプラッタの印刷配線を有効に利用できるよう決定されている。コネクタのモールドにはプラグインの案内用の耳がでており、この長さが上下で異なっていて方向をはっきりと識別できる。コネクタのピンは角形の燐青銅でバネ作用を行なわせ金接点を溶接している。金接点はプラグインとは良好な接触が得られ、ピン全体の金メッキを不要とするので高信頼度、低価格のコネクタとするこ

とができる。ピンは3本の0.4φの線をラッピング接続できるだけの長さを有している。これは印刷配線ですべての接続ができない場合、電線で回路を形成するのに用いられる。コネクタはプラッタの穴にそう入して組立てられ、はんだ付けで接続される。このはんだ付けはウェーブ・ソルダーリングにより行なわれる。

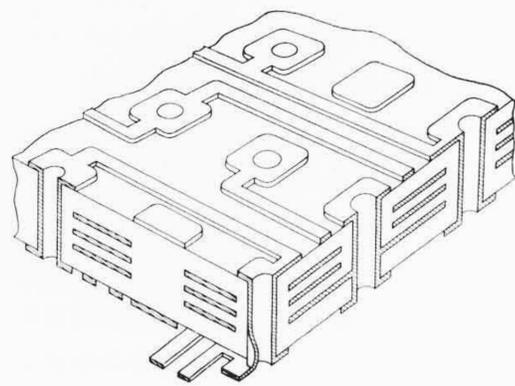
5. プラッタ

プラッタの設計は本実装方式の中心であり、かつ最も重要な部分である。設計目標はパネル配線の90%を印刷化し、配線のインピーダンスを一様化し、電気的シールドを保つことにある。このためにマイクロストリップラインの原理が応用される。すべての信号線は上下の外側の面に配置され、それぞれの面は縦または横の直線のみを受持ち、両面はスルーホールメッキで接続され直角配線が行なわれる。インピーダンスは100オーム±10%である。接地および電源は内層に入れられる。以上のことから信号線の線幅は0.25mm線間隔は0.64mm、線とパッドの間隔は0.15mmである。パッドは1/8インチの格子の上に1.5mm孔径1mmを標準とし、パッド間に2本の信号線を通すことができる。

本システムの代表的な例では寸法約2.5mm×45cm×45cmで5層の印刷配線層をもっている。内層3層は接地と電源層であり両外側層が信号配線と層間配線に用いられている。両外層の信号配線長は約150mである。スルーホール・メッキによって信号層間および電圧層、コネクタ間の接続を行なっており約15,000個のパッドのう



(a)



(b)

図 15 プラッタ構造図

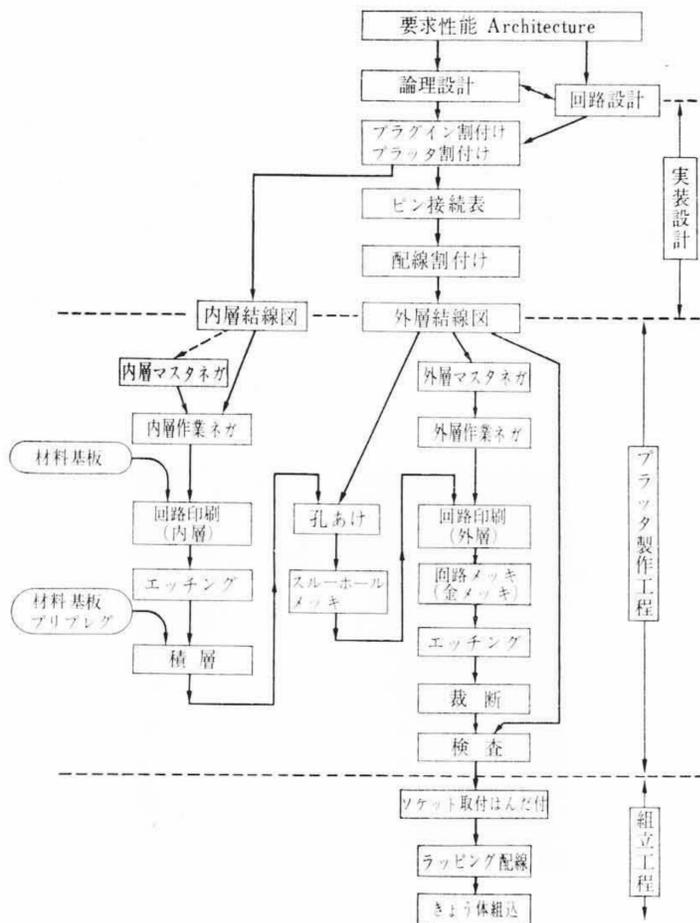


図16 プラッタ設計製作のフローチャート

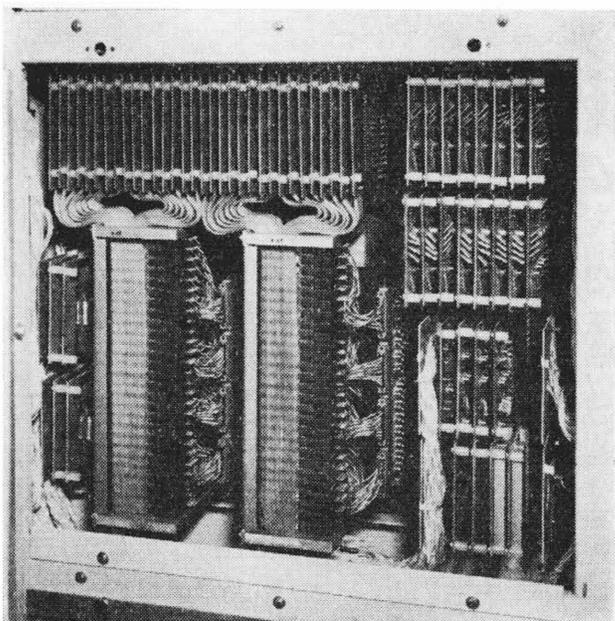
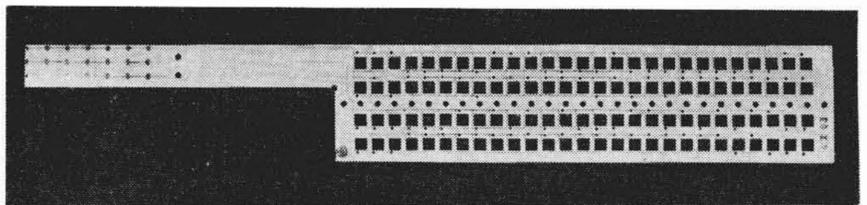


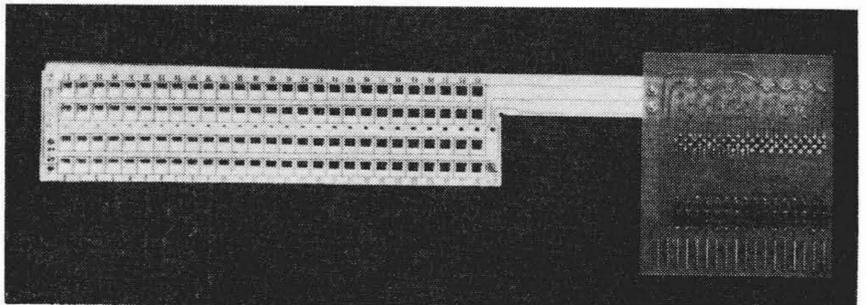
図17 固定記憶装置スタック

ら8,500個がスルーホールとして用いられている。電源の供給は外周の大形のスルーホール群からなされる。

プラッタの設計、製作工程の概略を図16に示す。内層の様および層数、組合せはそのプラッタに実装する回路の種類および外部との接続コネクタ数でほぼ決定され数種類の標準が定められている。外層の設計は論理設計によって決定された回路をプラグインに分割し、それらプラグインのピンの間を信号線で結ぶ作業である。このためには前述の配線の項で述べられた各種の制限を守りながらなるべく多数の配線を印刷配線で行なうよう考慮が払われる。かくして設計された layout にしたがってネガ用、穴あけ用および検査用の紙テープが作られる。プラッタは精度を非常に高く要求されること、多数の穴と線分からできており、人間の作業の限界を越えていること、およびでき上ったからの修正が困難でありかつ特性を悪くすることから、ネガの作成、穴あけ、接続検査には数値制御の自動機が用いられている。ネガ作成の自動製図機械は直接ガラス乾板の上に原寸でパターンを描きマスターポジを作成する。作業にはこれを転写して使用する。



(a) ワードシート



(b) ワードシートモジュール

図18 固定記憶装置ワードシート

### 6. 固定記憶装置 (ROM, Read Only Memory)

固定記憶装置は従来の計算機では論理回路で行なっていた制御機能を実果すものであり、マイクロプログラムをたくわえている記憶装置である。8100, 8300, 8400にはほぼ同一の構造をもったROMが採用されている。このROMはトランス形のものでその記憶はUIコアのなかを線が通っているか否かによって行なわれる。このコアはフェライトであるがメモリコアと異なり、不飽和状態で用いられるもので通常のトランスと同様に線形回路である。ROMの記憶用のワード線はマイラーベースの印刷回路板上に形成されており、これを256枚積重ねて54個のコアと組み合わせてスタックを構成している。この印刷回路板ははしご形の回路がトランスの両脚にそれぞれ1組ずつ印刷されているがこれをマイクロプログラムのビットパターンに従って脚の内側または外側に穴をあけることにより機械的に切断し所要の記憶を行なわせる。また印刷パターンは位置が少しずれたものが2組あり、これを互い違いに組み合わせることによってワード線間の浮遊容量を減らし、駆動時の雑音を減らすよう工夫されている。この方式は普通の電線を通す方式に比べワード線の常数を正確に制御することができるので安定な動作が得られる。駆動系は語選択形式であるので、各語ごとに最低1個のスイッチが必要であり電圧スイッチとドライバのマトリクスによるダイオードスイッチによってこれを行なっている。このダイオードは先のワード用印刷回路板を接続しているプラグインカード上に実装されている。読出し信号はIコアに巻かれたセンス巻線から得られる。このセンス巻線は約1Vの出力電圧が得られるよう巻数が決定されているので特別な増幅器を必要とせず、直接エミッタフォロワでCML回路に入れられタイミングパルスでストロープして読み出される。トランス形のROMで速度を制限している要因はフライバックの減衰特性であるが、上記の印刷基板を用いて容量を減らしかつセンス巻線を適当な抵抗で終端することにより480nsのサイクル・タイムを得ている。

### 7. スクラッチ・パッド・メモリ

8400では高速のメモリをレジスタとして使用して経済化を図っている。このメモリは外径30ミル内径10ミルのコアをpartial switchを用いてアクセス・タイム120ns サイクル・タイム480nsの速度をもっている。このスタックは語選択形式で128語、1語は4ビットと2パリティビット、計34ビットの容量をもっている。1ビット2コアであり、プラグインの形で実装されている。

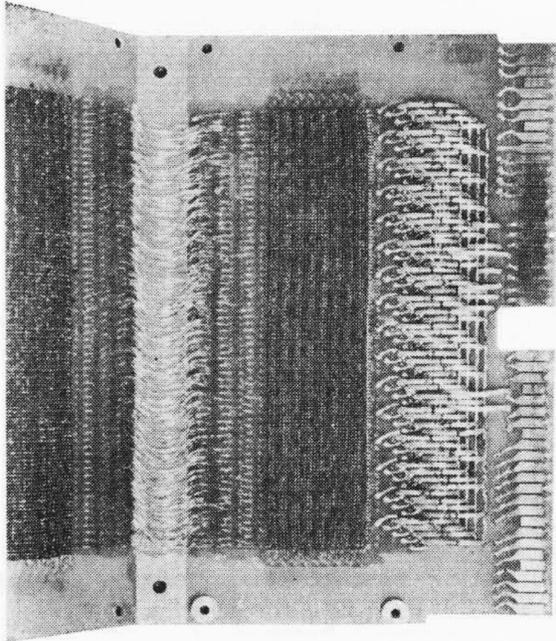


図19 スクラッチパットメモリスタック

1ビット2コアの動作は1組のデジット駆動回路の片方を駆動して書き込み、読み出しのとき二つのコアの磁化状態を比較して“1”、“0”を判定することによって行なわれている。たとえば図20においてA、BともにRの状態にあるとする。書込むためにBにデジットパルスを送り同時に書き込みパルスがA、Bともに与えられる。このときA、B両者とも部分磁化を受けるが、Bのほうがデジットパルスと書き込みパルスの相加わった磁化を受けるのでより強く磁化された状態となる。この状態で読み出しパルスを受けるとコアは再びRの状態に戻るが、このときAよりもBのほうがスイッチする量が多いため大きな出力が得られる。したがってBとAの電圧差を求めると正の出力が得られる。逆にAデジット電流を送り書き込みパルスを受けると読み出し出力には負のものが得られる。このような動作をするため読み出し増幅器には差動増幅器を用いる。

8. 主記憶装置

8300, 8400の主記憶装置は同一の構成でサイクルタイム1.44  $\mu$ sの電流一致方式のものであり30ミルのコアを用いている。スタックの容量は32,768バイトで16,384個(128 $\times$ 128)のコアをもった18枚のプレーン(おのおのバリテイをもった2バイト)で構成されている。8300では最初の1スタックに、8400では2スタックに2048バイト(128 $\times$ 8 $\times$ 2)が追加されているが、これはプログラムではアドレスできず、処理装置が内部で制御のために用いられる。したがって8400では最初のバンクは69,632バイトの容量をもっているが、追加されるバンクは65,536バイトとなる。この1バンクごとにメモリの制御回路をもっている。なお小容量のものは1/4バンクおよび1/2バンクシステムとなっている。

メモリバンクは4枚のプラッタから成る。1枚のプラッタが読み出し回路、アドレスとデータレジスタ、タイミング発生回路および

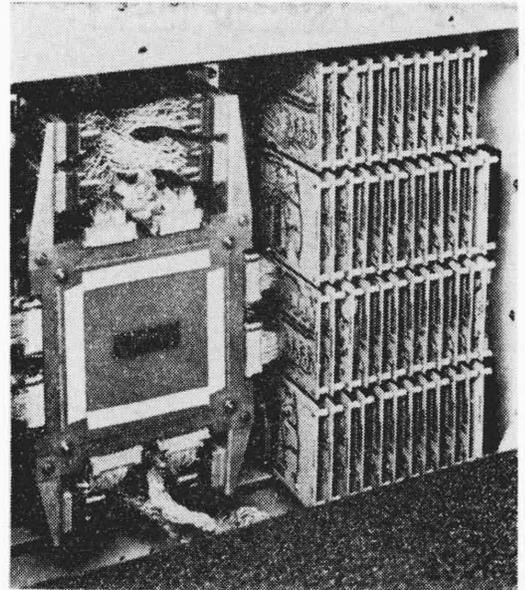


図21 主記憶用コアスタック

その他制御回路を実装しており、次の1枚がインビットドライバと再書き込み回路をもっており、他の2枚はそれぞれスタックとそれのXYの選択および駆動回路を収容している。XY線の選択にはドライバとスイッチを用いたトランスダイオード・マトリックスが用いられており、これらはすべて標準のプラグインに実装されている。

インビット線は1枚のプレーンが8に分割されている。インビットドライバはアドレスレジスタによって制御され、それに対応した1部のインビット線にしか電流を流さないようにしてある。

また1枚のプレーンは4本の分割したセンス線をもっていて、4個の独立したセンス用の前置増幅器をもっている。この増幅器は差動増幅器となっていて、センス線に乗る同相の雑音を拾わないよう設計されている。センス増幅器の出力はトンネルダイオードとトランジスタの複合弁別回路に加えられてタイミングパルスでストロブされて“1”、“0”が判定される。

センス系の回復時間を確保するためセンス線とインビット線は512のコアでのみ交さすよう配置と編線が決定されている。

9. 結 言

以上 HITAC 8000 シリーズに採用された集積回路とその実装方式とメモリについて概略を述べた。これらは8000シリーズの高いパフォーマンス/コストを支えるハードウェアの主要な部分であるが、電子計算機はますます大容量、高速、高信頼度、低価格のものが要求されており、これを可能とするのは部品とその実装の技術的進歩にまたなければならない。集積回路や多層印刷回路板による実装などはまだ実用の緒についたばかりであり、今後の発展は、はかり知れないものがあり、設計製作両面の技術の進歩、新技術の開発が行なわれるものと期待される。

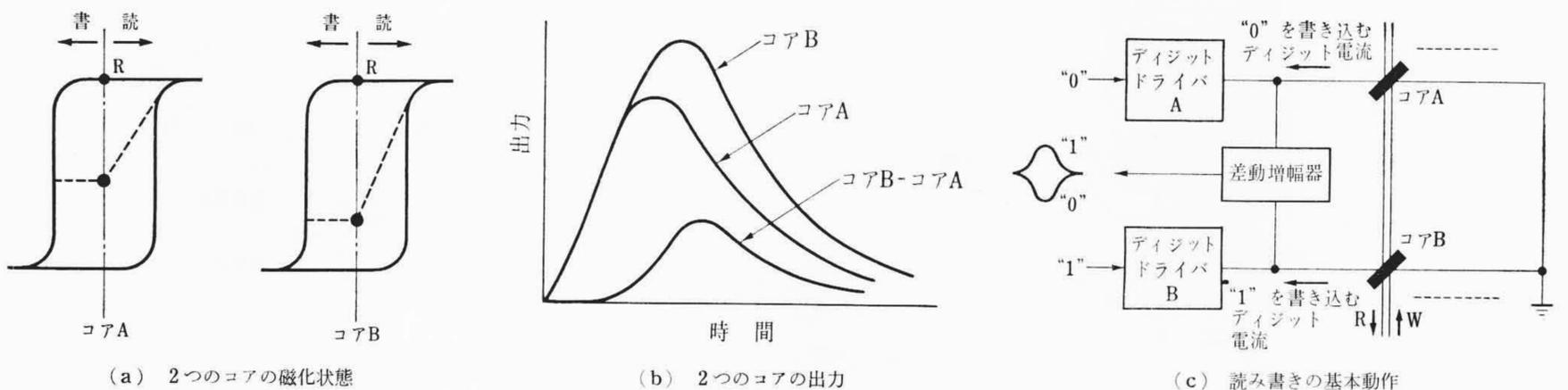


図20 1ビット2コアメモリ



特許の紹介



特許第454975号(特公昭38-14281)

小田原弘造

金属とセラミックの接着方法

従来のセラミックと金属たとえばモリブデンとの接着は、セラミックにモリブデン金属ペイントを筆その他で塗布するか、特定のメッシュをとおしてプリントするいわゆるシルクプリント方式により、このためいずれも量産ならびに精度のうえで問題があるという欠点があった。

この発明は上述のような欠点を取り除くために、感光性溶液に金

属または金属化合物を添加し、懸濁あるいは溶解させたいわゆる接着金属インクを接着すべきセラミックに塗布乾燥し、任意のネガをこれに密着し、露光後現像し焼結することによって金属とセラミックを接着するというもので、この発明によればセラミックと金属の接着においてその接着を簡単容易にかつ精密に行なうことができるという特長を有するものである。(福田)



新案の紹介



登録実用新案第775618号

村田良雄

多極真空管

この考案はステムセラミックと金属外被を用いた円筒状多極真空管の構造に関するもので、図面に示すように第3グリッドの一端を直接に、また陽極を耐熱性のセラミックスペーサを介して金属外被に固着したものである。

この考案によれば第3グリッドおよび陽極と金属外被とを一体化したため、構造が強固でかつ全体を小形化することができるという効果がある。

(福田)

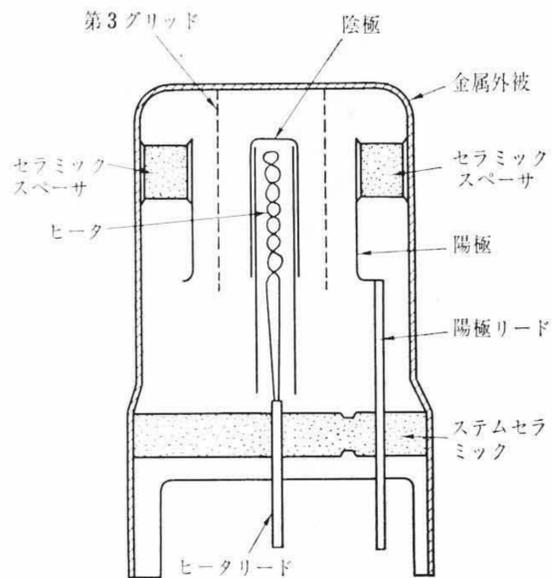


図 1

登録実用新案第775617号

中田九州男

電子管ヒータ

この考案は円筒状の傍熱形カソードを有する電子管のヒータ固定

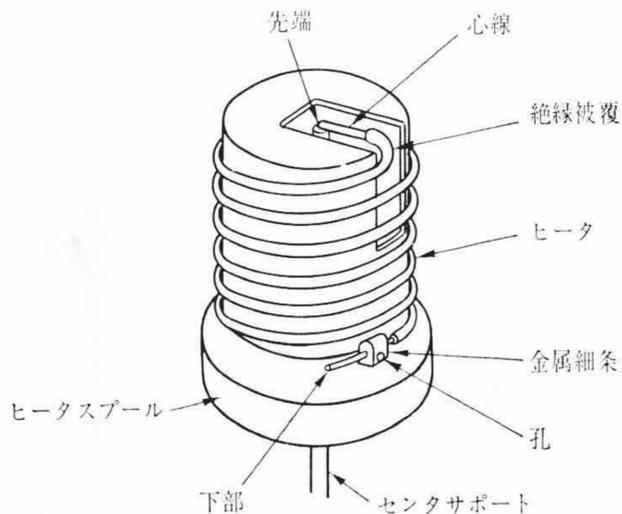


図 1

構造に関するもので、図1および図2に示すようにコイル状のヒータを取り付けた金属製のスプールの下部に穴を設け、ヒータ心線に金属細条をまきつけ、その端をスプールの穴の裏側にとおし、この裏側において金属細条とスプールとを溶接したものである。

この考案によれば構造簡単にしてヒータ溶接はずれのような電子管の致命的事故を確実に防止することができる。

(福田)

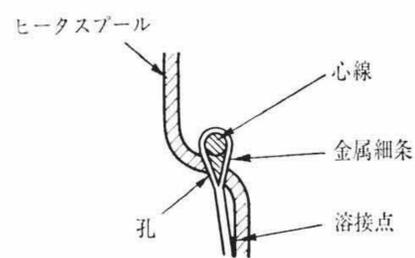


図 2