U. D. C. 681.142

HITAC 5020 E/F 電子計算機システム

HITAC 5020 E and 5020 F Computer System

佐藤利男* 中沢喜三郎**
Toshio Satô Kisaburô Nakazawa

要旨

HITAC 5020 E および HITAC 5020 F システム（以下 5020 E/F と略称）は，1964 年以来，17 システムの稼動実績を有する HITAC 5020 システムをさらに高速大形化したもので，国産の大形電子計算機として，最高の処理能力を有することはもちろん，世界でも，現在稼動中の大形システムとしては，トップグループに属している。本文では 5020 E/F システムの特長，構成，機能について，その概要を紹介する。

1. 緒言

電子計算機の高速化，大形化に対する要求は，ここ数年来ますますきびしさを加えてきていると考えられる。科学技術の多方面にわたる激しい進歩は計算需要の増大と大形化をうながし，それを短時間に，しかも経済的に消化するために，大形電子計算機を高能率で稼動させることが要求されてきた。日立製作所では 1964 年に国産初の大形電子計算機 HITAC 5020 システムを開発してこれらの需要にこたえてきたが，さらに第 1 線級大形機として 5020 の 8 ないし 12 倍処理速度の強化を図った HITAC 5020 E/F システムを昨年完成し，すでに数台設置，稼動の実績を挙げている。5020 E/F はすでに実績のあるハードウェア技術の基盤の上に立って設計，製作されたものであり，ソフトウェア的にも，5020と完全にコンパティビリティを有しており，ハード，ソフトとも充実した性能を発揮できる大形機である。

2. 特長

HITAC 5020 にはクロック周波数 18 メガサイクルの高速基本回路を使用し，大形計算機として必要な諸機能を完備している。特に科学技術計算および科学的経営計算に適した独特の諸機能を具備している。すなわち

（1） 14個の演算レジスタを有し，そのうち 6 個はすべての命令語の指標部によって指定できる待時間なしの即時変更子として利用され，またこれらのレジスタ群は中間メモリとして，多くのサブルーチンを同時に使用するプログラム，複雑な演算プログラム，多くの入出力プログラムを同時に進行させるプログラムにおいてきわめて有用である。

（2） 多重レベルのアドレス変更および間接アドレス方式が全命令について可能である。

（3） 固定，浮動双方の四則演算について，倍長演算がハードウェア的に用意されている。乗算は 4 倍長の結果を 1 命令で得ることができる。またケタ上げ表示子の利用により多倍長演算をきわめて容易にしている。

（4） メモリには語単位のアドレスのほかにビット単位のアドレスが付加され，可変長の命令によって任意長のデータ処理が可能であり，繰返し機能によって索表，データ分散，データ集合が容易である。

（5） 次アドレス演算機能により，定数データを命令のすぐ後に書くことが可能である。

（6） 入出力制御はチャネル機構により，各入出力装置に対し，優先順位処理と同時処理を行なっており，12個までのチャネルが接続可能である。

（7） 24個の割込み要因およびマスクビットを有しており，自動割込み制御が可能である。

（8） メモリの保護およびストッププロテクション，実時間クロックによる割込みなど完全なモニタシステムが運用できる機能を有している。

（9） 内部状態に関し，ユーザ・モードと，モニタ・モードなる考え方が明確に確立されている。

HITAC 5020 E/F システムは，以上のような特長を有する 5020 システムの機能を全部包含しながら，処理能力の大幅な強化をねらったものであり，その特長は次のとおりである。

2.1 プログラム・コンパティビリティ

5020のプログラム，すなわち，外部言語で書かれたプログラムはもちろんのこと，5020の機械語となっているオブジェクト・プログラムも，そのまま 5020 E/F にかかるというアップワード・コンパティビリティが保証されている。また，ダウンワード・コンパティビリティも，記憶容量，入出力機器構成が所要の条件に合致しプログラムが命令実行時間，指令実行時間に無関係であれば，完全に保証されている。

2.2 処理速度

内部演算速度は 5020 に比べ 5020 E/F は科学的使用法において概略 8～12 倍高速化され，その他の使用法でも 4～8 倍高速化されている。

2.3 内部記憶装置（コアメモリ）

5020 は 65K 語が最大の記憶容量であったが，5020 E/F では，262K 語まで拡張可能である。メモリのサイクルタイムは，5020 E システムでは 1.5 マイクル秒，5020 F システムでは 2.0 マイクロ秒であるが，メモリは全体として 4 個のバンクに分かれ，このおのおのがまったく独立に読み書き可能であることによってメモリの実効的速度の向上がはかられている。

2.4 機能の拡張

浮動小数演算に 4 倍長精度（8 ビット指数部，120ビット仮数部）の演算がハードウェアとして完備されている。

ビットごとの可変長データは 5020 では 2 語以内という制限があったが，5020 E/F では 64 ビット長まで任意に指定可能となった。

4 倍長までのシフト機能が追加された。整数演算命令，その他ハウスキーピング関係の命令などが追加された。

2.5 複コンピュータ・システムに対する適応性

磁気ドラムスイッチをプログラムで切り換える機能。他のコンピュータに割込みを掛け，あるいはコミュニケーション情報を伝送する機能などがあり，これによって他の 5020 または 5020 E/F による複コンピュータシステムを構成することが可能である。

* 日立製作所神奈川工場 工学博士
** 日立製作所中央研究所 工学博士

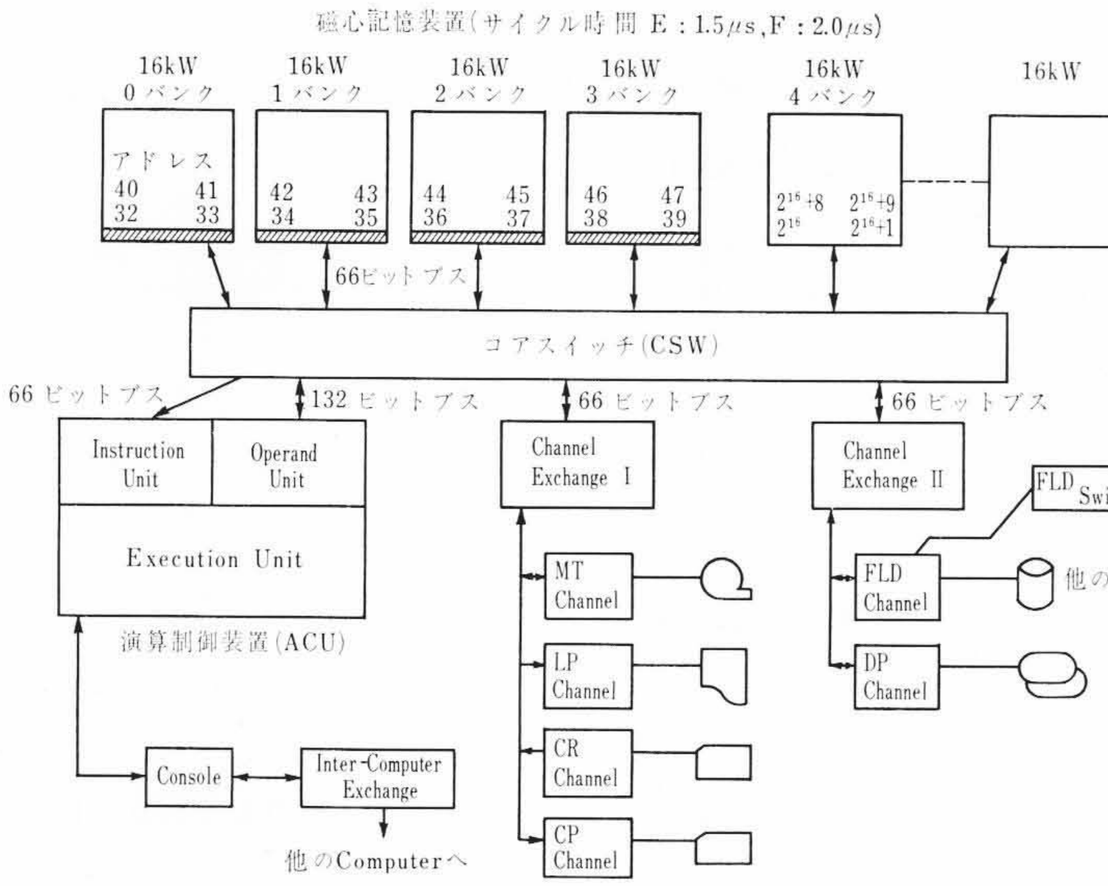


図1　5020 E/F のバンク・ブスの構造

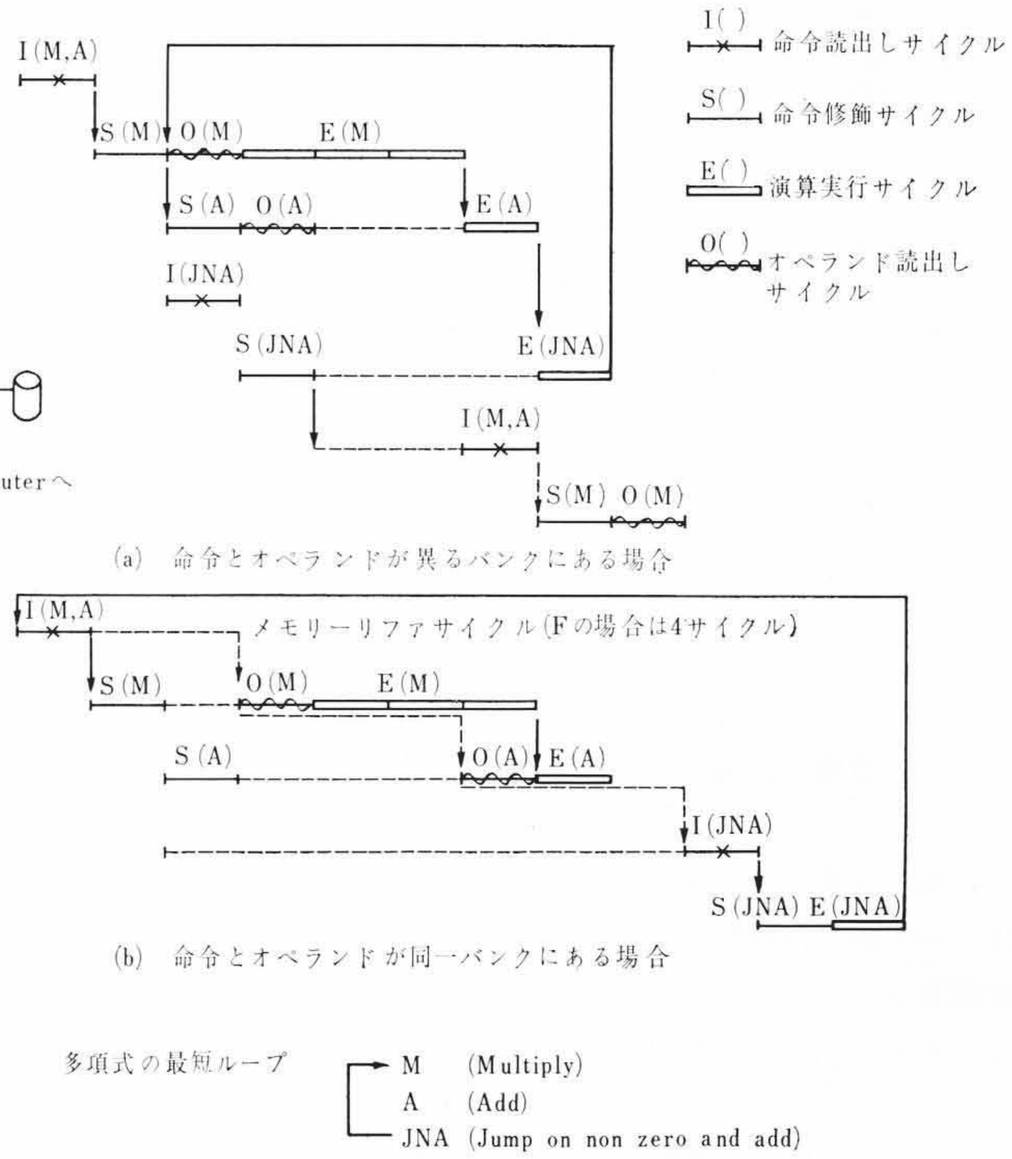


図2　5020 E/F の先取り制御方式

2.6 入出力装置および入出力制御チャネル

入出力装置および入出力制御チャネルは5020システムとまったく同一のものが使用されるが，各チャネルはチャネルエクスチェンジコントロールによりコアメモリと直接データ転送を行なうことができ，その処理能力は数倍に強化された。

3. 論理的構成

上記のように5020 E/Fは5020に比べその処理能力が8～12倍に強化されているが，これを実現している5020 E/Fの論理構成について述べる。

3.1 4ビットパラレルの論理構造

5020が18 Mcの高速基本回路を使用する完全シリアルなシステムであるのに対し，5020 E/Fでは実績ある5020の高速基本回路を用い4ビットパラレルの論理構造を採用した。これにより1演算サイクルは5020の2マイクロ秒に対し，5020 E/Fでは0.56マイクロ秒と約4倍弱の高速化を行なっている。

3.2 乗除算の高速化

算術演算の能力強化のため，乗算については，さらに2演算サイクルで1語32ビット×32ビットの乗算が可能となるようにしてある。すなわち，4ビットパラレルの加算器を8個縦続に置き，被乗数の1～15倍回路を設けて，乗数の各4ビットによって加算器の入力へ1～15倍回路のいずれを接続するかを制御する方法がとられている。また除算を強化するため通常のnon restoring methodを多少変更して，1演算サイクルに4ビットの商を立てる方法を採用した。この方法は8通りの商が得られる可能性の中から，除数の先頭5ビットと被除数の先頭6ビットを比較することによって2通りまで限定し，さらに比較によって次回サイクルの正しい被除数と4ビットの商を1演算サイクルで求めるものである。これにより8演算サイクルで1語32ビットの商を求めることができる。

3.3 記憶装置の複数バンクおよび複数ブスの構造

5020 E/Fのコアメモリは図1に示すように16K語を単位とするバンクに分かれており，各バンクはまったく独立に読み書き可能である。各バンクとコアスイッチはおのおの66ビット2語容量のブスで接続されており，2語を一度に読み書きできる。一方コアスイッチに対するメモリコントロールブスは，処理装置側に2語分の命令を一度に読み出すための命令ブスと，4語分の演算ブスが用意されているとともに，入出力チャネル用に66ビット2語分のブスが2本用意されている。これら4本のブスがそれぞれ異なるメモリバンクを対象とする場合は，それぞれが同時にメモリの読み書きを行なうことができる。二つのコントロールユニットからの要求が同一バンクでぶつかり合った場合は，チャネルエクスチェンジ1，2，次いで演算ブス，命令ブスの順位で優先処理される。メモリの番地付けは2～31番地は，5020と同様電磁遅延線記憶装置であり，7個のインディックレジスタ，14個の演算レジスタ，各種割込みインディケータ，マスクレジスタ，メモリプロテクションレジスタ，リアルタイムクロック，チャネルコントロールレジスタなどよりなる。32番地以降はコアメモリであり，4バンクを一まとめにし，この中で8語を周期とした番地づけがなされている。したがって図1に示したバンク，ブスの構造からして演算ブスは引続く4語までを同時に参照でき，その他は引続く2語まで同時に参照可能である。

3.4 先取り制御

5020 E/Fでは前の命令の実行中に，4番地先の命令まで先取りして読み出しておき，2番地先の命令まで番地修飾を完了し，1番地先のオペランドまで読み出して用意しておくことによって，実行終了とともに直ちに次の命令の実行が可能であるよう制御されている。すなわち，命令の読み出しとその修飾，オペランドの読み出し，および命令の指定する演算の実行が，それぞれパラレルに動作し，先取りされる命令の読み出し，修飾，オペランドの読み出しに要する時間は，演算の実行時間中にかくれ，プログラムの処理時間にはあらわれないようになっている。したがって先取り制御が完全に遂行された場合のプログラム処理時間は，命令の読み出し，その修飾，オペランド読み出しの各時間を含まない正味の演算実行時間の各命令についての和となる。命令の読み出しとオペランドの読み出しが同一バンクでぶつかり合う場合には，完全な先取りが行なわれない場合であり，この場合は命令の読み出しとその修飾，オペランドの読み出しに要する時間がプログラムの処理時間に含まれてくる。これらの様相を例示したのが図2である。この先取り制御によって，約1.8～2.2倍の処理能力の強化が図られている。

表1　H-5020, 5020E/F の演算速度
（命令の読出し，インデックス修飾を含む）

（単位　マイクロ秒）

種類	数値	精度その他	5020	5020E	5020F
加減算	固定小数点	1 倍長	8	0.75～2.25	1.0～3.0
		2 倍長	12	1.25～2.55	1.5～3.0
	浮動小数点	1 倍長	14～24	3.0～3.75	3.25～4.5
		2 倍長	16～26	3.0～3.75	3.25～4.5
		4 倍長		5.5～7.0	6.5～8.0
乗算	固定小数点	1 倍長	24	2.0～2.5	2.25～3.25
		2 倍長	80	3.5～3.75	3.5～4.0
	浮動小数点	1 倍長	36～38	2.75～3.75	2.75～4.0
		2 倍長	72～74	4.25～5.25	4.25～8.0
		4倍長 $V=0$		8.5～9.5	8.5～10.0
		4倍長 $V=1$		13.5～15.0	13.5～16.0
除算	固定小数点	1 倍長	42	7.5～8.0	7.5～9.0
		2 倍長	148	25.0～26.0	25.0～26.5
	浮動小数点	1 倍長	72～80	12.5～13.5	12.5～14.5
		2 倍長	132～142	21.5～22.5	21.5～23.5
		4倍長 $V=0$		42.5～44.0	42.5～44.5
		4倍長 $V=1$		78.0～79.5	78.0～80.0
シフト		1 倍長	6～10	1.0	1.0
		2 倍長	6～10	1.5	1.5
		3 倍長		2.0～2.5	2.0～2.5
		4 倍長		2.5～3.0	2.5～3.0
ジャンプ		ジャンプするとき	4	0.5～1.5	0.5～1.75
		ジャンプしないとき	8	1.0～1.5	1.0～2.0
ストア固定小数点		1 倍長	10	1.25～2.5	1.25～3.25
		2 倍長	16	1.25～2.5	1.25～3.25
2 進 → 10 進変換　1けたあたり			20	2.5～3.0	3.0～3.5
10 進 → 2 進変換　1けたあたり			24	3.0～3.5	3.5～4.0
多項式の最小ループ $P\cdot X+a_i=P'$	固定小数点	1 倍長	36	3.0～6.0	4.0～6.5
		2 倍長	96	6.0～7.0	6.5～8.5
	浮動小数点	1 倍長	64	6.0～7.0	6.5～7.5
		2 倍長	100	7.0～8.0	8.0～8.5
		4 倍長		20.0	19.0～21.0
行列積の最小ループ $\Sigma+a_i\cdot b_j=\Sigma'$	固定小数点	1 倍長	48	5.0～7.5	5.5～8.5
		2 倍長	112	8.0	8.0～8.5
	浮動小数点	1 倍長	86	8.0～10.0	9.0～12.5
		2 倍長	116	9.0～11.0	10.5～13.0
		4 倍長		20.0～22.0	22.0～25.0
消去法による逆行列最小ループ $a_i+\alpha b_j=a_i'$	固定小数点	1 倍長	54	6.0～10.5	6.5～12.0
		2 倍長	124	8.0～10.5	9.5～12.0
	浮動小数点	1 倍長	98	10.0～12.5	10.5～14.0
		2 倍長	138	11.0～13.5	11.5～15.0
		4 倍長		21.5～23.5	22.5～26.5

3.5 追加機能

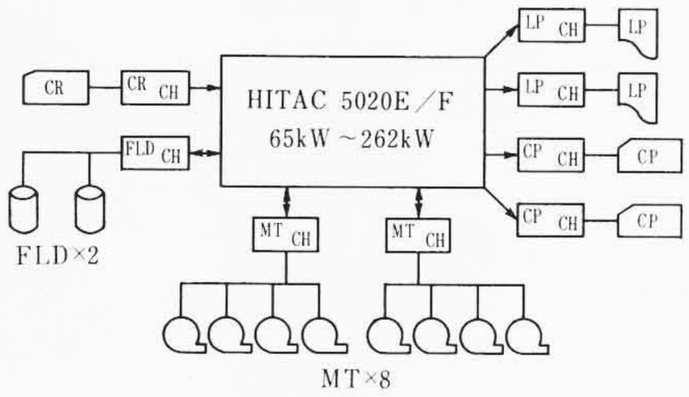
5020ではソフトウェア命令となってプログラム的に処理されている次の命令を金物的に実現し性能向上を図っている。すなわち

3.5.1 命令の拡張

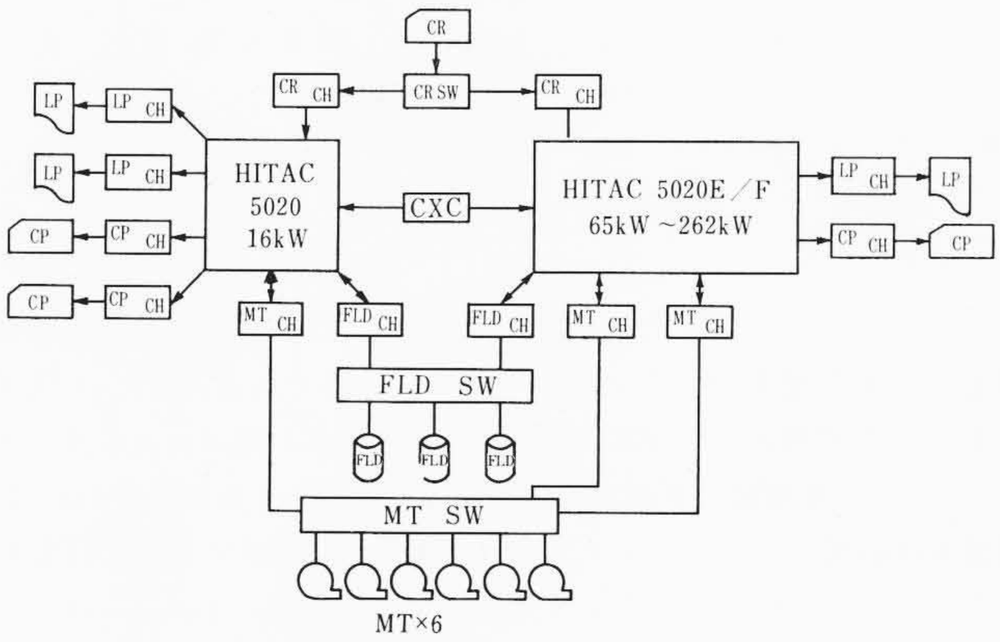
（1） Immediate Multiply 命令で 5020 では実効アドレス $\hat{m}$ が5ビットまでの積しかとれなかったものを，16ビットまでの積がとられるようにしたこと。

（2） Jump on Unequal (J.U) 命令および Jump on Non Zero and Add (JNA) 命令に大小比較の機能を追加したこと。

（3） 可変長命令のオペランドが3語にまたがる場合，5020ではプログラム的に処理されていたが，E/F では金物で実行するようにしたことなど。



(a) 単プロセッサーシステム



(b) 複プロセッサーシステム

図3　HITAC 5020 E/F システム構成図

3.5.2 命令の新設

（1） 4倍長128ビットのオペランドを取り扱える，シフト命令および浮動小数点の加減乗除算命令を金物的に追加し処理能力の向上を図った。

（2） 半語16ビットのオペランドを取り扱う加減算およびトランスファー命令，整数の乗除算命令を新設した。

（3） 可変長命令では，情報の反転転送，和情報の転送および情報の入れ換えを行なう命令を新設して，その機能を強化した。

（4） その他 Jump 関係命令の追加およびメモリ拡張に伴う命令を新設し，性能強化を図っている。

3.6 メモリの拡張

5020 E/F ではメモリの最大容量を 262K 語まで拡張し，能力強化を図ったが，この場合のアドレッシングの方法としては，新設の前置命令により次の命令のアドレス部を変更して実効番地を16ビットより21ビットに拡張する方法が採られている。この方法により65K 語以下では5020と完全にコンパティビリティを保つことができ，拡張された領域を使用するためのソフトウェアも従来の思想をそのまま生かして容易に拡張できる。

以上のように5020 E/F は5020の思想を完全に包含したかたちでその処理能力の大幅な強化を図ったもので，その内部演算速度を5020と対比して示せば表1のとおりである。

4. システム構成

図3に5020 E/F バッチ処理システムの構成例を示す。システムを構成している入出力機器の性能は表2に示すとおりで，これらは5020で使用されているものと同一である。(a)は単プロセッサシステムの構成で，オペレーテングシステムの制御下で，入力仕事，内部処理仕事，出力仕事が並行に同時処理される。ラインプリンタお

表2　外部接続装置性能

(I) 外部記憶装置

機器名	形名	容量 (kW)	転送速度 (kW/s)	アクセス時間 (ms)	チャネル当たり接続台数
フローテングヘッド磁気ドラム(FLD)	1123	262	102	10	4
固定ヘッド磁気ドラム(FD)	176A	65	51	10	8
磁気テープ装置(MT)	3485	—	22.6	3*	6
磁気ディスク(DP)	8564	1,860	39	85	8

(II) 入出力装置

機器名	形名	速度	字数	チャネル当たり接続台数
カード読取機 (CR)	329B	1,470枚/分	80 字/枚	1
紙テープ読取機 (PTR)	322	1,000字/秒	5, 6, 8 単位可	1
ラインプリンタ (LP)	333	1,000行/分	120 字/行, 64 種	2
カードパンチ (CP)	334	100字/秒	80 字/枚	1
紙テープパンチ (PTP)	331	100字/秒	5, 6, 8 単位可	1

* スタート，ストップ時間

よびカードパンチが各2台接続されているのは，5020 E/F の内部処理能力と出力能力のバランスを考慮したものである。(b)は5020 E/F を主計算機とし，5020を衛星計算機とする複プロセッサシステムで，両計算機間の制御情報の交換はC×Cを介して行なわれ，計算情報は磁気ドラムスイッチ (FLD SW) と磁気ドラム装置 (FLD) を介して行なわれる。このシステムでは複計算機用オペレーテングシステムの制御によって，5020は多重の入出力仕事を専門に，5020 E/F は内部処理仕事に専念し，その能力を完全に発揮させることが可能である。システムの特長としては磁気ドラム装置の活用がある。磁気ドラムをシステムプログラムのファイルとして，また内部処理の際のシステムおよび目的プログラムの作業区域として使用することによって，モニタルーチンをはじめ，すべてのシステムプログラムを必要なときだけメモリに呼び出すことが容易になり，メモリがシステムプログラムによって必要以上に占有されることが避けられるとともにプログラムの翻訳実行の能率を向上させることが可能となっている。複計算機システムではさらに入出力バッファとして磁気ドラムを使用しているため，磁気テープに比べてその能率がきわめて高い。

図4　5020Eシステムの外観

現在5020E システムは東京大学大形計算機センターに，5020F システムは気象庁に納入され，実動を開始している。図4は5020 Eシステムの外観の一部を示したものである。

5. 結　　言

HITAC 5020 E/F は5020の処理能力強化機として開発されたもので，その初号機は1966年9月に完成し，以来4システムの稼動実績を得ている。計算需要の大形化がますます増大の傾向にある昨今5020 E/F のもつ高速性の果す役割はきわめて大きいものと期待される。終わりに本システムの開発に当たってご協力いただいた日立製作所中央研究所の村田部長はじめ関係者のかたがたに深甚なる謝意を表する。

参　考　文　献

(1) HITAC 5020 命令語説明書
(2) HITAC 5020 E/F 命令語説明書
(3) 酒井ほか： 汎用大形電子計算機 HITAC 5020 のソフトウェアシステム 日立評論 **46**, 7 (昭39-7)
(4) HITAC 5020 プログラムマニュアル