

M O S I C の 開 発

Development of MOS Integrated Circuits

高 木 武* 初 鹿 野 凱 一*

Takeshi Takagi

Yoshikazu Hatsukano

柴 田 昭 太 郎** 久 保 征 治***

Shōtarō Shibata

Seiji Kubo

要 旨

入力インピーダンスが高いという特長をもつPチャネルエンハンス形 MOST (Metal Oxide Semiconductor の略称) を用いたデジタル用 MOS IC の開発を行なった。代表品種としては、HD 701 M (双 8 ビット・ダイナミック・シフトレジスタ)、HD 703 M (4 ビット・ダイナミックメモリ)、HD 704 M (双 4 入力 アンド/オア ゲート) および HD 705 M (双 J-K フリップ・フロップ) の 4 品種である。

本稿ではデジタル用 MOS IC の設計基礎概念を説明し、ついで上記 4 品種についての電気的特性およびその応用例について説明する。

1. 緒 言

最近の半導体製造技術の進歩により、MOS IC もバイポーラ IC とならんで各種の電子機器に採用されつつある。

MOST は 1962 年 RCA および日立製作所でそれぞれ独自に開発され、以後各社において積極的に実用化研究が行なわれた。MOS IC は MOS 形電界効果トランジスタ (MOST と略す) を基本とする集積回路で 1 チップで入出力の接続数をますことなく、回路機能を増加することができる。この基本となる MOST の特長は次のとおりである。

- (1) 入力インピーダンスが高いため、段間の直結回路が構成されやすい。
- (2) MOST 自身が自己アイソレーション作用をもつ。したがって普通の半導体 IC のようにアイソレーションによる寄生効果がない。
- (3) MOST は小形化が可能である。
- (4) MOST 自身を高抵抗素子に用い得る。

このため、半導体 IC の出現と同時に MOS IC の開発が行なわれた。MOS IC は上記の特長をもつ反面、多数キャリア素子のためスイッチング速度が、バイポーラ IC に比べて約 1~2 けた遅いため、デジタル機器用の IC として用途に限界がある。しかし回路構成素子自体が小形高密度化できるので、1964 年に GME 社が 20 ビットシフトレジスタをはじめ一連のデジタル回路用 MOS IC を発表し、ビクター社 (アメリカ) はこれを用いた卓上会計機を試作した。

日立製作所においても、現在では卓上会計機用として一連の品種を開発し、市販し得る段階に達している。もちろん卓上会計機の試作も完了し、機能の確認も終わっている。

本稿ではデジタル用の MOS IC 設計方法の概略と、開発した MOS IC の代表品種についてのべる。

2. MOS IC とバイポーラ IC との比較

MOST を使った IC は 1 チップに組み込まれる回路機能をますことができ、従来のバイポーラ IC の占める面積で同じ機能を有する回路を約 40 個も集積できる。

(1) 空間の節約

- (a) トランジスタが小さいので従来のトランジスタの面積のわずか 5% ですむ。

- (b) MOST を高抵抗負荷として用いることができる。
- (c) 素子間の絶縁分離に必要な面積が不要である。
- (d) 回路機能当たりの必要な部品数が少なくてすむ。

(2) 価 格

1 チップ当たりの機能が増加しているので回路機能当たり価格が安くなる。

(3) 工 程 の 比 較

P-チャネル MOST ではプロセス工程 (組立工程以前の工程) として 8 工程を必要とするのに対し、2 重拡散エピタキシャルトランジスタでは 13 工程を必要とする。

(4) クロスオーバー

MOS IC では部品間のクロスオーバーは問題にならない。クロスオーバー領域は 80~100Ω/口 の抵抗をもっているが、100 kΩ けたの負荷抵抗に比べれば無視できる。

(5) 信 頼 性

MOS IC は歴史が浅く、信頼性に関する十分なデータは少ないが、現在の製造技術に応じた集積度をもつ MOS IC の信頼性はバイポーラ IC の信頼性と対比できるものと考えられる。

3. MOS IC の 設 計

3.1 MOST の概要⁽¹⁾⁽²⁾

3.1.1 MOST の基本特性

デジタル回路用 MOS IC に用いられる MOST には P チャネル (エンハンスモード) MOST と n チャネル (デプレッションモード) MOST の 2 種類がある。本稿で述べる MOS IC には P チャネル MOST のみを使用しているが、低消費電力として特長のある相補形回路には両者が用いられる。

以下 P チャネル MOST についてその構造および特性について簡単に述べる。

図 1 に P チャネル MOST の構造を示す。n 形シリコン基板に p 形不純物を拡散し、ソースおよびドレイン領域を形成する。ゲート領域には、他領域に比べ薄い SiO₂ 膜を形成する。各電極は図に示すようにアルミニウム蒸着薄膜で形成される。

P チャネル MOST の静特性の一例を図 2 (a), (b) に示す。

図 2 (a) はゲート電圧 V_{GS} と、ドレイン電流 I_{DS} の関係を示す。“シキイ電圧” V_{TH} までは I_{DS} は非常に小さく、 V_{TH} を越えると急増する。この場合、シキイ電圧 V_{TH} とは、あらかじめゲート SiO₂ 膜直下に形成されているチャネルを n 形か p 形に変換するに要するゲート電圧であり次式で定義される。

* 日立製作所武蔵工場

** 日立製作所武蔵工場 工学博士

*** 日立製作所中央研究所

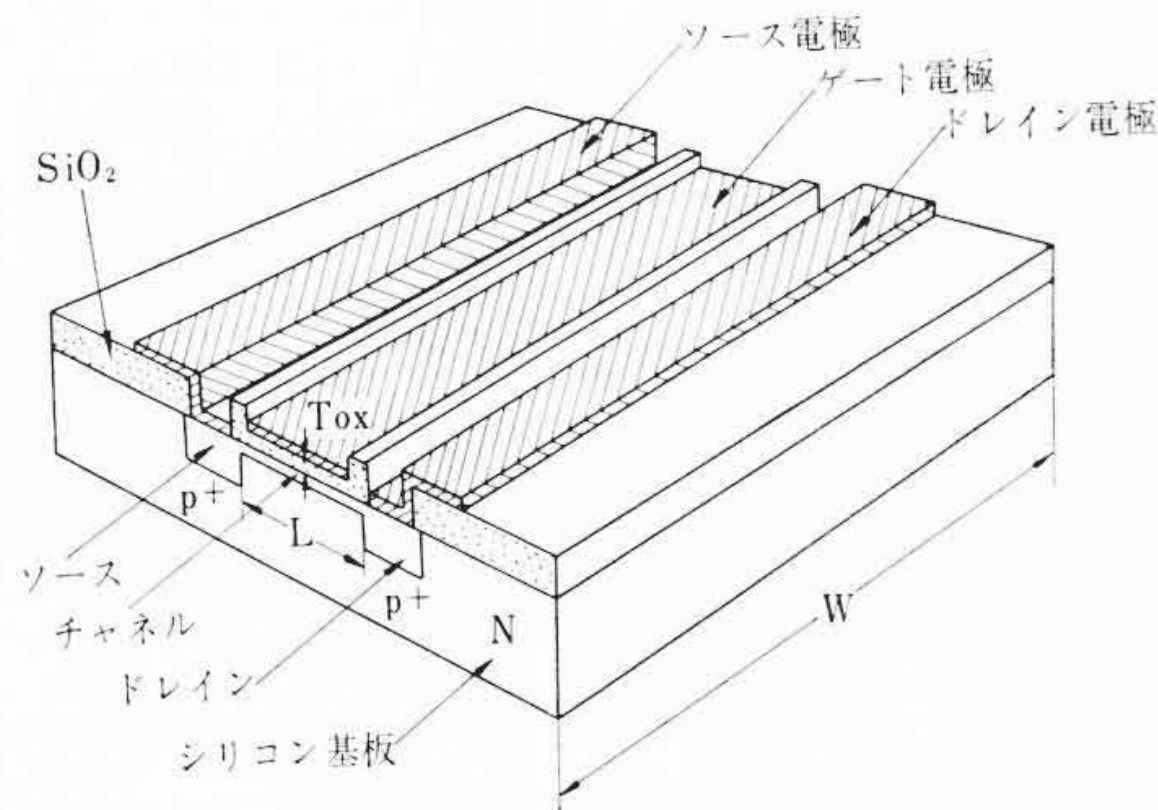
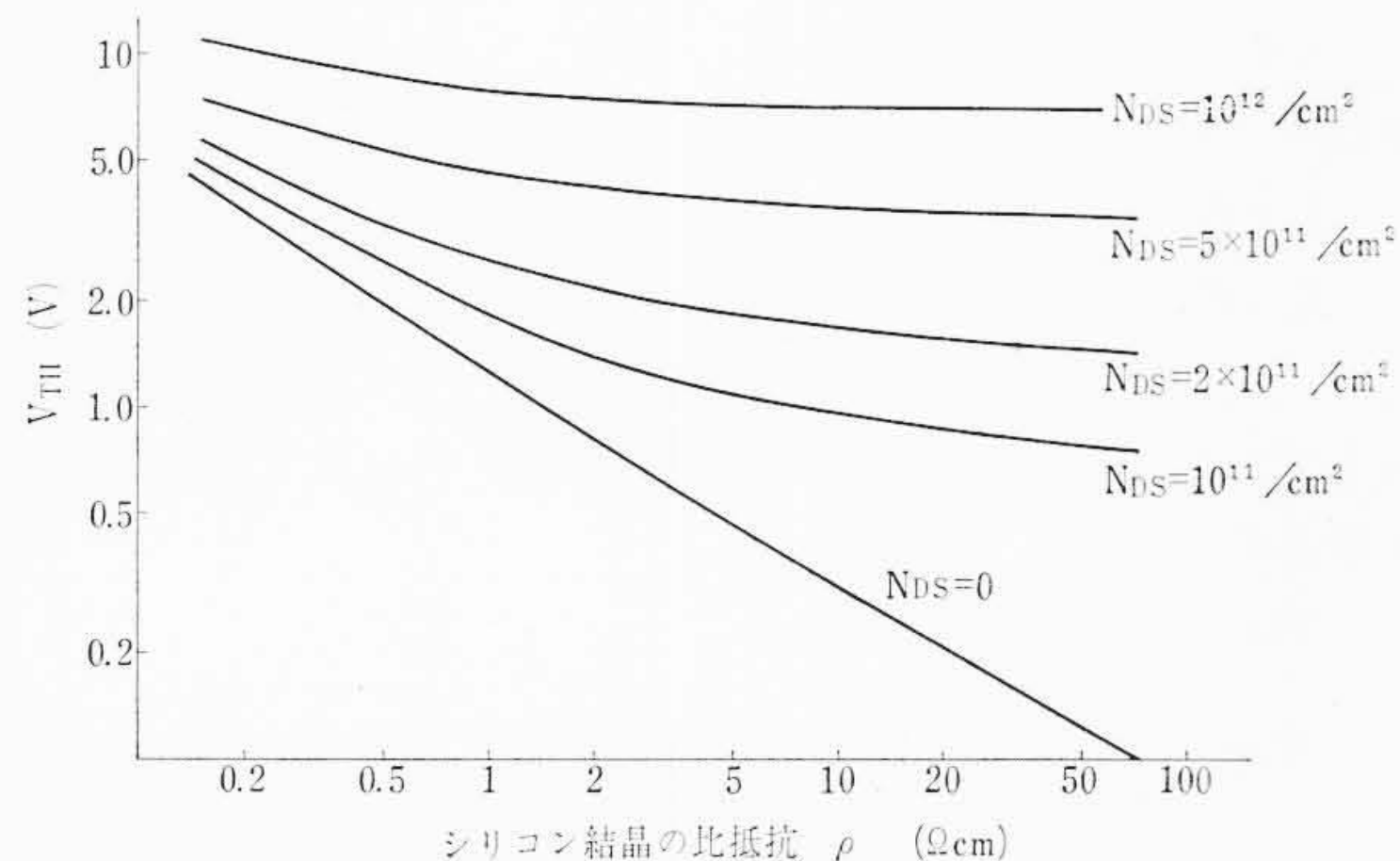


図1 MOSTの構造

図3 シリコン基板比抵抗と V_{TH} の関係

$$V_{TH} = q(N_{DS} + N_B) \cdot \frac{T_{OX}}{\epsilon_{OX}} \quad (1)$$

ここに、 q : 電子の電荷

N_{DS} : 表面ドナー準位密度

N_B : 基体シリコンの空間電荷層中の不純物密度

T_{OX} : ゲート SiO_2 の厚さ

ϵ_{OX} : SiO_2 の誘電率

図2(b)はMOSTの $V_{DS}-I_{DS}$ 特性を示す。図中に明示したようにMOSTの動作領域を(1)カットオフ領域、(2)非飽和領域、(3)飽和領域に区分して考える。

各領域でのドレイン電流 I_{DS} はそれぞれ次式で示される。

(1) カットオフ領域

$$I_{DS} \approx 0$$

(2) 非飽和領域

$$V_{DS} \leq V_{GS} - V_{TH} \quad (2)$$

$$I_{DS} = K \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (3)$$

(3) 飽和領域

$$V_{DS} \geq V_{GS} - V_{TH}$$

$$I_{DS} = \frac{1}{2} K [V_{GS} - V_{TH}]^2 \quad (4)$$

$$K = \frac{\mu_P \epsilon_{OX}}{T_{OX}} \cdot \frac{W}{L} \equiv k \cdot \frac{W}{L} \quad (5)$$

ここに、 μ_P : 正孔の移動度

T_{OX} : ゲート SiO_2 の厚さ

L : ゲート長

W : ゲート幅

図2の静特性は理論的に、(2)~(5)式で求められる。したがってMOSTの特性は製造方法によって、またゲートの幾何学的構造によって決まってくる。特にゲート長および幅を変えるだけで任意の特性を得られることはIC設計上有利な点である。

MOSTのその他の主要パラメータに相互コンダクタンス(g_m)

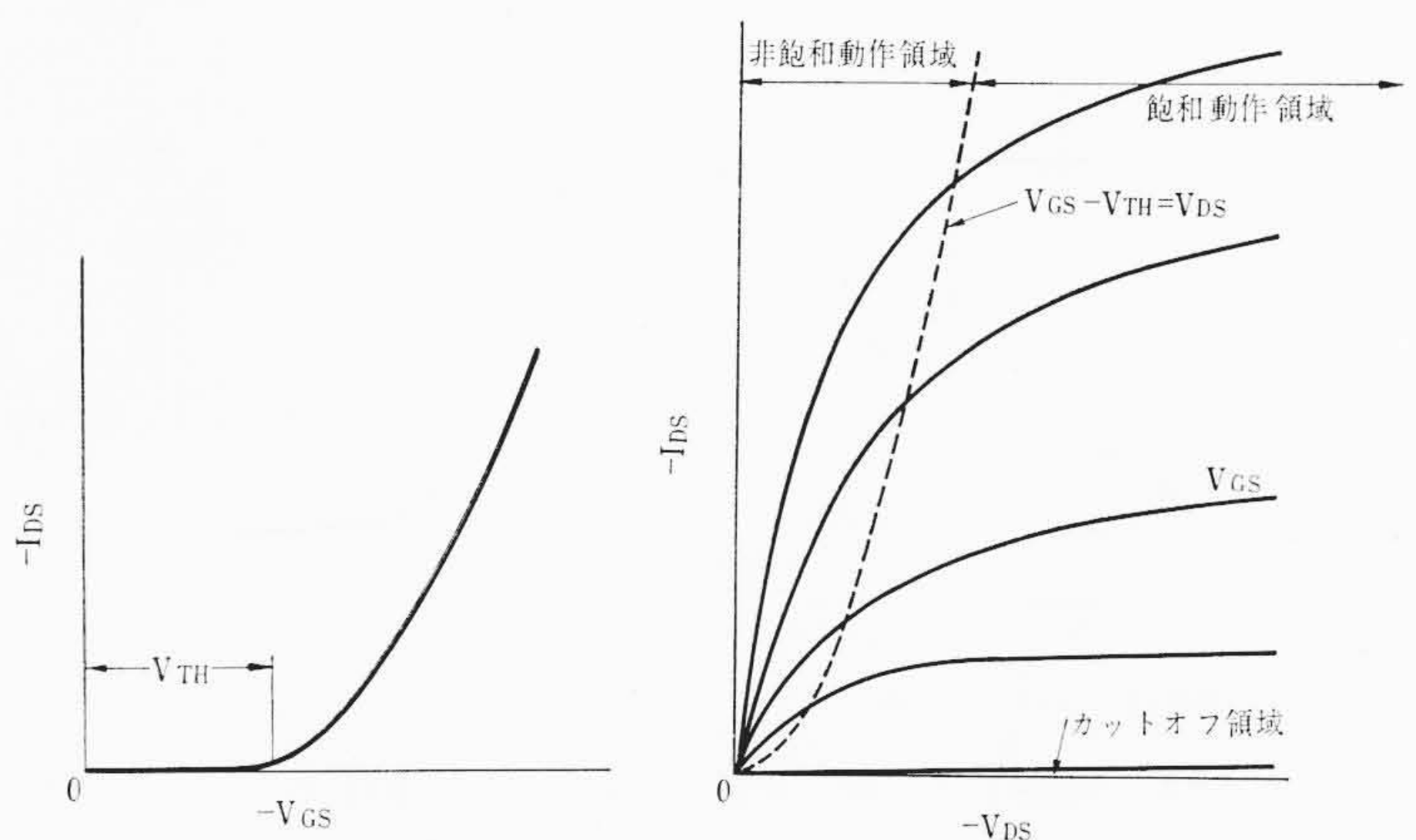
(a) $V_{GS}-I_{DS}$ の関係(b) MOSTの $V_{DS}-I_{DS}$ 特性

図2 PチャネルMOSTの静特性

内部抵抗(r_{DS})および増幅率(μ)がありそれぞれ下式のように示される。

非飽和領域 ($V_{DS} \leq V_{GS} - V_{TH}$)

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} \bigg|_{V_{DS}} = K V_{GS} \quad (6)$$

$$r_{DS} = \frac{\partial V_{DS}}{\partial I_{DS}} \bigg|_{V_{GS}} = \frac{1}{K(V_{GS} - V_{TH} - V_{DS})} \quad (7)$$

$$\mu = g_m \cdot r_{DS} = \frac{V_{DS}}{V_{GS} - V_{TH} - V_{DS}} \quad (8)$$

飽和領域 ($V_{DS} \geq V_{GS} - V_{TH}$)

$$g_m = K(V_{GS} - V_{TH}) = \sqrt{2K I_{DS}} \quad (9)$$

$$\left. \begin{aligned} r_{DS} &\rightarrow \infty \\ \mu &\rightarrow \infty \end{aligned} \right\} \quad (10)$$

非飽和領域における r_{DS} はMOSTをスイッチング動作させるときのインバータMOSTのオン抵抗(R_{ON})と等価であり、この全領域で $V_{DS}-I_{DS}$ がほぼ直線関係にあるので R_{ON} は次式で近似できる。

$$R_{ON} \equiv r_{DS} \approx \frac{1}{2K(V_{GS} - V_{TH})} \approx \frac{1}{g_m} \quad (11)$$

3.1.2 シリコン基板

基板シリコンの比抵抗は“シキイ電圧” V_{TH} の値を左右する。すなわち、(1)式に示されるように V_{TH} は基板中の活性不純物濃度 N_B に比例する。図3は基板比抵抗 ρ と V_{TH} の関係を示している。

したがって、MOSTの電気的特性を良くするためには、ドレインソース間の逆耐圧(パンチスルー電圧)をそこなわない範囲で、基板の比抵抗 ρ をできるだけ高くして V_{TH} を低減、ドレインpn接合の高逆耐圧をはかることが望ましい。

基体シリコンの結晶面は、表面準位密度(N_{DS})が、(100)面で最小になるという実験事実⁽³⁾に基づいて(100)面を用いることがある。

3.2 MOSTを用いたインバータの伝達特性⁽⁴⁾

デジタル用MOSICの基本回路は図4(a)に示すような直結形のインバータで、伝達特性は同図(b)のようになる。

入力電圧 $V_I \leq V_{TH}$ の状態でインバータMOSTはオフ領域にある。したがって出力電圧 V_O はオフレベル(V_{OFF})にある。

入力電圧 $V_I \geq V_{TH}$ では動作点が非飽和領域に移るため出力電圧 V_O はオンレベル(V_{ON})にある。

さて、(1)MOSTのオフ抵抗は負荷抵抗に対して十分大である。

(2)次段または外部負荷は、MOSTのゲートである。すなわち外

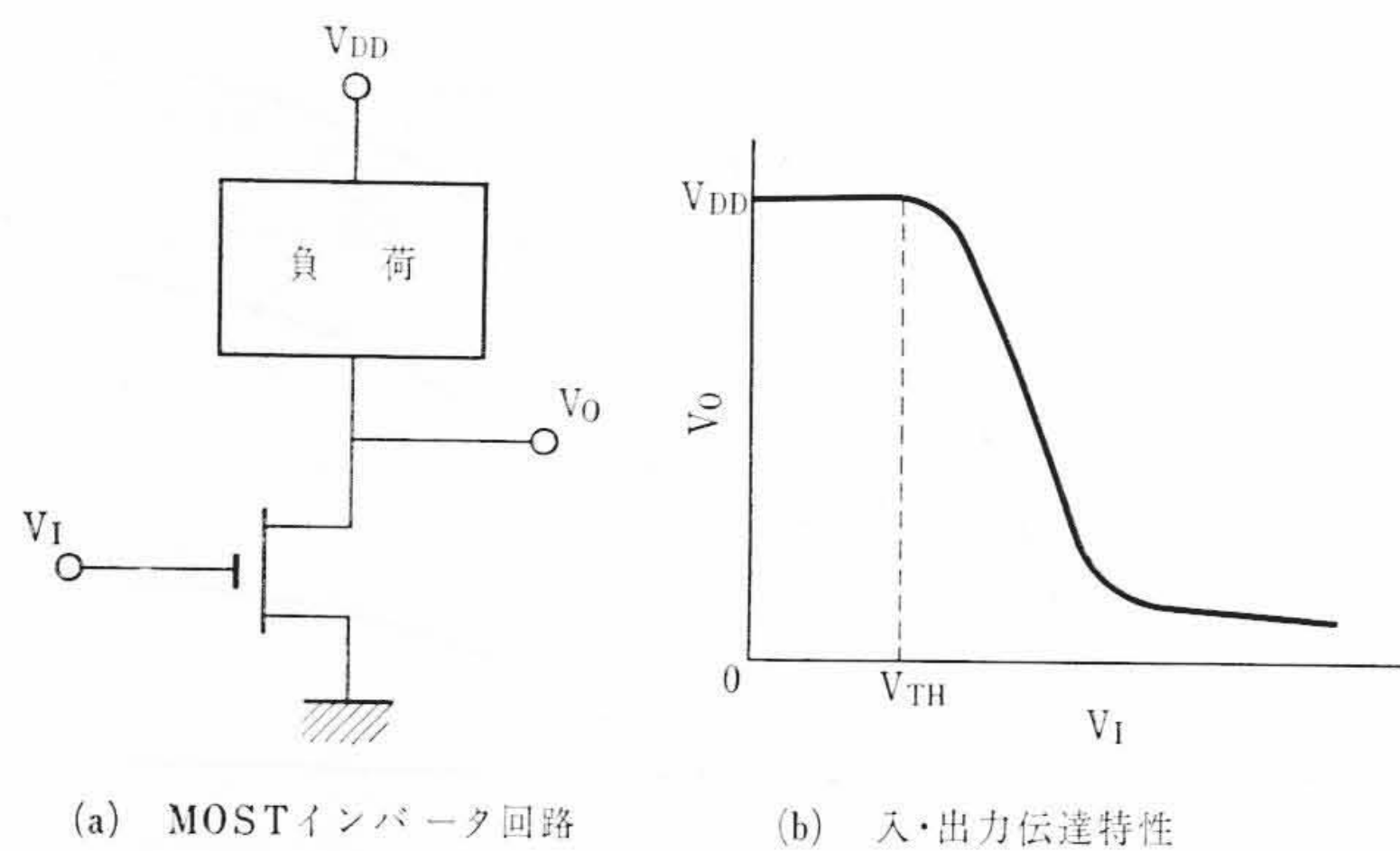


図4 MOSTインバータ基本回路および伝達特性

部負荷の直列抵抗は十分大である。この二条件を仮定して以下論ずる。

負荷抵抗としては図5に示すように、(1) リニヤ抵抗, (2) 飽和動作MOST, (3) 非飽和動作MOSTの3種類が考えられる。いまそれぞれ入出力の伝達特性について述べる。

(1) リニヤ負荷を用いた場合

図5(a)に示すようなリニヤ負荷を用いたときのオフレベルおよびオンレベルは次式に示すようになる。

$$V_0 = V_{OFF} = V_{DD} \quad (12)$$

$$V_{ON} = \frac{R_{ON}}{R_{ON} + R_L} \cdot V_{DD} \approx \frac{V_{DD}}{-R_L \cdot K(V_I - V_{TH}) + 1} \quad (13)$$

ここに、 V_{DD} : 電源電圧

R_L : 負荷抵抗値

R_{ON} : インバータMOSTのオン抵抗

インバータMOSTの“シキイ電圧” $V_{TH} = -5V$, $V_{DD} = -12V$, $R_L = 10k\Omega$ としたとき W_1/L_1 に種々の値を用いたときの $V_I - V_0$ 特性(伝達特性)の一例を図6に示す。 $W_1/L_1 \sim$ を増すと伝達特性は急しゅんになる。

(2) 負荷MOSTを飽和動作領域で用いた場合

負荷抵抗に飽和動作させたMOSTを用いた場合(図5(b))には、負荷MOSTの動作条件は $|V_{GG} - V_{TH}| \leq |V_{DD}|$ であるから、負荷MOSTを流れる電流 I_2 とインバータMOSTを流れる電流 I_1 はそれぞれスイッチオフ時に

$$I_1 = I_2 \approx 0 \quad (14)$$

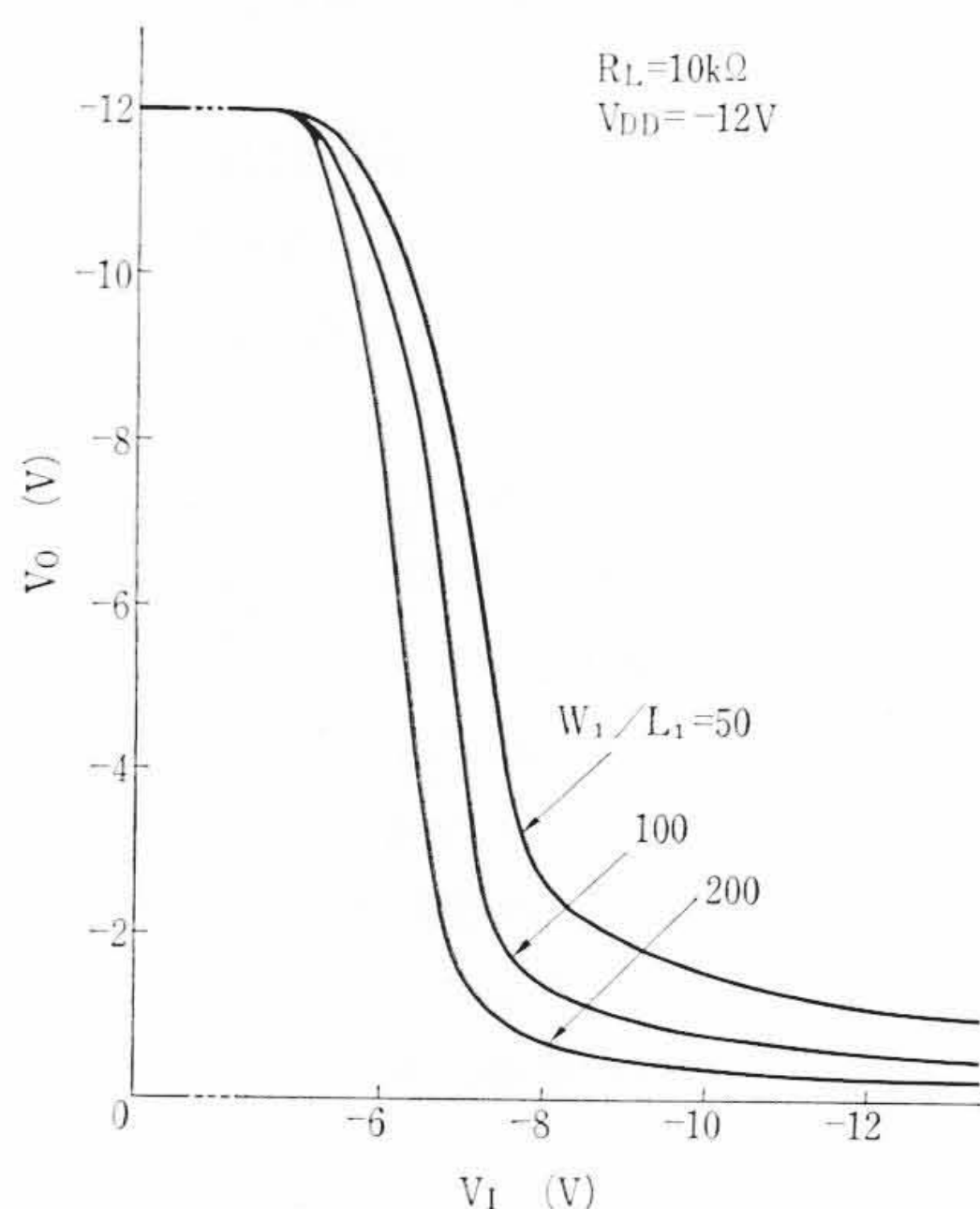


図6 リニヤ負荷を用いた場合の伝達特性

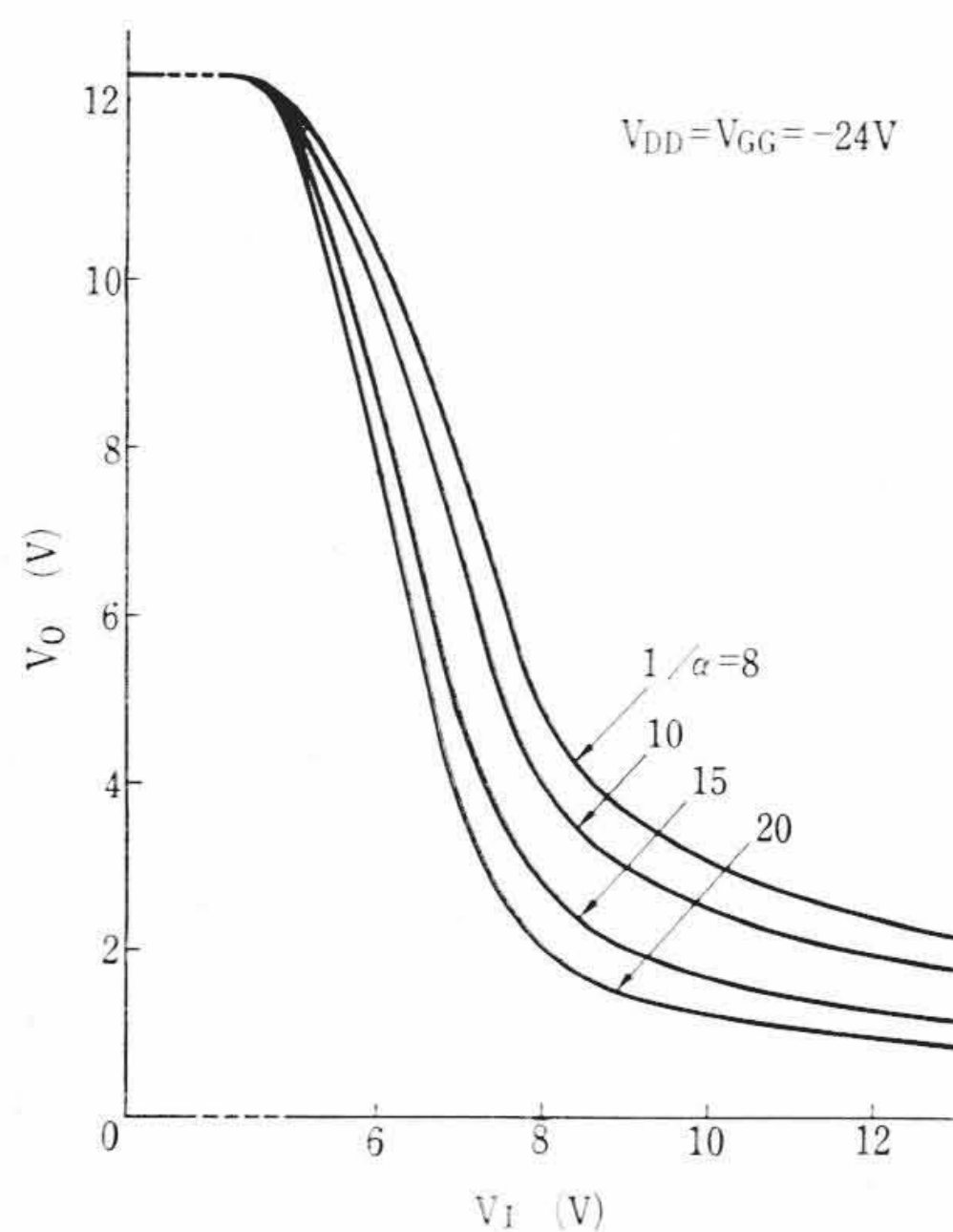


図7 負荷MOSTを飽和動作させたときの伝達特性

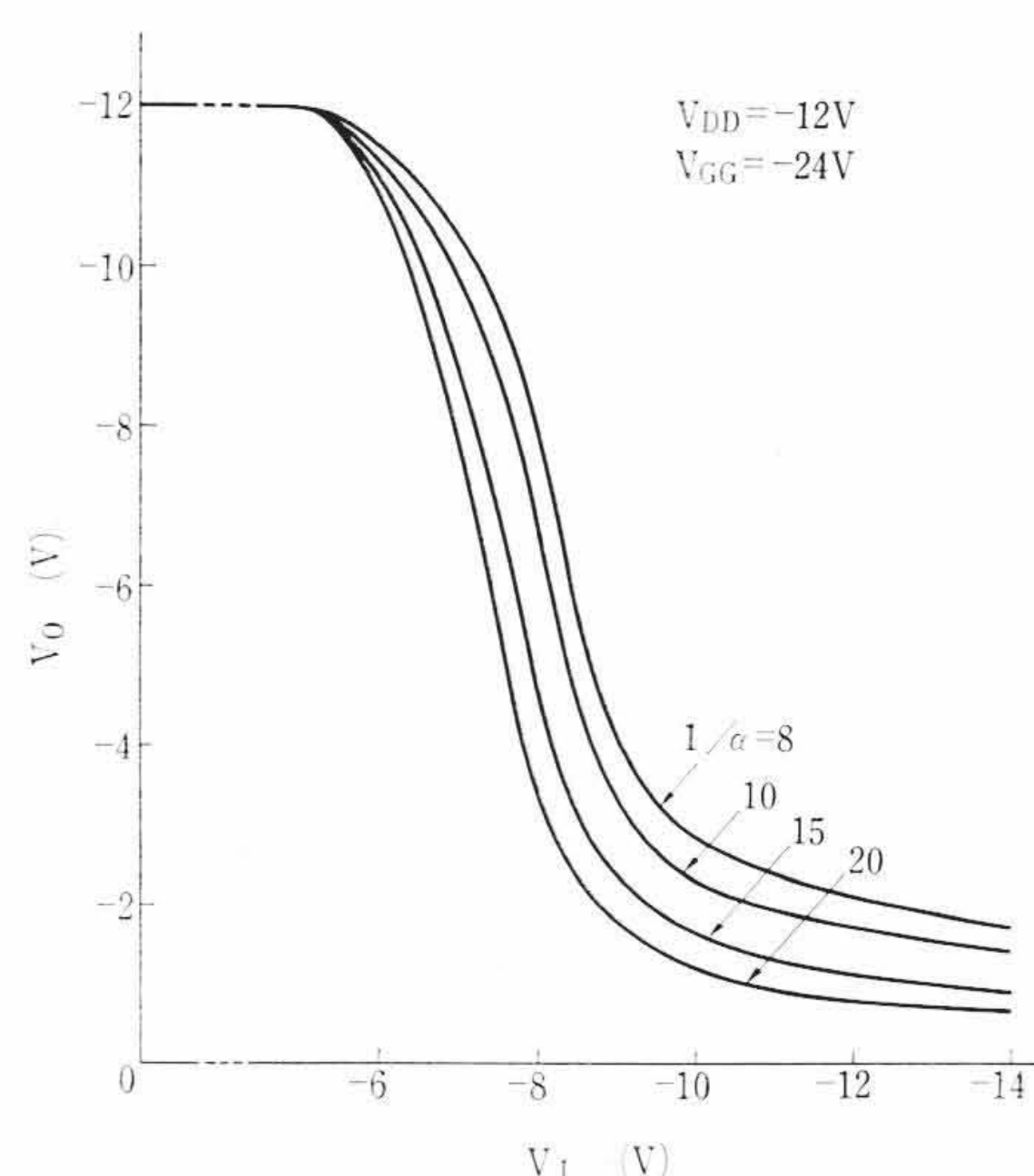


図8 負荷MOSTを非飽和動作させたときの伝達特性

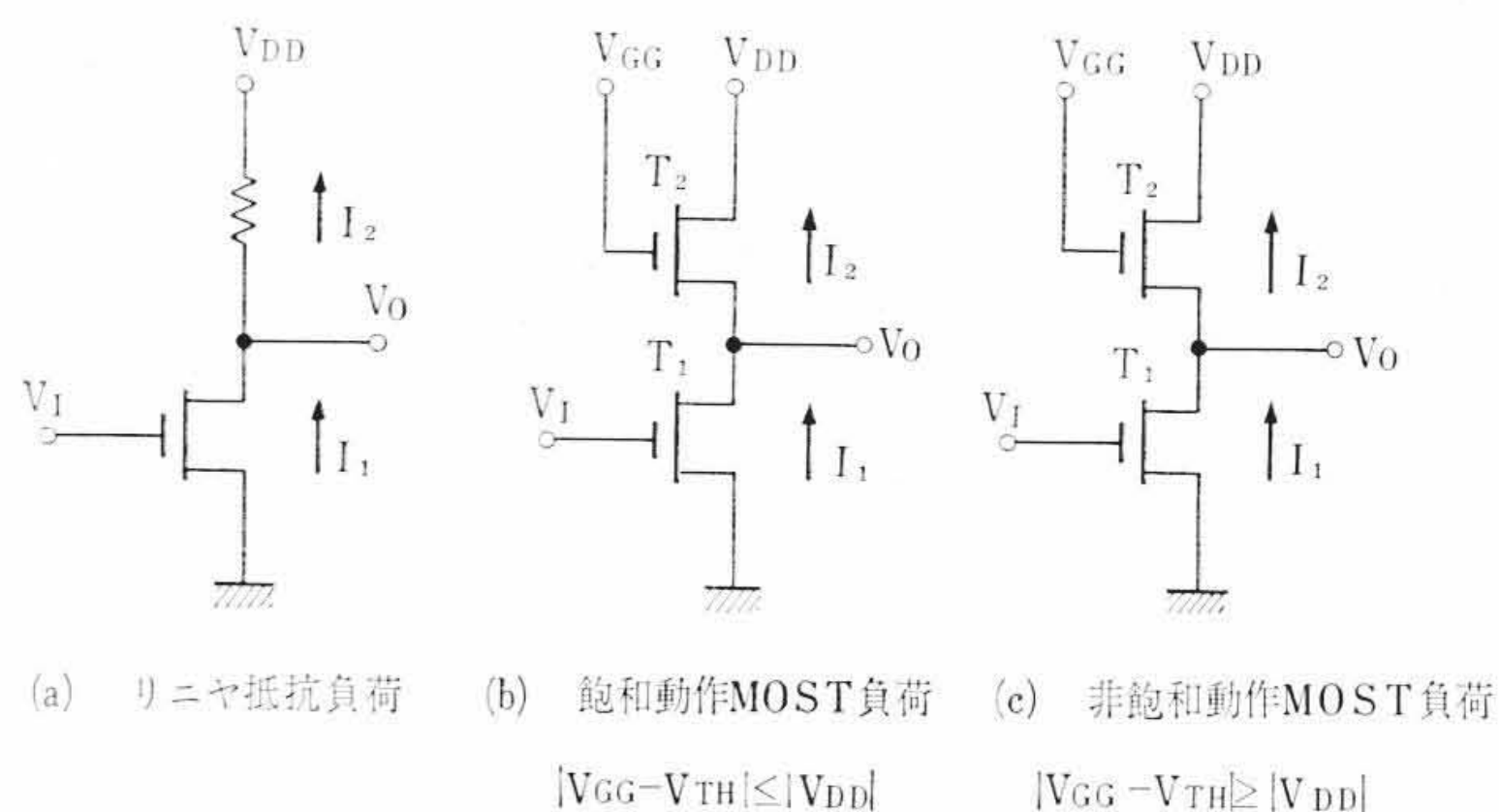


図5 インバータ負荷の種類

またスイッチオン時には

$$I_1 = K_1 (V_I - V_{TH}) V_0 \quad (15)$$

$$I_2 = K_2 / 2 \cdot (V_{GG} - V_0 - V_{TH2})^2 \quad (16)$$

V_{TH2} : T_2 のシキイ電圧

である。したがって $I_1 = I_2$ より V_{OFF} および V_{ON} は下記のようにして求められる。

$$V_{OFF} = V_{GG} - V_{TH2} \quad (17)$$

$$V_{ON} = \frac{\alpha}{2} \cdot \frac{(V_{GG} - V_{TH2})^2}{V_I - V_{TH} + \alpha (V_{GG} - V_{TH2})} \quad (18)$$

$$\alpha = L_1 \cdot W_2 / L_2 \cdot W_1 \quad (19)$$

上式よりスイッチオフ時のインバータMOSTの出力電圧は、電源電圧 $V_{DD} = V_{GG}$ と負荷MOSTのシキイ電圧 V_{TH} で決まり、スイッチオン時には、 V_{GG} , V_{TH} のほかに負荷MOSTおよびインバータMOSTの設計定数 α で決まる。

図7は飽和MOST負荷の場合の伝達特性の例を示したものである。

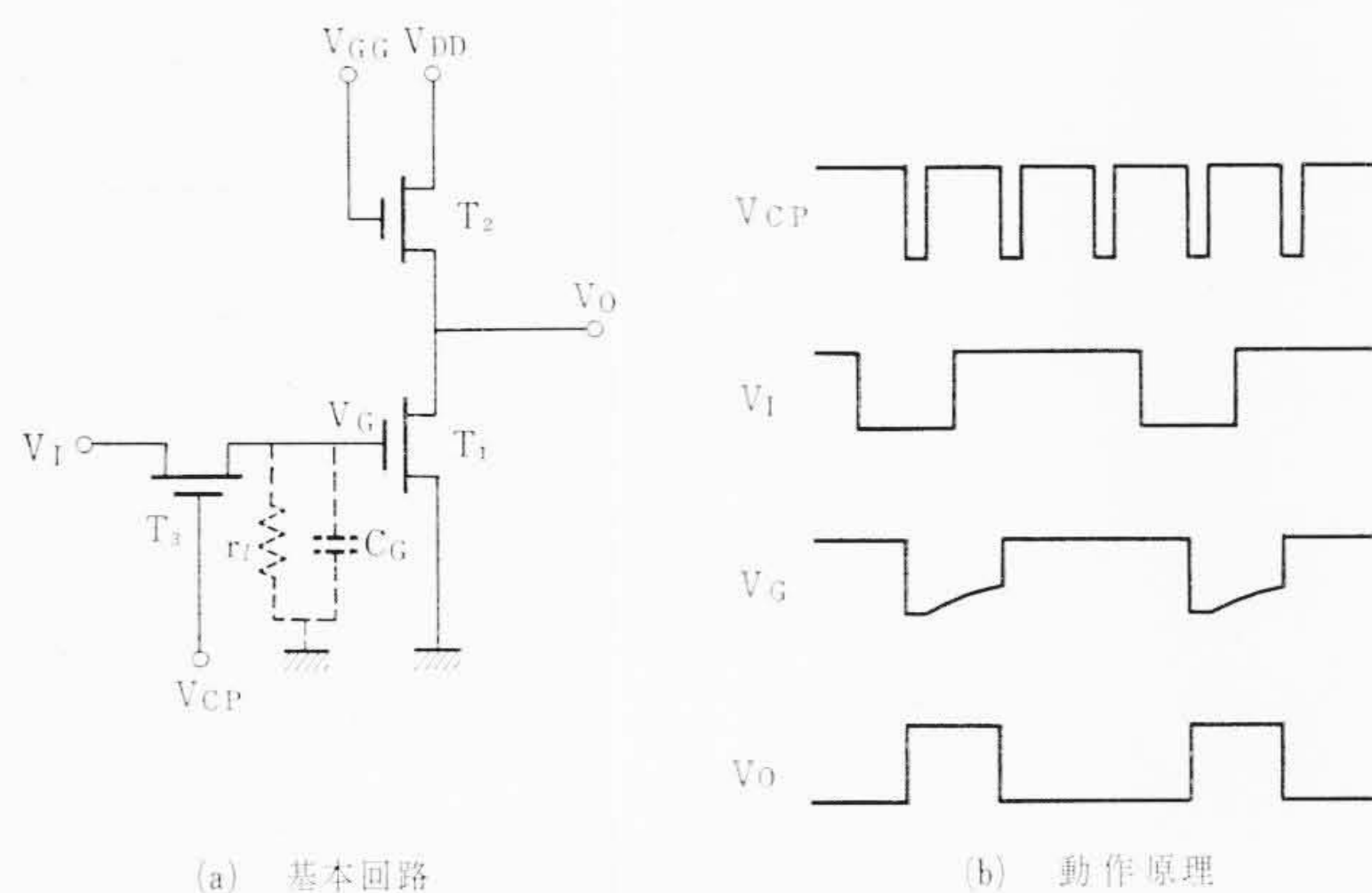
(3) 負荷MOSTを非飽和動作させた場合

図5(c)に示すように負荷MOSTが非飽和動作するためには、 $|V_{GG} - V_{TH}| \geq |V_{DD}|$ であるから前節と同様な手法により、出力電圧 V_{OFF} および V_{ON} を求めると次式のようなになる。

$$V_{OFF} = V_{DD} \quad (20)$$

$$V_{ON} = \alpha \cdot \frac{(V_{GG} - V_{TH}) V_{DD} - \frac{1}{2} \cdot V_{DD}^2}{V_I - V_{TH} + \alpha (V_{GG} - V_{TH})} \quad (21)$$

図8は非飽和MOST負荷の伝達特性の例を示したものである。



(a) 基本回路 (b) 動作原理

図9 ゲートメモリ基本回路および動作原理

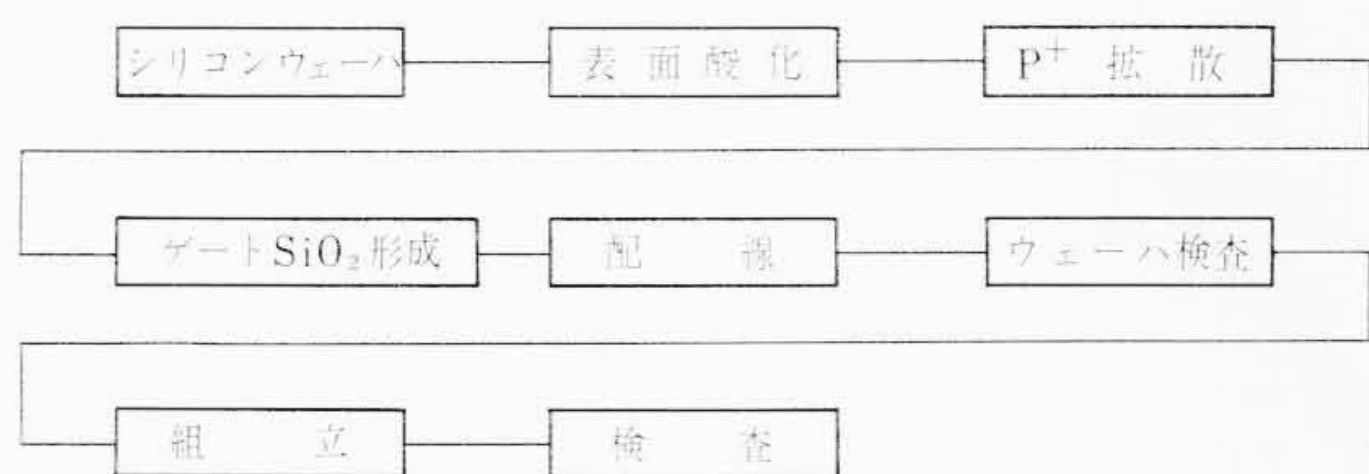


図10 MOS IC の工程縮図概略

3.3 ゲートメモリ特性

デジタル回路においては、ゲート回路とともにメモリ回路すなわちフリップ・フロップ回路が論理要素の基本となっている。

MOS IC では MOST の高入力インピーダンス特性を利用し、メモリ回路を簡単化することができる。

ゲートメモリの基本回路は図9に示すように、 T_1 のゲート容量 C_G と並列スイッチ MOST の T_3 によって構成される。入力 V_I の信号パルスが、 T_3 のゲートに加わるクロックパルス V_{CP} によって C_G に伝達され、 $V_{CP}=0$ となって T_3 がオフしている期間は信号を C_G に一時的にメモリできることを利用する。実際には T_3 のドレイン接合のリーク抵抗 r_l を介して信号電圧は時間とともに減少するが、その値が T_1 の V_{TH} より十分大きい範囲では T_1, T_2 のインバータによって信号が再生される。ただし極性は図9(b)のように反転する。

C_G にたくわえられた信号電圧を $V_G(t)$ とすると、

$$\frac{V_G(t)}{V_{OFF}} = \exp(-t/\tau_m) \quad (22)$$

$$\tau_m = C_G \cdot r_l \quad (23)$$

r_l : T_3 のドレイン pn 接合の実効リーク抵抗

記憶された信号電圧 V_G の最小許容電圧値を V_{OFF} の 90% とし、それまで減衰する時間を t_m とすれば

$$t_m \simeq \tau_m / 2.2 \quad (24)$$

である。したがって t_m は T_3 のドレイン pn 接合のリーク抵抗と、 T_1 のゲート容量との時定数で決まる。

4. MOS IC の製法の概要

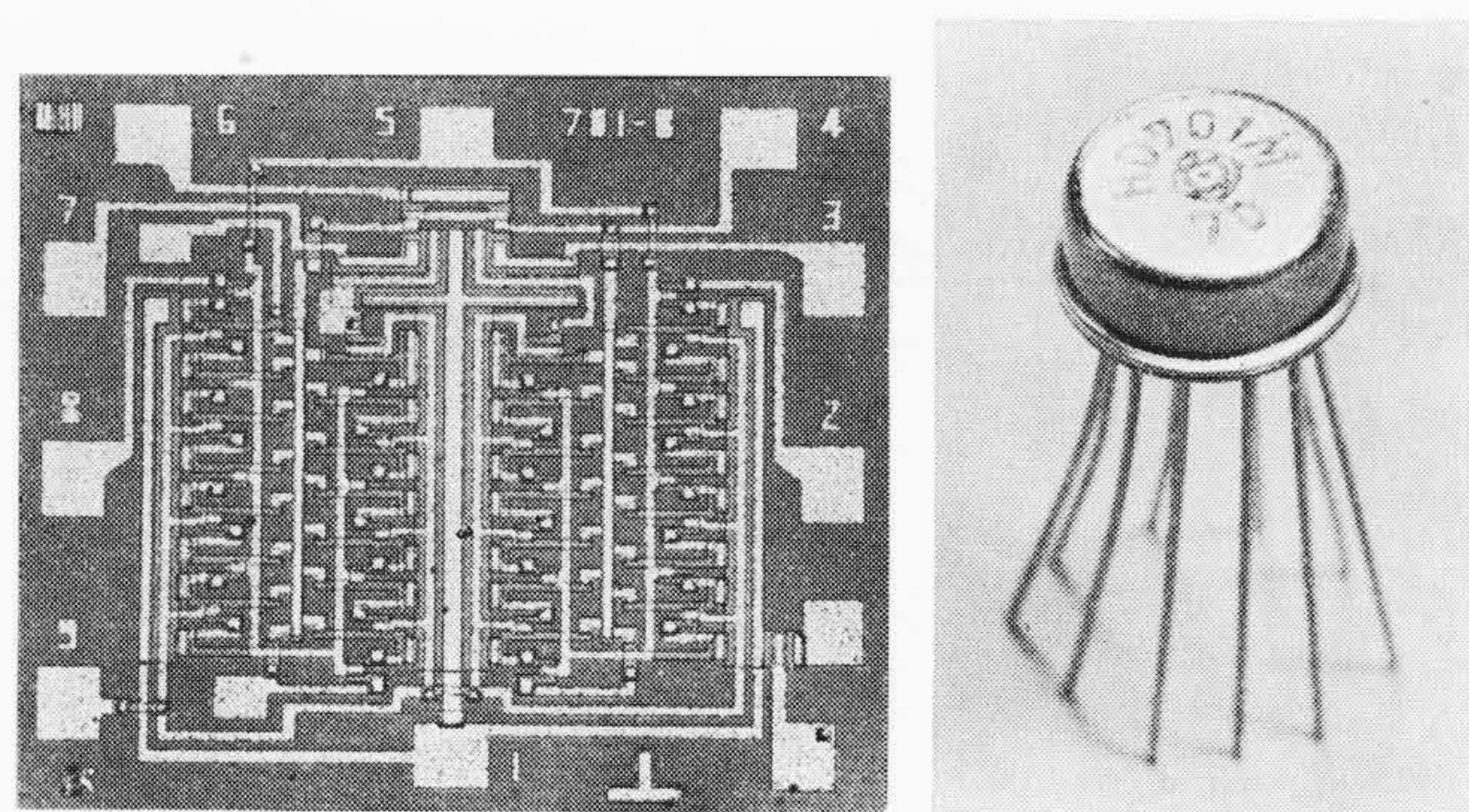
Pチャネル MOST を用いたデジタル用 MOS IC の製造工程線の概略を図10に示す。

4.1 シリコンウェーハ

基板となるシリコンウェーハは n 形で、比抵抗は通常 $0.5 \sim 5 \Omega \text{cm}$ である。結晶面には主として (100) を使用した。表面を鏡面研磨した後、 $5 \sim 10 \mu$ 程度化学研磨する。

4.2 表面酸化

シリコンウェーハ全面におよそ 1μ の SiO_2 膜を熱酸法で形成する。これは SiO_2 膜を十分厚くすることにより、アルミニウム蒸着配



(a) MOS IC ペレット (HD701) (b) MOS IC 組立完成品 (HD701)

図11 MOS IC のペレットおよび完成品

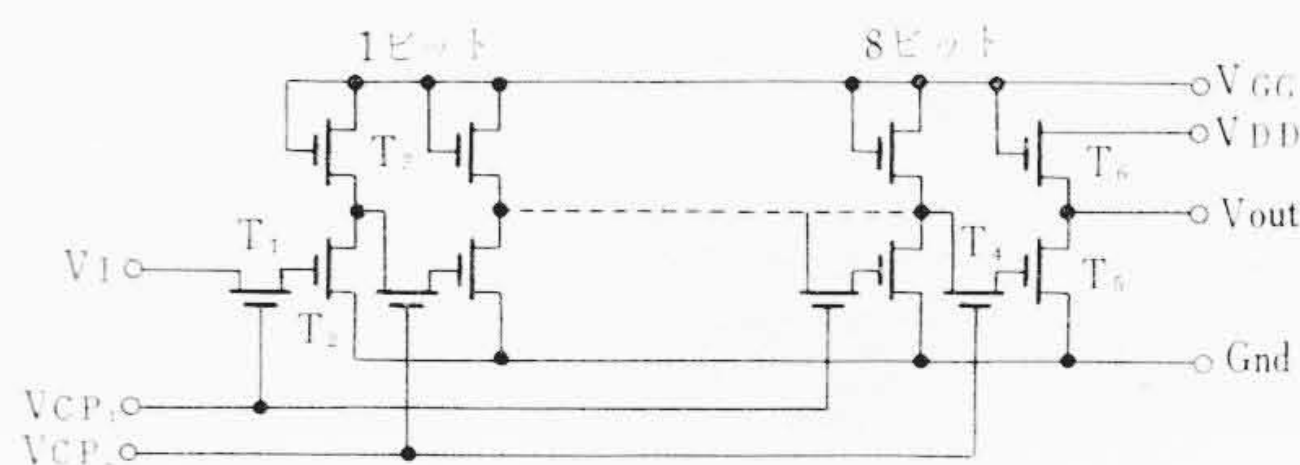


図12 双8ビット・ダイナミック・シフトレジスタ HD701M の回路図 (ただし8ビット)

線後各所に生ずる寄生 MOS 効果をできるだけ少なくし、実効的な端子間のリーク電流を少なくするためである。

4.3 p^+ 拡散

回路を構成する MOST のソース、ドレイン領域および電源配線の一部領域に p^+ 選択拡散を行なわせる。不純物源としては硼素を用いる。

4.4 ゲート SiO_2 膜の形成

MOST のゲート部分をホットエッチした後、ゲート SiO_2 膜を形成する。この SiO_2 膜の厚さおよび安定性のいかにによって、MOST の“シキ電圧” V_{TH} の値、再現性などが左右される。したがって SiO_2 の厚さ、 SiO_2 形成前後のウェーハ表面の清浄度の管理には十分注意する必要がある。この工程は MOS IC の特性を支配する最も重要な工程である。

4.5 アルミニウム蒸着配線

ゲート SiO_2 膜形成後、電極コンタクト部分だけ SiO_2 をホットエッチし、全面にアルミニウムを蒸着する。さらにホットエッチによって所望の配線を行なう。

4.6 ウェーハ検査

アルミニウム蒸着配線を完了したウェーハには、数百個の回路が形成されているので、そのおのおのについて、所要特性の GO-NO, GO テストを行ない良否の判定をする。

4.7 組立

パッケージには、TO-5 形 10~12 本リードのシステムを用いた。電極リードにはアルミニウム細線を超音波溶接した。

以上述べた方法によって得られた、MOS IC ペレットの外観および、完成品の一例を図11(a), (b)に示す。

5. 開発した回路例

前章までに Pチャネル MOST を用いたデジタル用 MOS IC の設計および製法について記した。

本章では、卓上会計機用として開発した一連の MOS IC のうち特に用途の広いと思われる代表品種について電気的特性、動作原理および応用について説明する。

5.1 双8ビット・ダイナミック・シフトレジスタ (HD-701M)

図12に双8ビット・ダイナミック・シフトレジスタの回路構成を

表 1 HD701M の真理値表

入 力	出力 (Q_{n+1})
D	D
$\bar{D}$	$\bar{D}$

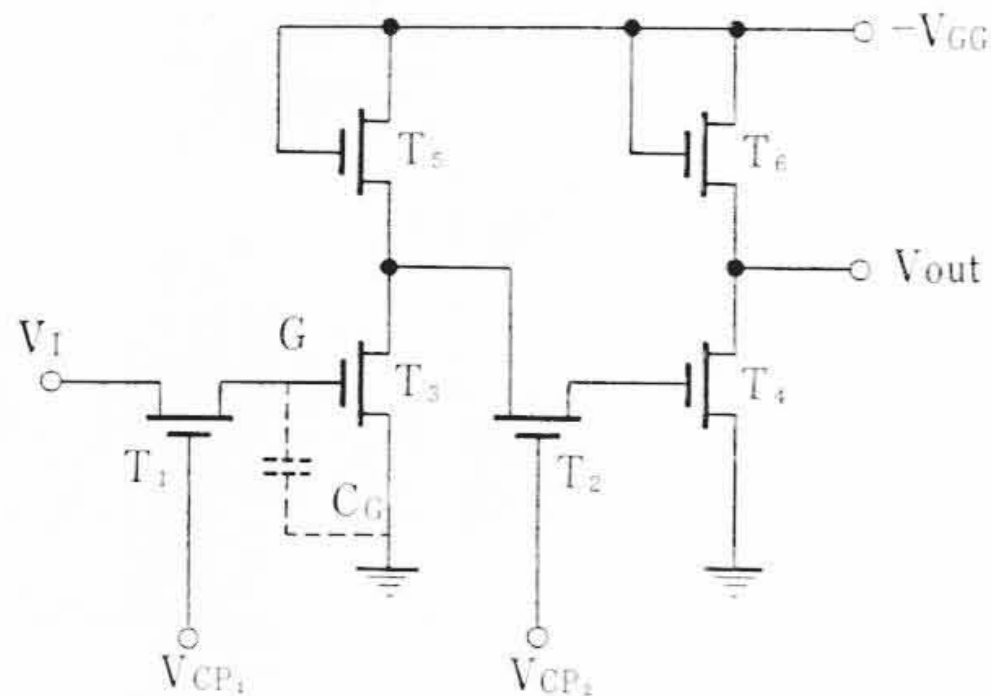


図 13 HD 701 M の基本回路

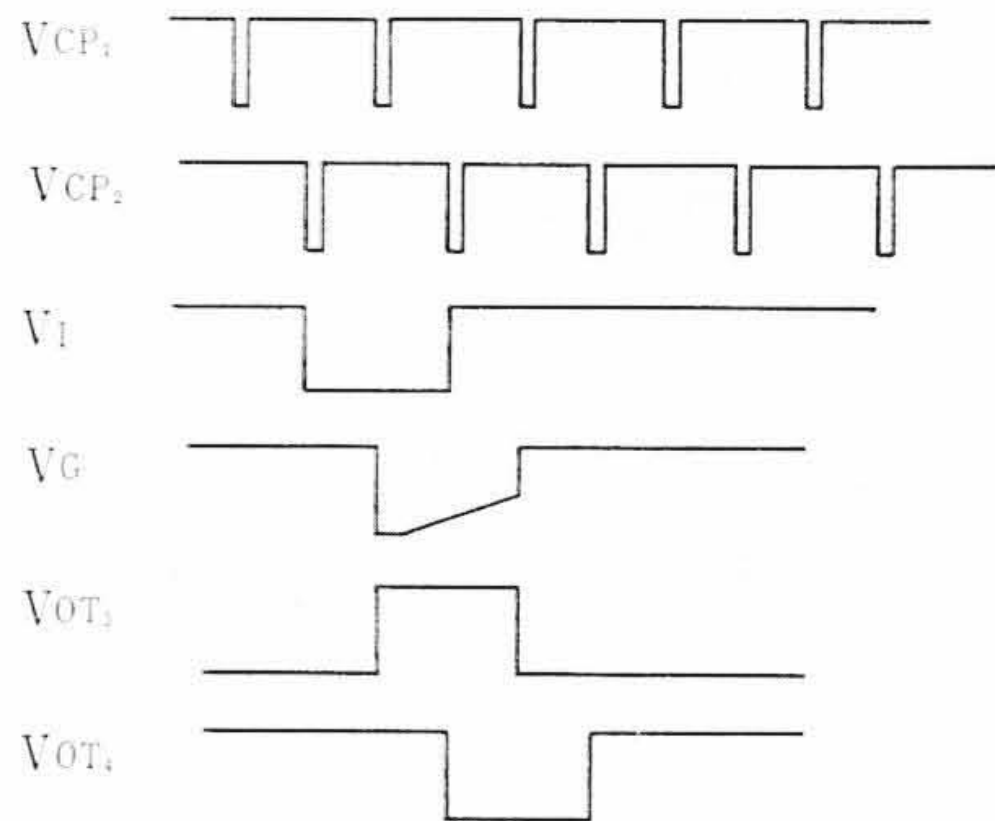
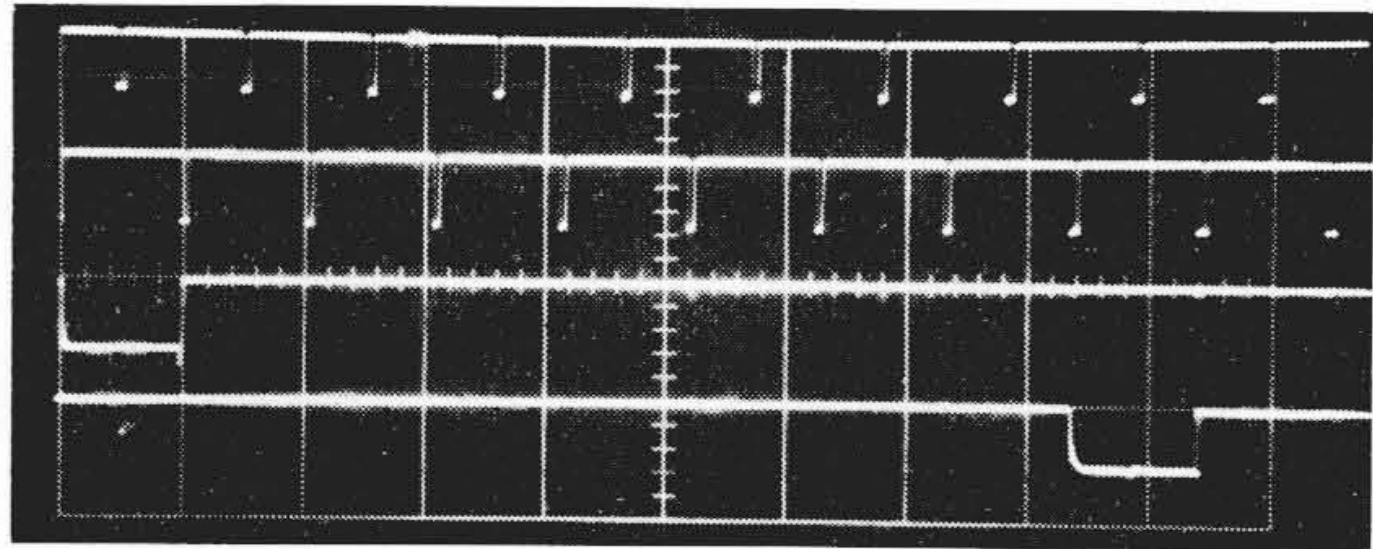
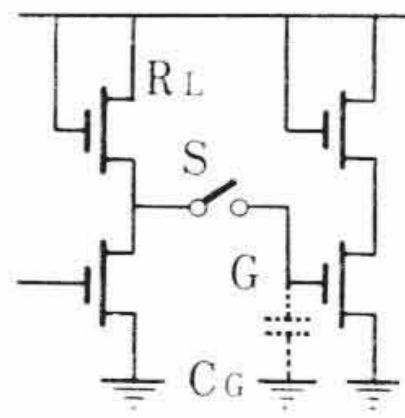


図 14 HD 701 の遅延動作の一例

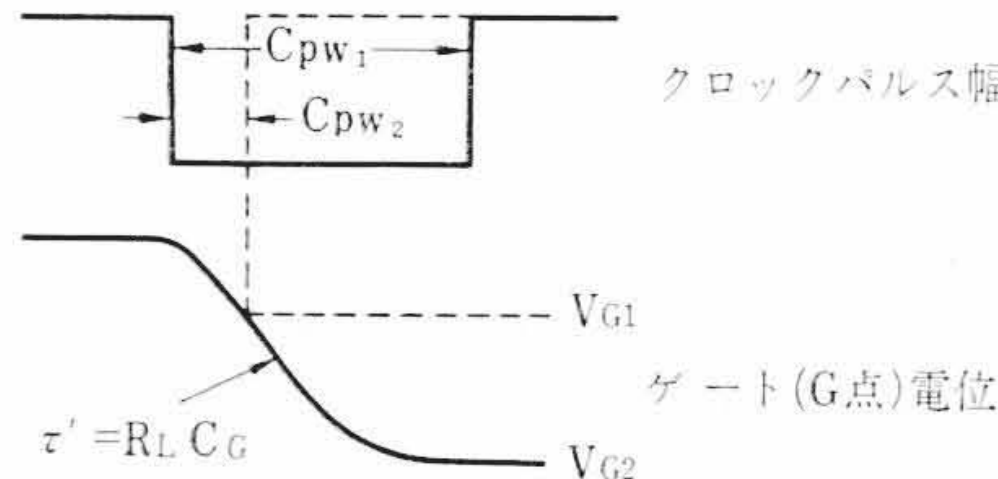


X: $V_{CP1,2}$: 50 V/DIV: $V_{IN,OUT}$: 20 V/DIV
Y: 20 μ s/DIV

図 15 HD 701 M の 8 ビット遅延動作波形



(a) 等価回路



(b) パルス波形

図 16 上限周波数とクロックパルス幅

示す。この回路は MOST の入力容量による記憶作用 (3.3 参照) を利用した 2 相式 (V_{CP1} および V_{CP2}) のダイナミック D 形フリップフロップ回路が基本となり、その真理値表は表 1 のようになる。すなわち、入力 D に対して 8 ビットまたは直列接続にすれば 16 ビット遅れて出力 D が得られる。したがって回路は遅延線的な動作をし、ある情報を循環させながら記憶させることができる。

図 13 に示す基本回路によって動作原理を説明する。回路構成としては入力信号 (情報) の流れを、オン、オフするスイッチとして動作する MOST (T_1 および T_2)、信号の記憶および波形再生を行なうインバータ MOST (T_3 および T_4) および負荷 MOST (T_5, T_6) からなっている。

動作としては、まず第 1 のクロックパルス (V_{CP1}) によって T_1 が導通し、入力電圧 V_I が T_3 のゲート容量を充電する。 V_{CP1} パルスが消えると T_1 は Cut-off する。この蓄積された電荷は T_1 のドレイン pn 接合の漏えい電流として徐々に放電する。この時定数は次式で与えられる。

$$\tau = C_G \cdot r_i \quad \dots\dots\dots (23')$$

C_G : T_3 のゲート容量

r_i : T_1 のドレイン接合のリーク抵抗

G 点の電圧が T_3 のシキイ電圧以上であれば T_3 の出力は増幅整形されて一定の ON レベルにある。

次に第 2 クロックパルス (V_{CP2}) がはいると T_2, T_4 に関し前記と同じ方法で T_3 の信号が T_4 に転送される。すなわち入力信号は、クロックパルス (V_{CP1}, V_{CP2}) によって 1 ビット遅れて出力に現われる。

図 14 は遅延特性の一例を、図 15 は HD-701 の 8 ビット遅延動作の実測結果を示したものである。

この回路の下限動作周波数は、 T_3 のゲートによる信号の記憶時間と、クロックパルス V_{CP1} と V_{CP2} の繰返し時間との関係により次式で表わされる。

$$\frac{1}{2f_{CP\min}} < r_i \cdot C_G \ln \frac{V_{OFF}}{V_{TH}} \quad \dots\dots\dots (25)$$

一方上限周波数 $f_{CP\max}$ は、クロックパルス幅で決まる。クロックパルス幅は図 16 の等価回路におけるスイッチ S を閉じている時間であり、この間次段のゲート入力容量 C_G に蓄積された電荷により

次段 MOST をオンさせることができればよいのであるから、パルス幅 C_{PW} の最小値は

$$C_{PW\min} = \tau' \ln \frac{V_{OFF}}{V_{OFF} - V_{TH}} \quad \dots\dots\dots (26)$$

$$\tau' = R_L \cdot C_G \quad \dots\dots\dots (27)$$

R_L : 負荷 MOST の R_{ON}

となる。

したがって上限周波数は、次式によって求められる。

$$f_{CP\max} = \frac{1}{2C_{PW\min}} = \frac{1}{\tau' \ln \frac{V_{OFF}}{V_{OFF} - V_{TH}}}$$

表 2 は HD 701 の電気的特性を示したものである。

表 2 電 気 的 特 性

項 目	記 号	typ 値	単 位	試 験 条 件
出力 “0” レベル	$V_{out} \text{ “0”}$	0.8	—V	$V_{DD} = -15V,$ $V_{GG} = V_{CP} = -24V$ $V_{IN} = -4V$
出力 “1” レベル	$V_{out} \text{ “1”}$	12.0	—V	$V_{DD} = -12V,$ $V_{GG} = V_{CP} = -24V,$ $V_{IN} = -9V$
ターンオフ遅延時間	t_{pd1}	1.5	μ s	$\left\{ \begin{array}{l} V_{DD} = -10.8V, \\ V_{GG} = V_{CP} = -21.6V \\ V_{IN} = -2V, \\ C_L = 50 \text{ pF}, \\ C_{PW} = 1 \mu s \end{array} \right.$
ターンオン遅延時間	t_{pd2}	0.25	μ s	
クロック下限周波数	$f_{CP\min}$	100	Hz/s	
入 力 容 量	C_{in}	2.5	pF	
クロック入力容量	C_{CP}	3	pF	
“0” 出力 抵 抗	$R_0 \text{ “0”}$	0.7	k Ω m	$\left\{ \begin{array}{l} V_{DD} = -12V, \\ V_{GG} = V_{CP} = -24V \end{array} \right.$
“1” 出力 抵 抗	$R_0 \text{ “1”}$	12	k Ω m	
消 費 電 力	P_d	90	mW	$V_{DD} = -15V,$ $V_{GG} = V_{CP} = -24V$
“0” ノイズマージン	$V_N \text{ “0”}$	$\simeq 2$	V	$\left\{ \begin{array}{l} V_{DD} = -12V, \\ V_{GG} = V_{CP} = -24V \end{array} \right.$
“1” ノイズマージン	$V_N \text{ “1”}$	$\simeq 2$	V	

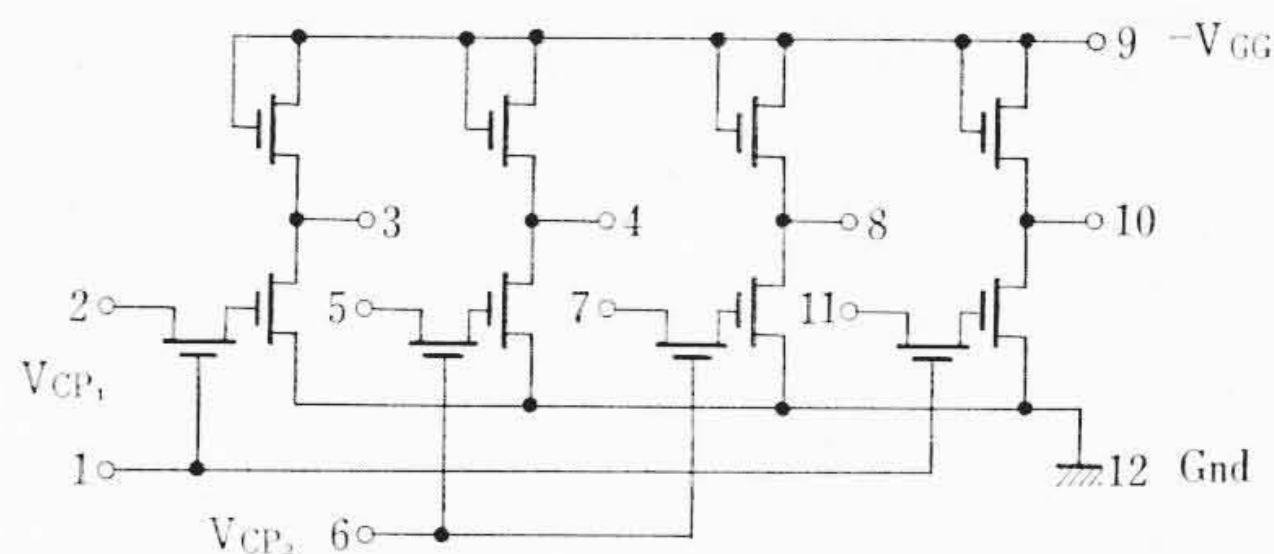


図 17 4ビット・ダイナミック・メモリの回路図

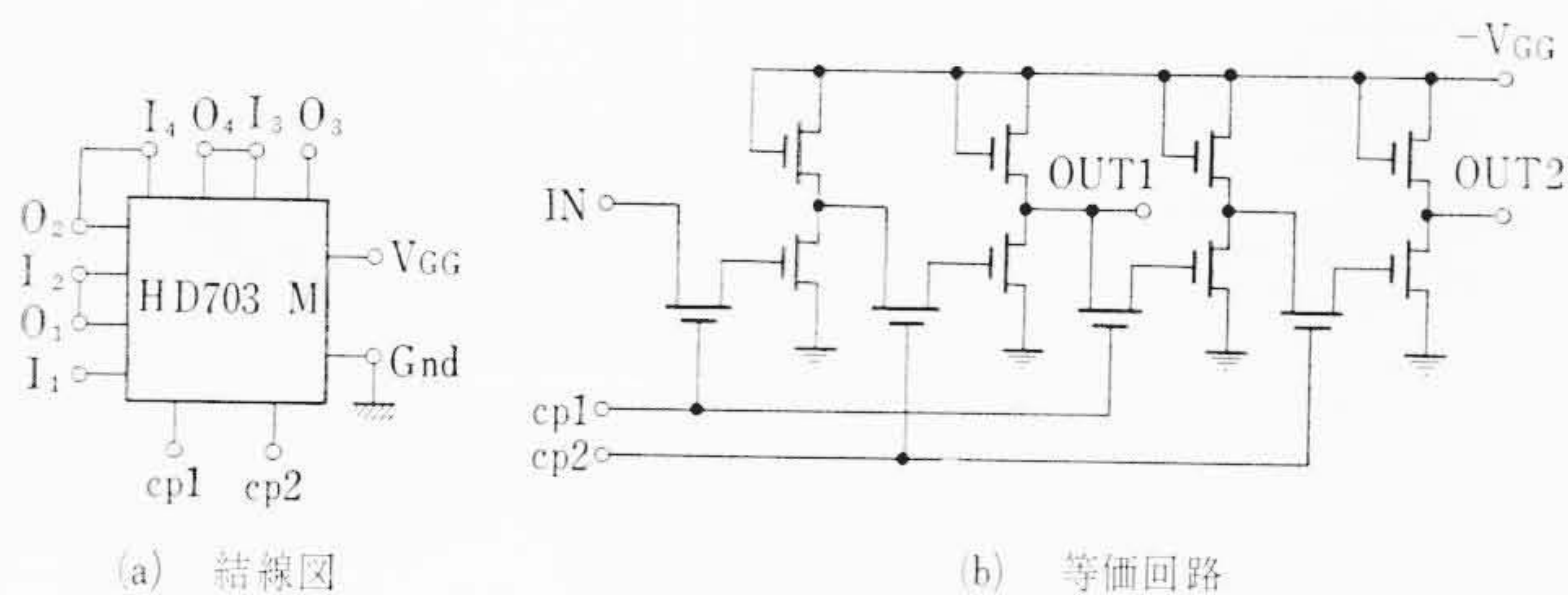


図 18 2ビット・シフトレジスタ (HD-703M)

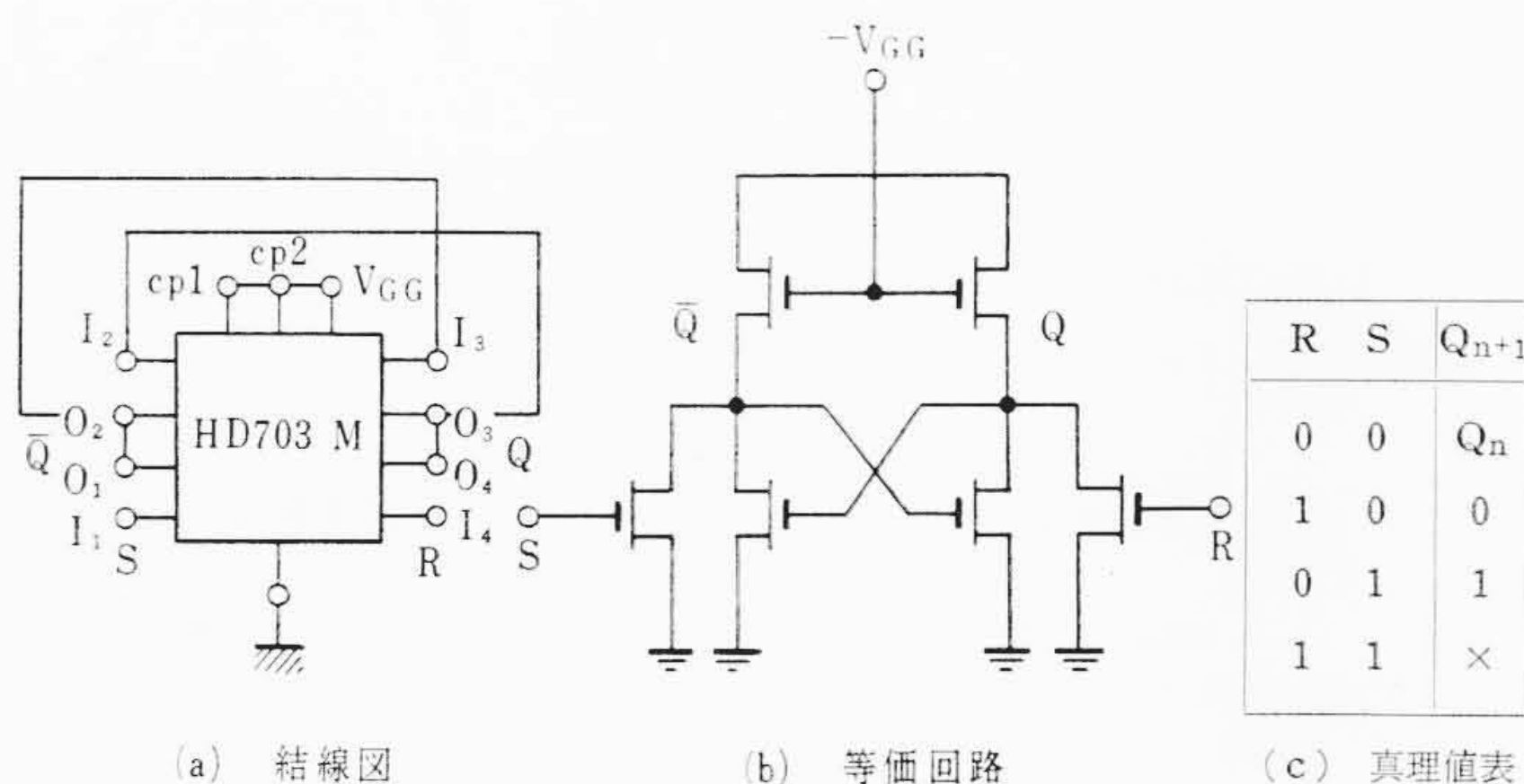


図 19 HD 703 を用いたスタティック R-S フリップ・フロップ

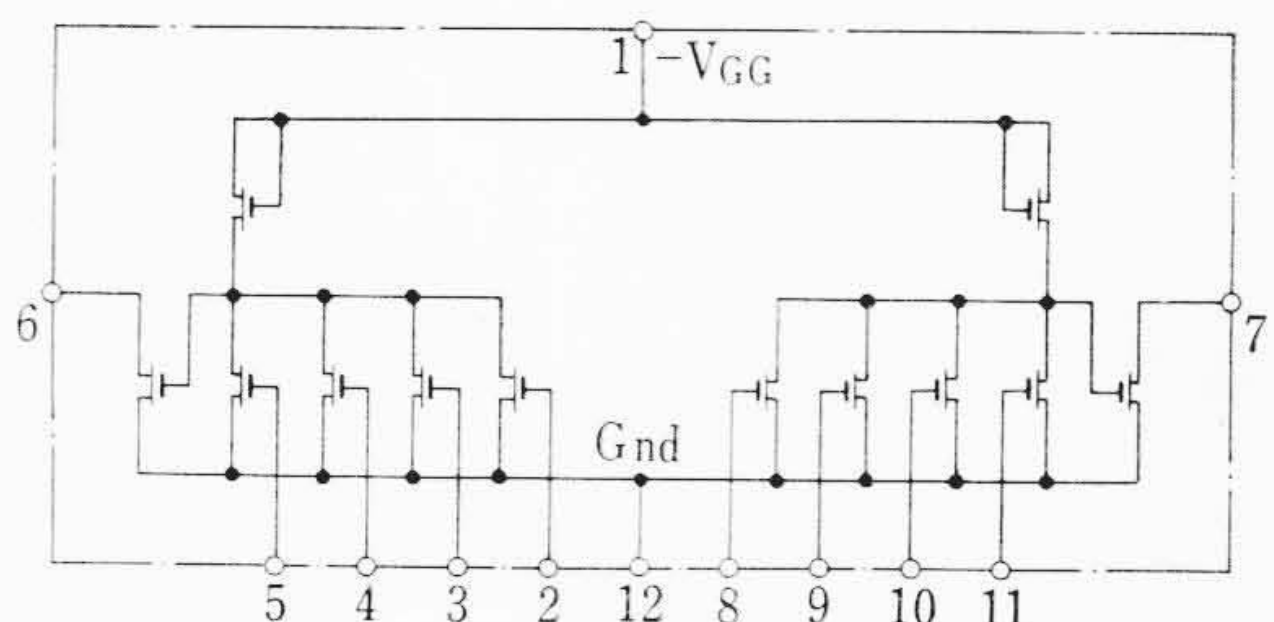


図 20 双 4 入力 アンド/オアゲート (HD704 M) の回路図

5.2 4ビット・ダイナミック・メモリ (HD-703 M)

4ビット・ダイナミック・メモリはMOS ICの特長である高入力インピーダンス特性を有効に利用し、情報記憶機能を強調した回路である。

図 17 に回路構成を、また表 3 に電気的特性を示す。

回路構成は前項で述べた 2 相式ダイナミック・D 形・フリップ・フロップの 1/2 ビットが独立した形になっている。

この回路は HD 701 M すなわちダイナミック・シフトレジスタを使用したときその循環する情報をそのままの形では表示できないので、直流に変換して数字表示管を点灯するための記憶器として使用する。

他の用途としては、

表 3 HD703M の電気的特性

項 目		MIN	TYP	MAX	
クロック繰返し周波数	f_{CP}	0.04		200	KHz $T_a=25^\circ\text{C}$, $C_L=50\text{ pF}$, note 1, $C_{PW}=\mu\text{s}$
入力論理レベル	V_{in} "0" V_{in} "1"	0 -9		-4	V V
出力論理レベル	V_{out} "0" V_{out} "1"	-11		-2	V V
クロック入力レベル	V_{CP} "0" V_{CP} "1"	0 -21.6		-4 -26.4	V V
入力漏えい電流	I_L			-1.0	μA $V_{in}=-12\text{V}$
出力インピーダンス (出力端子-接地間)	R_{ol}			2.0	k Ω
入力容量	C_{in}			6.0	pF $f=1\text{ MHz}$
クロック入力容量	C_{CP}			4.0	pF $f=1\text{ MHz}$
伝達遅延時間	T_{pd}			1.2	μs $C_L=50\text{ pF}$, $C_{PW}=1\mu\text{s}$

$V_{DD}=-12\text{V} \pm 10\%$, $R_1=10\text{ k}\Omega$, $V_{GG}=0\text{V}$, $T_a=-20^\circ\text{C} \sim +70^\circ\text{C}$

表 4 HD704M の電気的特性

項 目	記 号	MIN	TYP	MAX	単 位	条 件
入力論理レベル	V_{in} "0" V_{in} "1"	-9		-4	V V	
出力論理レベル	V_{out} "0" V_{out} "1"	-11		-2	V V	
出力インピーダンス	R_{ol}			2.0	k Ω	
入力容量	C_{in}			3.0	pF	$f=1\text{ MHz}$
伝達遅延時間	T_{pd}			1.0	μs	$C_L=50\text{ pF}$, $R_L=10\text{ k}\Omega$
消費電力	P_d		35		mW	

$V_{GG}=-24\text{V} \pm 10\%$, $V_{DD}=-12\text{V} \pm 10\%$, $R_L=10\text{ k}\Omega$, $T_a=-20 \sim +70^\circ\text{C}$

(1) 並列出 2 ビット・シフトレジスタ

図 18 に 2 ビット・シフトレジスタとしての結線方法の一例を示す。この結線により 2 ビットの D 形フリップ・フロップが実現でき HD701 と共用して情報の並列読み込みおよび読み出しが可能である。

(2) スタティック R-S フリップ・フロップ

図 19 にスタティック R-S フリップ・フロップとして用いる場合の結線図を示す。この真理値表を同図(c)に示す。ただし、ここでは

論理 "0" : $V_{ON} \approx 0\text{V}$

論理 "1" : $V_{OFF} \approx -12\text{V}$

なる負論理をとっている。

(3) 4 インバータ

クロック端 V_{CP1} および V_{CP2} に直流バイアスしておく、それぞれ独立した 4 個のインバータを実現することができる。

5.3 双 4 入力 アンド/オアゲート (HD-704 M)

回路構成を図 20 に示す。この回路はタイミング、演算制御およびデコーダ系における論理ゲートとして広く応用することができる。

表 4 は HD-704 M の電気的特性を示したものである。

5.4 双 J-K フリップ・フロップ (HD-705 M)

双 J-K フリップ・フロップは MOST のゲート容量の信号記憶性を利用した回路である。図 21 に回路構成を、表 5 に電気的特性を示してある。図に示されているように 1 個のフリップ・フロップは 18 個の MOST から構成されている。

図 22 は HD-705 M の動作波形を、表 6 は真理値表を示したものである。

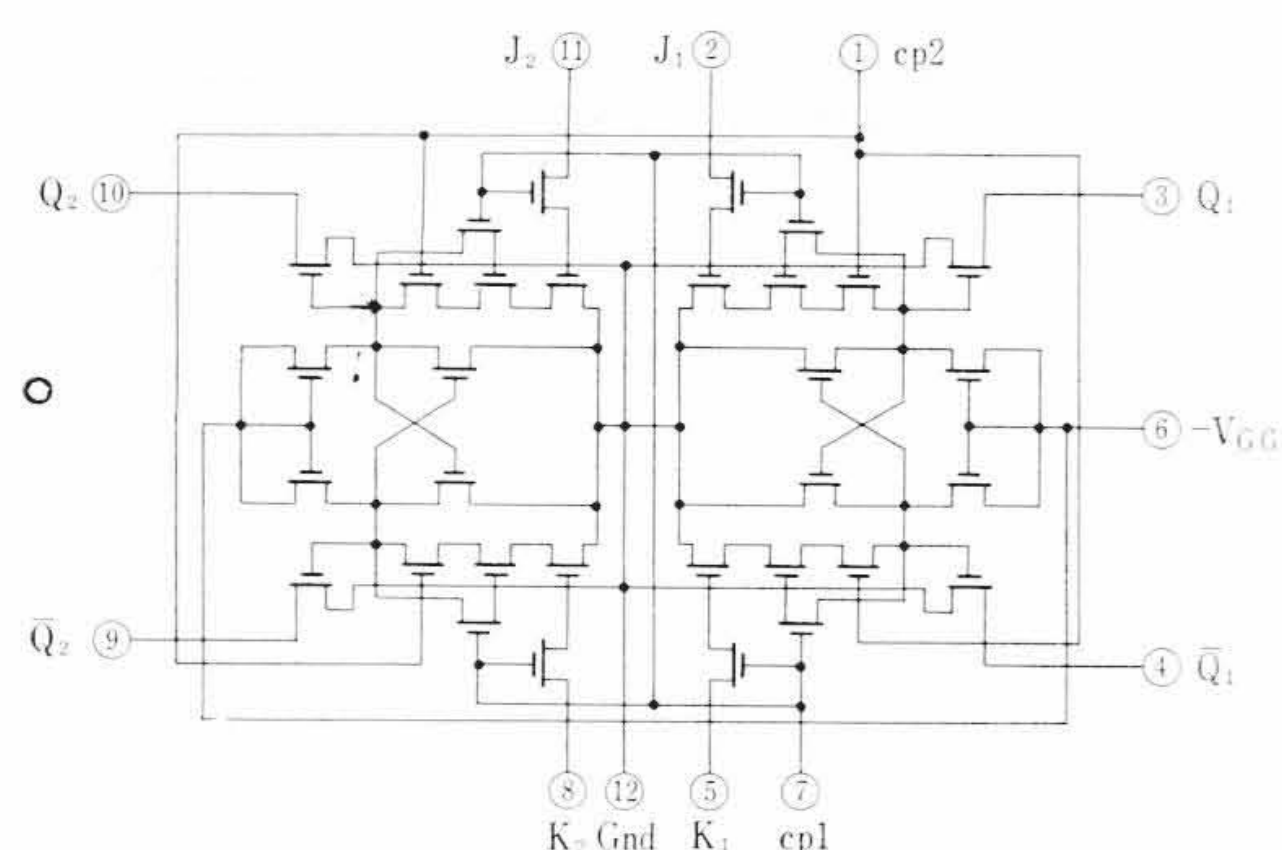


図 21 双 J-K フリップ・フロップ (HD705 M) の回路図

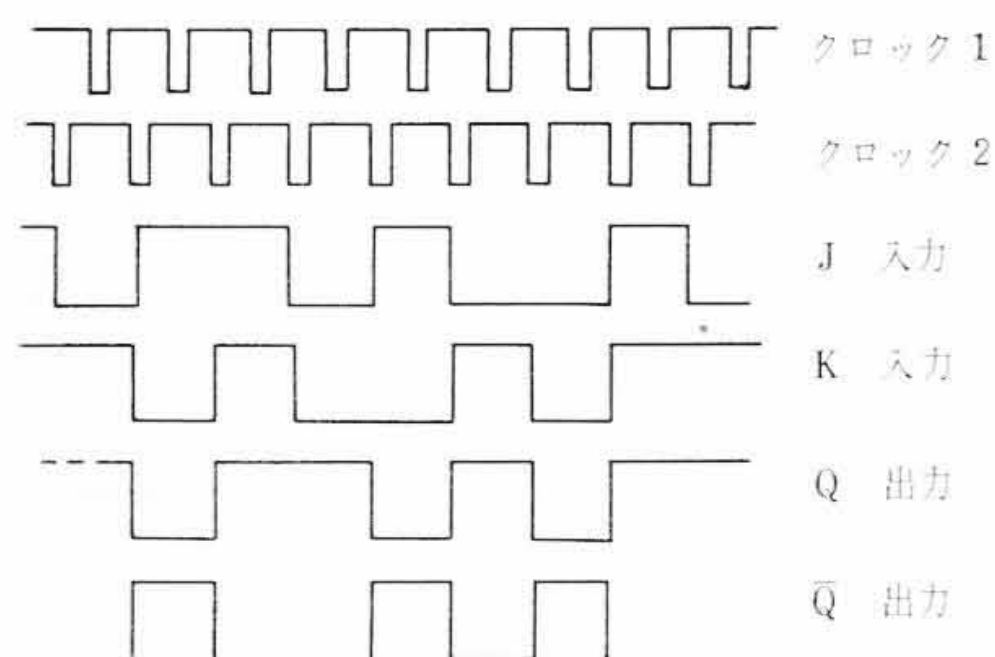


図 22 HD 705 M の動作波形

6. 結 言

Pチャネル MOST を回路構成要素として開発したデジタル用 MOS IC の代表品種について、その諸特性を述べた。

今回開発した MOS IC を用いた卓上会計機はすでに社内において試作を完了し、良好な結果を得ている。

今後は製造技術の向上とともに集積度を上げ、さらに高機能の MOS IC を開発する所存である。

終わりに臨み、MOS IC の開発にあたって、懇切なご援助をいた

表 5 HD705 の電気的特性

項 目	記 号	MIN	TYP	MAX	単位	条 件
クロック 2 繰返し周波数	f_{CP2}	0		200	KHz	$C_{PW}=1\mu s, C_L=50\text{ pF}, f_{CP1}=10\text{ KHz}\cdots 200\text{ KHz}$
クロック入力論理レベル	$V_{CP} \text{ "0"}$ $V_{CP} \text{ "1"}$	0 -21.6		-4 -26.4	V V	
入力論理レベル	$V_{in} \text{ "0"}$ $V_{in} \text{ "1"}$	-9		-4	V V	d_c
出力論理レベル	$V_{out} \text{ "0"}$ $V_{out} \text{ "1"}$	-11		-2	V V	d_c $V_{DD}=-12\text{ V}$
出力インピーダンス	R_{ol}			2	kohm	d_c
消費電力	P_d		60		mW	d_c
入力容量	C_{in}			4.0		$V_{in}=0\text{ V}, V_{CP}=-24\text{ V}, f=100\text{ KHz}$
伝達時間遅れ	t_{pd1} t_{pd2}			1.0 0.6	μs	$C_{PW}=1\mu s, f=100\text{ KHz}, C_L=50\text{ pF}$

$V_{GG}=-24\text{ V}\pm 10\%, T_a=-20\sim +70^\circ\text{C}$

表 6 HD705 の真理値表

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\bar{Q}_n$

だいた日立製作所中央研究所三浦武雄博士、三和一郎博士、新しい回路を提案された川崎淳氏に厚くお礼申し上げます。

参 考 文 献

- (1) S. R. Hofstein and F. P. Heiman: Proc. IEEE 51, p. 1190 1964
- (2) C. T. Sah: IEEE Trans. Elect. Device p. 324 1964
- (3) 大野ほか: 日立評論 47, 1453 (昭 40-8)
- (4) GME "MOS IC Design Course"