

# HITAC 8210 システム

HITAC 8210 System

萱 島 與 三\*  
Kôzô Kayashima

## 要 旨

HITAC 8210 システムは、ランダムアクセスファイルの中核とする比較的小規模のデータ処理を対象として計画された高性能の演算処理組織であり、幅広い応用分野に適合する。本稿においては、このシステムの構成におけるねらいとシステムを構成する演算処理装置、入出力制御部およびこのベースとなっているハードウェア技術について概説する。

## 1. 緒 言

HITAC 8210 システムは、8000 シリーズの一員として、比較的小規模のデータ処理のフィールドをカバーする演算処理組織である。高性能の演算処理装置と、ランダムアクセスファイルの中核とし、8000シリーズの強力な入出力装置群を組み合わせる幅広い応用分野に適合するシステムを構成することができる。特に期待される適用としては

- (1) バッチ処理
- (2) インライン処理 伝票発行とそれに伴うファイルの一括更新
- (3) 大形システムの衛星計算機
- (4) 大形システムとオンラインの結合によるリモートバッチ処理

などがあげられる。

HITAC 8210 システムを支持するソフトウェアは、磁気ディスク記憶装置を基調としており、磁気ディスクに常駐している DOPS (Disc Oriented Programming System) により能率のよいシステムの運用ができるよう設計されている。主記憶装置の容量は、8,192 バイトまたは 16,384 バイトであり、オペレーティングシステムの常駐エリアとして 3,600 バイト (ロジカル IOCS を含む) 占有しているので、ユーザーのプログラムとしては 4,592 バイトあるいは 12,784 バイト利用可能ということになる。

小規模の構成において経済的なシステムを実現するために、次の入出力機器に対する制御装置を HITAC 8210 システム専用設計し、演算処理装置本体きょう体内に実装する設計である。

- (1) 磁気ディスク記憶装置 H-8564-11/12, 容量 2.56 MB または 5.12 MB
- (2) ラインプリンタ H-8244-31/32, 印字速度 300 または 150 行/分
- (3) 磁気テープ装置 H-8432-1, データ転送速度 30 KB/秒
- (4) 入出力タイプライタ H-8212-1, 読取り, せん孔または印字速度 500 字/秒
- (5) テープ読取り機 H-8226-1, 読取り速度 500 字/秒
- (6) テープせん孔機 H-8227-1, せん孔速度 110 字/秒
- (7) テープ読取りせん孔機 H-8229-22, 読取り速度 220 字/秒, せん孔速度 100 字/秒

ハードウェア技術としての特長は、演算処理装置、入出力制御装置に全面的に TTL (Transistor-Transistor Logic) 形の固体集積回路を採用したことである。これと 8000 シリーズのために開発された多層印刷回路板の技術により高性能、小形かつ低電力のシステムを実現することができた。

\* 日立製作所神奈川工場

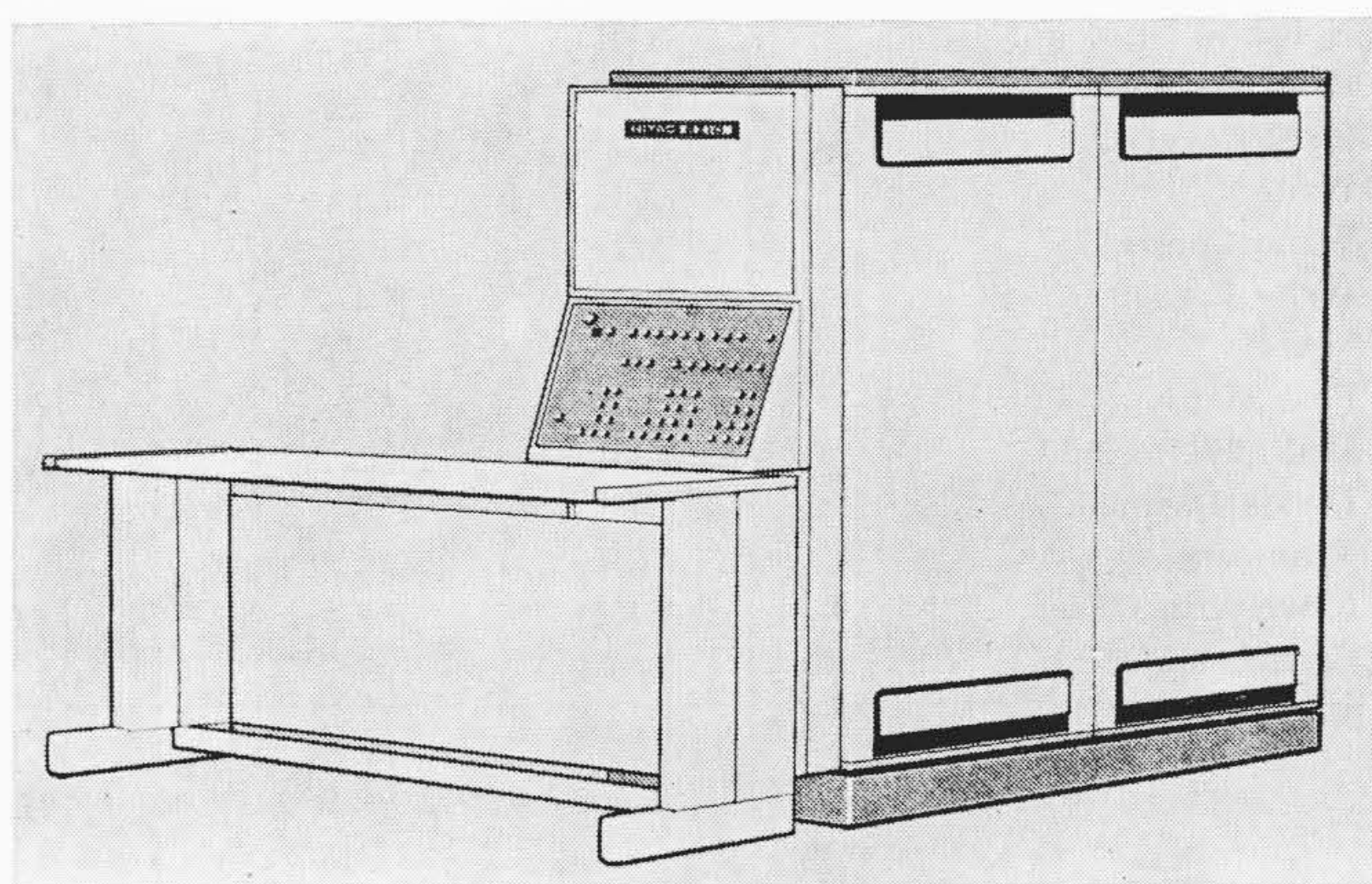


図1 演算処理装置

表1 命令の形式

| バイト位置 |   | 1  | 2              | 3              | 4              | 5              | 6              |
|-------|---|----|----------------|----------------|----------------|----------------|----------------|
| 命令の種類 | 1 | OP | L              |                | D <sub>1</sub> |                | D <sub>2</sub> |
|       | 2 | OP | L <sub>1</sub> | L <sub>2</sub> |                | D <sub>1</sub> | D <sub>2</sub> |
|       | 3 | OP | T              | U              |                | D <sub>1</sub> | D <sub>2</sub> |
|       | 4 | OP | M              |                |                | D <sub>2</sub> |                |
|       | 5 | OP | T              | U              |                | D <sub>2</sub> |                |

OP: オペレーションコード  
 L: 第1, 第2オペランドの長さ  
 L<sub>1</sub>: 第1オペランドの長さ  
 L<sub>2</sub>: 第2オペランドの長さ  
 D<sub>1</sub>: 第1オペランドの左端のアドレス(14ビット)  
 D<sub>2</sub>: 第2オペランドの左端のアドレス(14ビット)  
 M: 演算のマスク  
 T: 入出力トランクの番号  
 U: 入出力機器の番号

図1は演算処理装置本体の外観写真である。

## 2. 演算処理装置

演算処理装置は、8000 シリーズの上位の機種 8300/8400/8500 に対し上向きの両立性を有する論理構造をもっている。主記憶装置内の二つのアドレスに対する演算を指定する命令を主体とし、29種類の命令が用意されている。表1に命令の形式、表2に命令の種類と機能を示す。

演算処理装置は大きく分けて次の各部より構成される。

- (1) データ構造およびその制御回路
- (2) 固定記憶装置
- (3) 主記憶装置
- (4) 直流安定化電源

表 2 命 令 の 種 類 と 機 能

| 命 令                 | 略 号  | コ ー ド | 命令の種類 |
|---------------------|------|-------|-------|
| Add Decimal         | AP   | FA    | 2     |
| Add Binary          | AB   | F 6   | 2     |
| Subtract Decimal    | SP   | FB    | 2     |
| Subtract Binary     | SB   | F 7   | 2     |
| Logical And         | NC   | D 4   | 1     |
| Logical Or          | DC   | D 6   | 1     |
| Exclusiver Or       | XC   | D 7   | 1     |
| Move                | MVC  | D 2   | 1     |
| Edit                | AD   | DE    | 1     |
| Pack                | PACK | F 2   | 2     |
| Unpack              | UNPK | F 3   | 2     |
| Branch on Condition | BC   | 47    | 4     |
| Compare Decimal     | CP   | F 9   | 2     |
| Compare Logical     | CLC  | D 5   | 1     |
| Set P2 Register     | STP2 | 82    | 4     |
| Test Under Mask     | TM   | 91    | 4     |
| Halt and Branch     | HB   | 81    | 4     |
| Read Forward        | RDF  | E 5   | 5     |
| Read Reverse        | RDR  | E 2   | 5     |
| Write               | WR   | E 3   | 5     |
| Write Control       | WRC  | E 7   | 5     |
| Write Erase         | WRE  | E 4   | 5     |
| Sense               | I OS | E 1   | 5     |
| Post Status         | PS   | 66    | 5     |
| Multiply Decimal    | MP   | FC    | 2     |
| Divide Decimal      | DP   | FD    | 2     |
| Translate           | TR   | DC    | 1     |
| Move with Offset    | MVD  | F 1   | 2     |
| Branch and Link     |      |       |       |

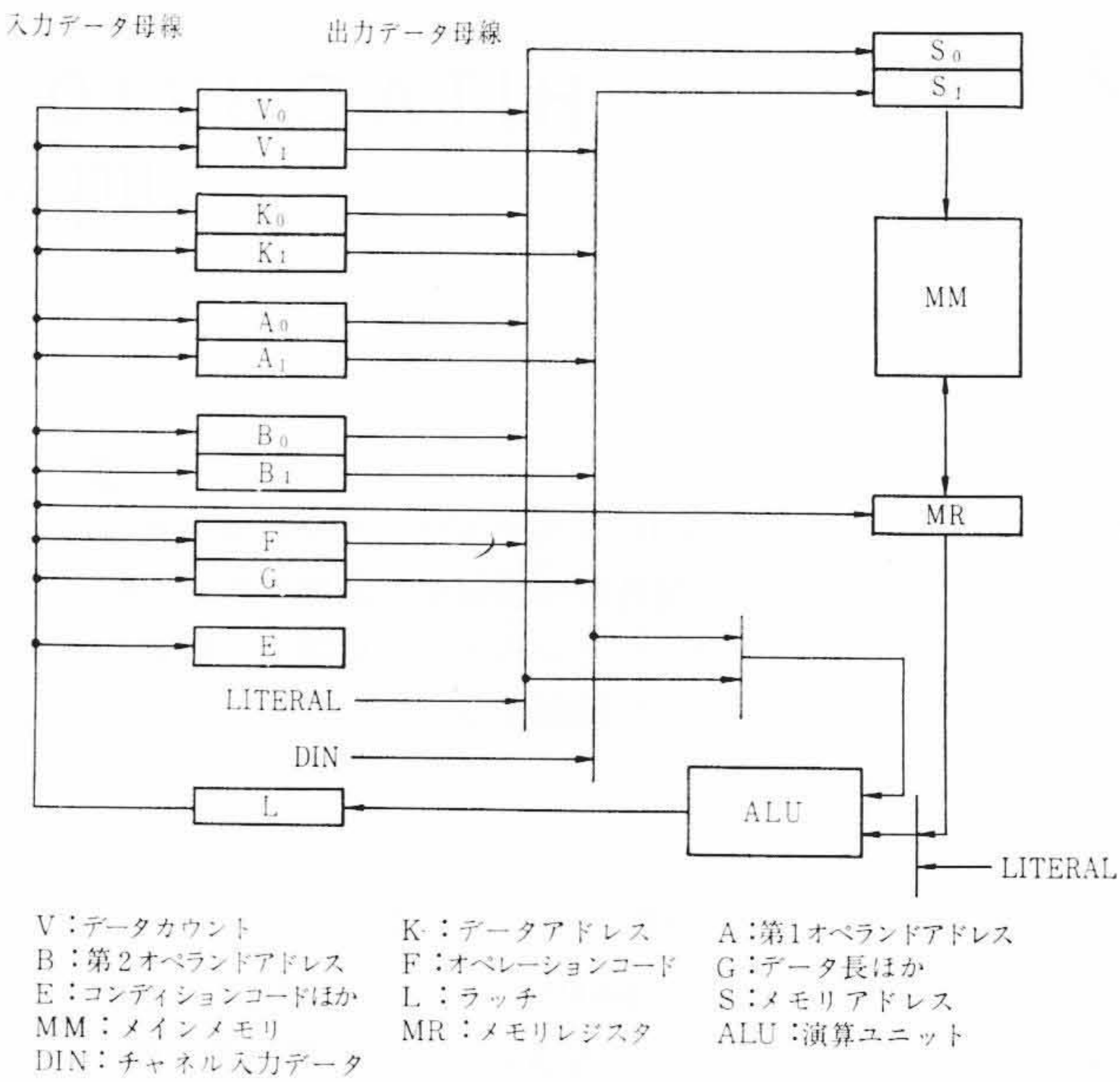


図 2 データ構造のブロック図

- (3) Yフィールド (4ビット)
- 主として第2の演算数をもっているレジスタの番号を指定する。
- (4) Tフィールド (ビット)
- 分岐を行なうためのテスト条件を指定する。特定のパタンにより無条件の分岐が指定される。
- (5) J<sub>H</sub>, J<sub>L</sub> フィールド (4ビットおよび6ビット)
- テストの結果分岐が成立したとき、分岐する固定記憶装置のアドレスを指定するのに用いられる。

マイクロ命令は、普通の命令に比べ、制御動作を並列に行なうことが要求される。特に分岐機能は、全ステップに用意されており、演算を実行すると同時に判断、分岐を行なうことにより、有効に処理速度を上げている。

入出力制御については、2レベルのチャンネル制御動作をマイクロプログラムにより実現している。H-8210では、高速入出力装置用のセレクトチャンネルを1個および低速入出力装置用マルチプレクサチャンネルを1個(6トランク)用意しており、セレクトチャンネル>マルチプレクサチャンネル>内部演算の順に優先順位がつけられていて、低いレベルの制御動作からより高いレベルの制御動作にマイクロプログラムにおける割込みが起こり、入出力制御を含めてすべての逐次制御の機能を固定記憶装置にもたせている。セレクトチャンネルは、制御に必要なレジスタをすべて論理回路でもっており、1.4μsごとにデータサービスを行なうことが可能である。マルチプレクサチャンネルは、チャンネル制御語を主記憶装置内の規定番地にもっており、データサービスの要求があればその都度内部演算用のレジスタを回避、回復させながらチャンネル制御語を利用してサービスを行なう。したがって、1バイトのデータサービスに平均20μsを必要とする。

コンソール操作としてオペレータのために次のような機能が用意されているが、これらに必要な逐次制御もすべてマイクロプログラムによって実現している。

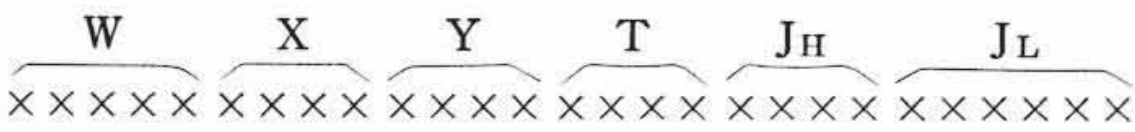
- (1) イニシャルプログラムロード
- 任意の入出力装置から初期入力命令をバイナリデータとして読みとる。
- (2) 主記憶装置の内容の読取り、書込み
- (3) プログラムカウンタのセット、読取り
- (4) メモリアドレスストップの設定
- 特定のアドレスにある命令を実行しようとするとき、演算の実

- (5) きょう体および制御パネル
- 以下これらの各部についてその概要を説明する。
- 2.1 データ構造およびその制御回路

図2はデータ構造のブロック図を示したものである。データ処理は1バイトを単位として行なわれるが、主記憶装置へのアドレスの転送に関しては2バイト(有効な部分は14ビット)並列に転送ができるよう、データ母線を2段に構成している。内部演算処理に使用されるA, B, C, FG, Eレジスタのほかに、高速入出力チャンネルのデータ転送を行なうために、K, Vレジスタが用意されており、データ転送に必要な主記憶装置のアドレスおよびバイト数のカウントを記憶するのに用いられる。ALUは、データ母線およびメモリレジスタの内容に対して2進, 10進, およびAND, ORなどの論理演算を行なう機能をもっている。これらのデータ構造の動作を指定し、各命令によって示されるまとまった論理機能を果たすために逐次制御を行なう必要があるが、これらは固定記憶装置に組み込まれたマイクロプログラムを順次読みだしてくることによって行なわれる。

2.2 固定記憶装置と逐次制御

固定記憶装置としては、8300/8400 処理装置に使用されているものとはほぼ同じタイプの変成器形を採用しており、29種類の命令、入出力のデータ転送、コンソール操作など、すべてこれを単純なマイクロ命令に分解し、これらのシーケンスとして制御動作を実現している。マイクロ命令は27ビットより構成され、その形式は次のようになっている。



- (1) Wフィールド (5ビット)
- マイクロ命令の種類を指定する。大別してコアメモリの制御に関するもの、レジスタ間のデータ転送/演算に関するものおよび入出力制御に関するものなどがある。
- (2) Xフィールド (4ビット)
- 主として演算を施し、結果を格納するレジスタの番号を指定する。

行をとめる機能であり、特定のアドレスは、規定番地に格納されている。

### 2.3 主記憶装置

主記憶装置には、30ミル磁心が使用され、サイクル時間  $1.4\mu\text{s}$  で動作するように設計されている。スタックは  $128 \times 64$  のプレーン9枚より構成され、各プレーンは2本の独立したセンス巻線によって読出され、増幅器につながる。周囲温度の変化に対し動作マージンを確保するため、読出し電圧の振幅を一定に保つように駆動電流値を制御している。

マイクロ命令は主記憶装置の1サイクルの  $1/3$  の時間  $466\text{ ns}$  ごとに動作し、1メモリサイクルの間に要求されるメモリアドレスレジスタへのアドレスの転送、読出しあるいは書き込みデータの転送などの制御を行なっている。

### 2.4 直流電源、きょう体および制御パネル

直流電源は出力的  $1.5\text{ kW}$ 、電圧5種の直列安定化形であり、演算処理装置のほかに入出力制御部、磁気ディスク駆動装置、磁気テープ装置などに供給する容量を用意している。入力の一瞬断あるいは電源断時に主記憶装置の記憶内容を保護するようインタロックの回路が用意されている。

きょう体は8000シリーズ標準きょう体1きょう体（幅  $125\text{ cm}$ 、高さ  $158\text{ cm}$ 、奥行  $62.5\text{ cm}$ ）の側面に制御パネルを取り付けたもので、図1に示すような構造になっている。半きょう体に電源および主記憶装置、他の半きょう体に標準のバックパネルを6枚取り付けるよう、2面に架が取り付けられている。

## 3. 入出力制御装置

HITAC 8210 専用の入出力制御装置を本体きょう体内に実装するために、チャンネルと入力制御装置との間の接続を論理レベルの信号で標準化し約束をきめた。多数の入出力制御装置をチャンネルにつなぐ場合、テープケーブルによっていもづる式に直列に接続する。このようにすると、接続のためのケーブルがずっと少なくなり、作業性が向上する。8000シリーズ標準入出力インターフェースをもつ入出力機器を接続するには、

- (1) 信号レベルの変換、論理レベルとトランスミッタ、レシーバレベルとの変換
- (2) 直列から並列への変換

を行なえばよく、このためにスタンダードインターフェースアダプタを用意している。コマンドの連鎖を必要とする特殊入力機器を除き、8000シリーズの入出力機器はすべてアダプタを介して接続可能である。8210 インタフェースでは、セレクトチャンネル、マルチプレクサチャンネル共通の直列接続を行なっているが、セレクトチャンネルのデータ転送速度を確保するため、サービス要求のラインは両者を分けている。

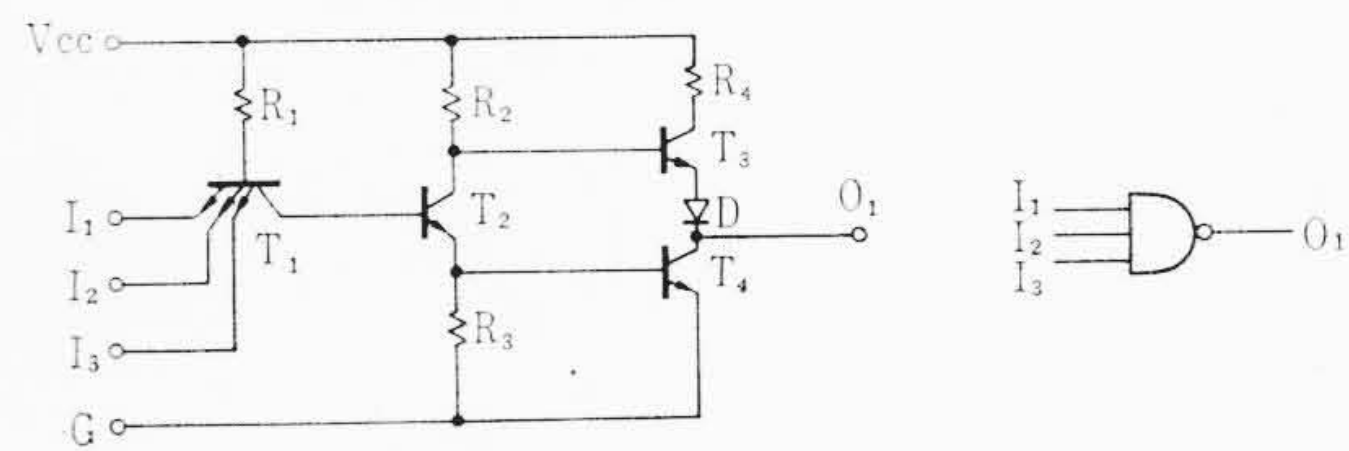
8210システム専用入出力機器のために特に設計した入出力制御装置としては次のものがある。

#### 3.1 磁気ディスク制御装置 (H-8558-102)

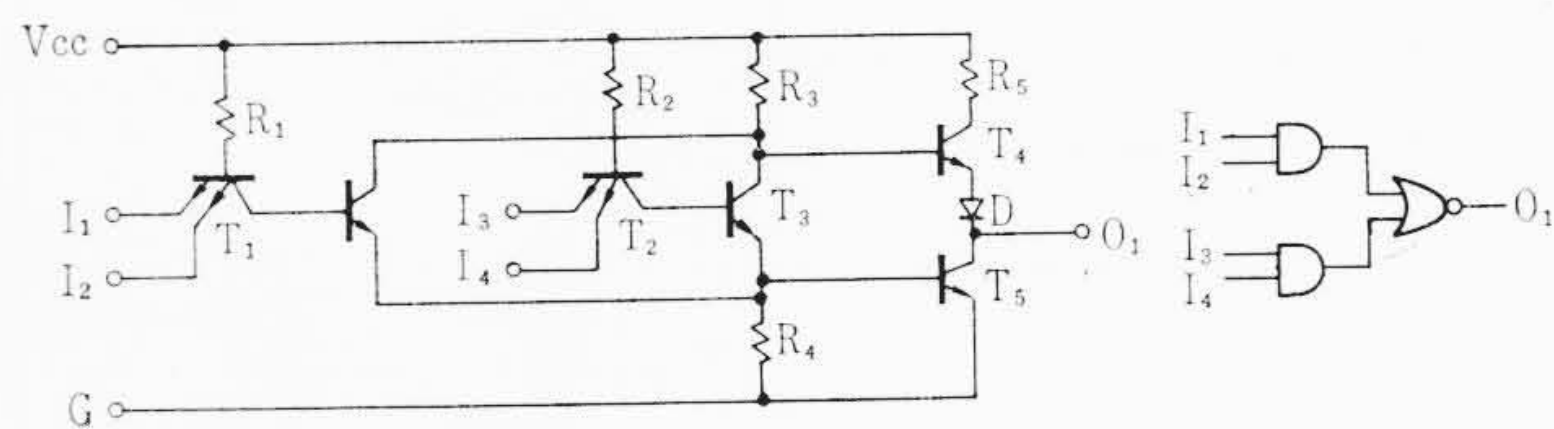
磁気ディスク制御装置 H-8564-11/12 を2台まで接続、制御することができる。磁気ディスク駆動装置は、8000シリーズの上位システムで使用されているものとはほぼ同じであるが、1シリンダ当たり8トラックであること、および1トラック上のデータフォーマットは固定であり、16セクタ（1セクタは200バイト）より成ることが異なる。このため、ディスクバックのデータに関する互換性はないが、制御装置の論理的機能をかなり簡単にしている。標準サイズのバックパネル1枚に実装される。

#### 3.2 磁気テープ制御装置 (H-8482-106)

データ転送速度  $30\text{ KB/秒}$  の磁気テープ装置 H-8432-1 を3台(6



(a) 3入力NANDゲート



(b) 2入力AND-NORゲート

図3 TTL形固体集積回路

デッキ)まで接続、制御できる制御装置である。8000シリーズ上位システムでは、独立した磁気テープ制御装置を介してチャンネルに接続しているが、8210システムでは  $300\text{ KB/秒}$  だけに限定し、本体内に制御装置を実装することとした。標準サイズのバックボード1枚より成る。また、磁気テープ装置に必要な直流本体の電源から供給するよう、電源ケーブルが用意されている。

### 3.3 ラインプリンタ制御装置

H-8244-31/32 形ラインプリンタの制御装置で、印字の際には主記憶装置の内容を字ごとに走査してハンマーの動作を制御するいわゆる直接バッファ方式を採用している。パルス分配およびマグネット駆動回路はラインプリンタ内部にあるので、この制御装置の役割は与えられたコマンドを解読し、主記憶装置から送られてくるデータと、活字ドラムの回転に対応したコードホイールの出力とを照合し、印字マグネットに与えるパルス列をつくり出すこと、紙送りの制御を行なうことなどである。1回の印字指令によって、主記憶装置の同一フィールドを活字の種類の数だけ走査しなければならないため、チャンネルの動作としては普通の入出力機器区別としなければならない。このため5番のトランクに接続し制御装置からチャンネルにラインプリンタがつながっていることを知らせることにより、マイクロプログラムでデータ転送のアドレスを区別して制御している。半サイズバックボード1枚に実装される。

### 3.4 汎用入出力多重制御装置 (H-8658-1/2)

タイプライタ、紙テープ入出力機器など、多数の低速入出力機器を並列に動作させるために新たに設計されたもので

H-8658-1はH-8212形入出力タイプライタ1台およびH-8229-21形テープ読取りせん孔機またはH-8226テープ読取り機およびH-8227テープせん孔機

H-8658-2はH-8212形入出力タイプライタ6台

を接続、制御することができる。各タイプライタの制御状態をおぼえたり、コード変換をしたりするのを、マイクロプログラム制御によって行ない、制御装置に必要な論理回路を減らしている。マイクロプログラム上で区別するため、0番および1番のトランクに接続し、別にシステムプログラムで用意した主記憶装置のエリアを使用して制御を行なっている。1形、2形ともに半サイズバックボード1枚に実装される。

## 4. ハードウェア技術

8210システムで新たに開発されたハードウェア技術としては、TTL (Transistor-Transistor Logic) 形の固体集積回路があげられる。図3はこの方式の基本回路である。この回路の特長は

表 3 TTL の種類と主要性能

| 品 番 | 機 能                              | 論 理 記 号                                                                                                                                                                                                                                                                      |
|-----|----------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 101 | Quad-2 Input NAND Gate           | 1 (1)  ×4 (2)  ×3 (3)  ×2 |
| 102 | Tripple-3 Input NAND Gate        | 2 (4)  (5)  ×2                                                                                             |
| 103 | Dual-4 Input NAND Gate           | 3 (6)  (7)  ×2                                                                                             |
| 104 | Single 8 Input NAND Gate         | 4 (8)  ×4                                                                                                                                                                                   |
| 110 | Dual-2 Wide 2 Input AND-NOR Gate | 5 (9)  ×2 (10)  ×2                                                                                         |
| 112 | 4 Wide 2 Input AND-NOR Gate      | 6  $A+B=\Sigma, C$                                                                                                                                                                          |
| 114 | Dual 4 Input Expander            | 7                                                                                                                                                                                           |
| 115 | Quad-2 Input NOR Gate            | 8 (11)                                                                                                                                                                                      |
| 201 | Dual D-type Flip Flop            | 9                                                                                                                                                                                           |
| 310 | Dual-4 Input NAND Buffer         | 10                                                                                                                                                                                          |
| 301 | 2-bit Full Adder                 | 11                                                                                                                                                                                          |

- (1) 飽和形の論理回路であるが、スイッチング速度がかなり早い。
- (2) 速度/電力消費率において他の論理回路に比べてすぐれている。
- (3) 低速の基本回路として広く使われている DTL (Diode Transistor Logic) と論理レベルにおいて互換性があり、外部回路との間のレベル変換がきわめて容易である。
- などであり、8000 シリーズ上位機種で使用している CML (Current Mode Logic) に比べ、小形機に特に適合していると言える。欠点としては、

- (1) 100Ω 程度の伝送線路を駆動するには出力が十分でなく、専用のトランスミッタ (バッファアンプ) を使用しなければならない。
- (2) 高速化のために双方向性 (Totem-Pole) の出力回路を使用しているが、スイッチング時に過大の電流が流れ、雑音を発生しがちである。
- などがあるが、集積回路のチップ面積が比較的小さくてすみ、集積度を上げやすい利点もあって、最近広く使われるようになった。

表 3 は 8210 システムで使用されている TTL の種類と主要性能を示したものである。

固体集積回路の実装は、8000 シリーズ標準のバックボードおよびプラグインとほぼ同じで、論理的実装密度の向上が図られている。図 4 はプラグインの例を写真で示したものである。集積回路はシングルプラグインに最大 12 個、ダブルプラグインに最大 24 個実装さ

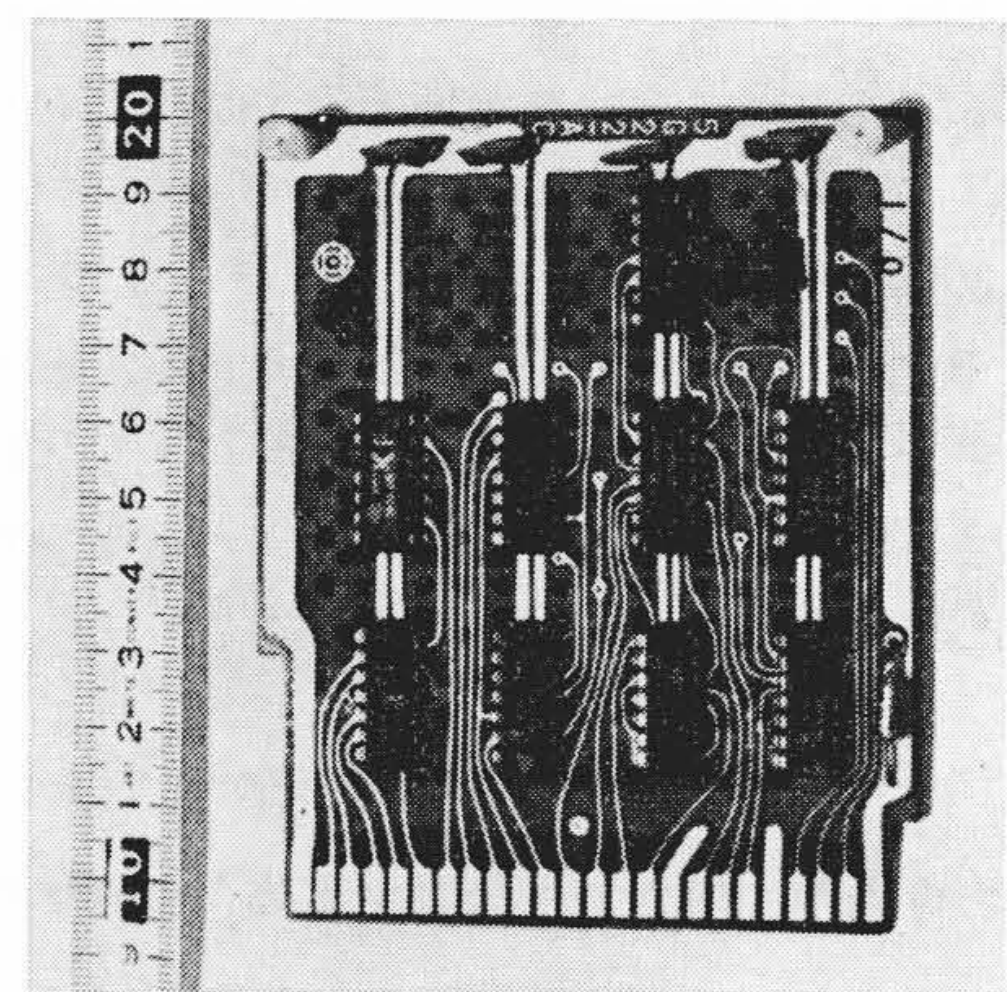
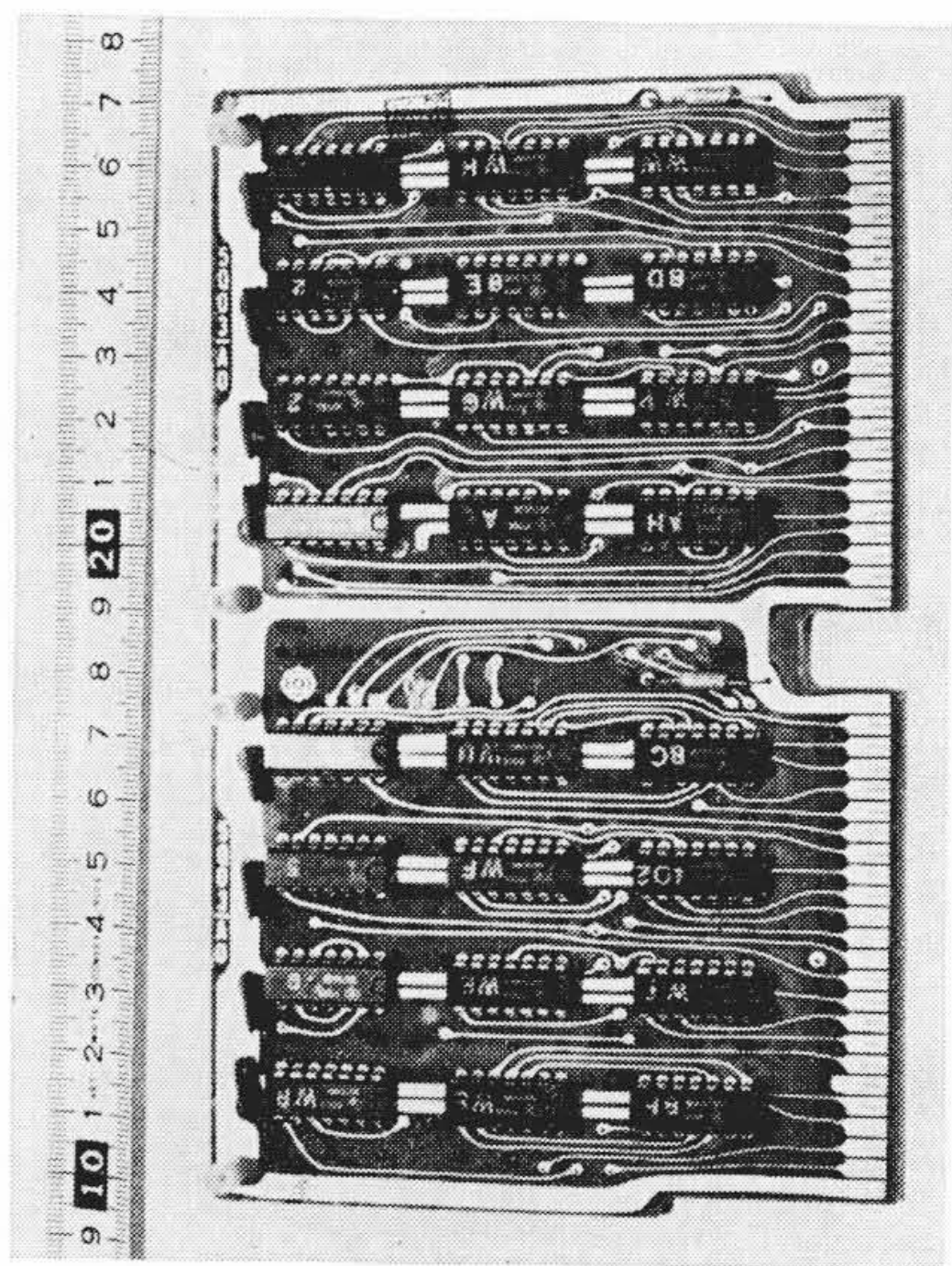


図 4 プラグインの例

れ、雑音を押えるためにアース層を含んだ 3 層のプラグインが採用されている。布線規制は CML のそれと大幅に異なり、ラインの特性インピーダンスで終端する代わりに限られた範囲に配線長を制限し、立上り、立下りをあまらせることによって極力反射を押える方策をとっている。

## 5. 結 言

HITAC 8210 システムは、ランダムアクセス記憶装置を中心とした小規模なデータ処理システムとして開発が計画されたもので、短期間に試作を終わり、性能的にもまた価格のうえでもほぼ満足すべき結果を得たものと思われる。