

# HITAC 8500 処 理 装 置

HITAC 8500 Processor

関 弘\*      井 上 武 洋\*      万 代 博 亮\*  
 Hiroshi Seki      Takehiro Inoue      Hirosuke Mandai  
 高 瀬 拓 士\*      星 史 郎\*  
 Takushi Takase      Shirō Hoshi

## 要 旨

8500 処理装置は、8000 シリーズ電子計算機システムの一員として大規模なシステムの中核をなすものであり、同じファミリの 8300/8400 とは、その設計思想、命令体系、論理基本回路および実装方式においては同一であるが、論理構造が深いことと本機種のために開発した高速の固定記憶装置、レジスタ記憶装置および主磁心記憶装置を用いていることによりシリーズ中最高の処理能力を実現している。

本文では、8500 処理装置の論理構造と動作、入出力制御方式およびメモリ関係を中心とする新しいハードウェア技術について、その概要を述べている。

## 1. 緒 言

8500 処理装置は、8000 シリーズとして統一したファミリの思想のもとに設計された大形の処理装置であり、同シリーズの 8300/8400 処理装置とはソフトウェア的に完全な互換性を保ちながら、より高度の性能をもたせたものである。また 8000 シリーズ入出力標準接続仕様に従っているため、入出力装置も 8300/8400 と共通であり、本処理装置を中心として、広範囲の用途に応ずる種々のシステムを構成することができる。図 1 は 8500 処理装置の写真であるが、本装置の特長として、次の点があげられる。

- (1) 主記憶装置は、サイクル時間 840 ns の磁心記憶装置であって、容量は 65, 131, 262, 524K バイトの 4 種、データの深さは 4 バイト（命令読出時のみ 8 バイト）である。
- (2) レジスタ記憶装置として、128 語（1 語 4 バイト）、サイクル時間 210 ns のプレーテッドワイヤメモリを使用している。
- (3) マイクロプログラム制御方式であり、サイクル時間 210 ns 39 ビット 2,048 語の誘導結合形固定記憶装置を用いている。
- (4) 論理回路の部品、実装方式として 8300/8400 と同一仕様の CML 形 IC、多層配線板（プラッタ）を使用している。
- (5) 低速の入出力機器を最大 256 台まで同時に動作させるためのマルチプレクサチャンネルが標準構成として含まれている。
- (6) 診断機能として、強力なエラーチェック機構、スナップショット機能、ダイアグノース命令を備えている。

## 2. 論理構造と動作概要

### 2.1 データ構造

図 2 に主要レジスタおよびデータパスのブロック図を示す。

主要レジスタは 4 バイト（32ビット）の深さをもつ入力データ母線と出力データ母線によって、演算ユニットに接続される簡単な構造になっている。演算ユニットはオペランドを一時保持する LA, LB レジスタと四則演算、論理演算を行なう機能をもつ ALU とで構成されている。4 バイトの容量をもつ A, B, D レジスタと 1 バイトの容量をもつ W レジスタは演算の中間結果の保持などに使われる汎用レジスタであるが、D レジスタはレジスタ記憶装置のメモリレ

\* 日立製作所神奈川工場

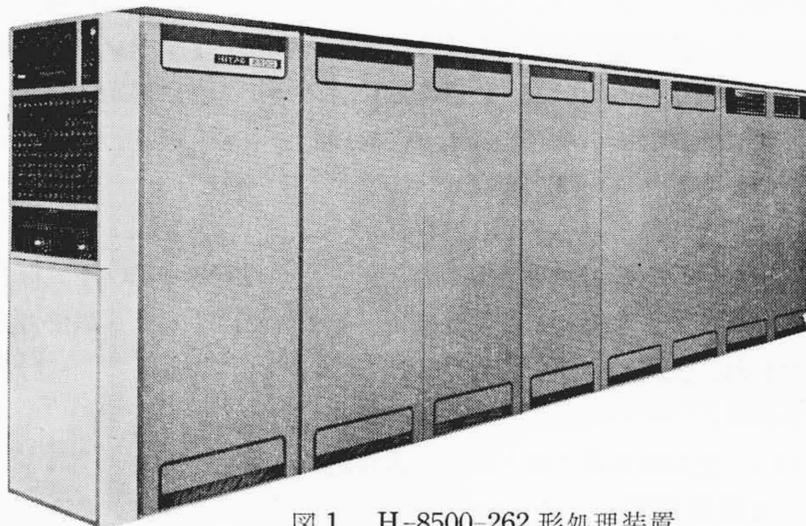


図 1 H-8500-262 形処理装置

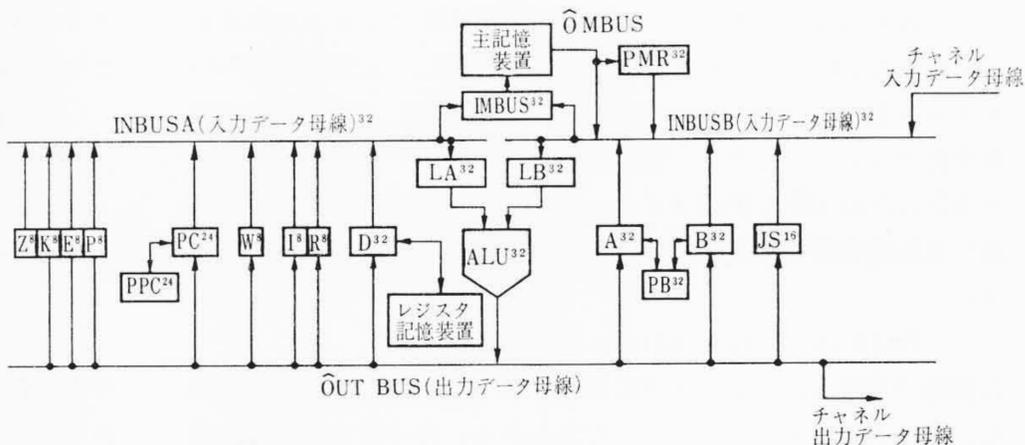


図 2 主要レジスタおよびデータパス

ジスタにもなっている。したがって、レジスタ記憶装置の中の各種レジスタは D レジスタを通して、入力データ母線および出力データ母線に接続される形になっている。

I, R レジスタは命令語の第 1, 第 2 バイトを保持するのに使われるが、R レジスタはカウンタの形で構成されており、-1 を行なう機能をもつ。PC レジスタは次に実行すべき命令の主記憶装置アドレスを保持するレジスタであり、PPC レジスタと組になって、+2, +4, +6 の動作を行なう機能がある。K, P, Z レジスタはプロテクション・キー、使用コード、プログラムマスク、コンデンションコードなど処理装置の状態を規定する情報を格納するレジスタである。E レジスタはプログラムステート (P1~P4) を指定するフリップフロップと二つのバイトカウンタとで構成されている。

バイトカウンタは 4 バイト長レジスタのバイト位置を指定するの

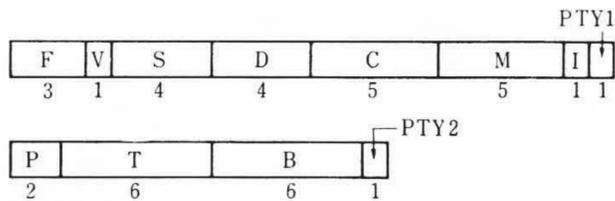


図3 EÔ の形式

に使用され、Dレジスタ用バイトカウンタとAレジスタ用バイトカウンタがある。

図2で示された金物が行なう基本的なデータ処理動作は次の四つであり、これらの動作はマイクロ命令 (Elementary Operation - EÔ と呼ぶ) によって制御される。

#### (1) 論理演算および四則演算

INBUSAに接続されているレジスタに格納されているオペランドとINBUSBに接続されているレジスタに格納されているオペランドはLA, LBレジスタに同時にセットされ、ALU (Arithmetic and Logical Unit) の入力となり、EÔで指定された演算を行なう。演算結果はÔUTBUSにゲートされ、オペランドを格納していた二つのレジスタのうち一方のレジスタに格納される。

レジスタ間のデータ転送も上記論理動作の一変形として

レジスタ → INBUSA/B → LA/LB → ALU  
→ ÔUTBUS → レジスタ

の形で行なわれる。また二つのオペランドの一方をEÔで直接的に与えることもできる。演算は4バイトまたは1バイト単位で行なわれ、上記の一連の動作は1EÔサイクル (210 ns) の間に行なわれる。

#### (2) 主記憶装置の読み出し、書き込み

主記憶装置へのアドレス転送はPC, D, A, Bレジスタに格納されているアドレスまたはEÔで直接的に指定されたアドレスをINBUSA/Bを通してIMBUSレジスタにセットすることによって行なわれる。このアドレス情報はIMBUSにセットされるとともにLA/LBレジスタにもセットされるから、主記憶装置へのアドレス転送を行なっている間にALUを使って、アドレスの更新を行なうことができる。書き込みデータはアドレス転送を行ったEÔの次のEÔの実行サイクル中に、アドレスの場合と同じ経路で主記憶装置に転送される。主記憶装置から読み出されたデータは

ÔMBUS → LB → ALU → ÔUTBUS

の経路で指定されたレジスタに格納される。主記憶装置の読み出し、書き込みは4バイト単位で行なわれる。命令語を主記憶装置から取り出すときに限って、8バイトを1回のコアサイクルで読み出すことができる。読み出された命令語は4バイトずつ2回に分けて転送され、最初の4バイトはLBにセットされ、次の4バイトは先取りされた命令語としてPMRレジスタに保持される。命令語はPMR, JSレジスタに6バイト分先取りされる。メモリアドレスは4EÔで実行される。

#### (3) レジスタ記憶装置の読み出し、書き込み

レジスタ記憶装置のアドレスは、EÔで指定されるが、その指定の方法には、レジスタ記憶装置のアドレスが格納されているW, Rなどのレジスタを指定する方法と直接的にEÔで指定する方法とがある。読み出しデータ、書き込みデータはDレジスタを通して送受される。

#### (4) チャンネルとのデータ送受

チャンネルからのデータはINBUSBにゲートされ、チャンネルへのデータはÔUTBUSから送られる。

## 2.2 制御機構

H-8500形処理装置にはEÔによる制御方式を採用している。EÔは固定記憶装置に格納されており、1EÔは210 nsで実行される。1EÔは37情報ビットと2パリティビットで構成され、次のように12のフィールドに分けられている。PTY1, PTY2はパリティビットである。

EÔの機能は演算、転送、制御用フリップフロップのトリガー、SPMおよび主記憶装置の制御など、いわゆる演算およびプログラム制御論理を制御する機能と、次に実行すべきEÔを選択する機能とに大別される。P, T, Bフィールドは原則として後者の機能のためのフィールドであり、それ以外のフィールドは前者のために設けられたものである。以下簡単に各フィールドの機能を説明する。

F, Vフィールドは4バイト転送, 1バイト転送, 4バイト演算特殊演算, 記憶装置の起動などのように、このEÔで行なう動作を規定するとともに、S, D, Cフィールドの機能を規定する。

S, D, CフィールドはF, Vフィールドの値に対応して異なる機能を持つが、概略次のような機能を持つ。

Sフィールドは発レジスタの指定, 演算の種類を指定を行なう。

Dフィールドは発レジスタ, 着レジスタの指定を行なう。

Cフィールドは制御用フリップフロップのセット, リセットおよびカウンタのトリガを行なう。

MフィールドはSPMの読み書きの指定とアドレスの指定を行なう。

IフィールドはこのEÔの実行サイクル中にチャンネルの割り込みを禁止する機能をもつ。

次に実行すべきEÔを決めることは、EÔの実行順序を決めることにほかならず、これは固定記憶装置のアドレスを決めることである。

EÔの実行順序を決めるためには、無条件にほかのEÔへ分岐する機能とある条件が成立したかどうかをテストして、テストが成立した場合には特定のEÔに分岐し、テスト不成立の場合には次のEÔアドレスに進む機能が必要である。H-8500処理装置のEÔには、次の分岐機能がある。

(1) 任意のブロックへの無条件分岐

(2) 自己ブロック内の無条件分岐

(3) 自己ブロック内の条件付分岐

(4) 特殊ブロックへの条件付分岐

(5) 自己ブロック内の4way分岐

固定記憶装置のロケーションは12ビットで番地付けされるが、この12ビットのうちの下6ビットで番地付けされる64EÔが格納される連続したロケーションをブロックと定義する。

(1)の場合にはT, Bフィールドの12ビットで分岐アドレスを指定する。(2)の場合にはBフィールドの6ビットで現在実行中のEÔが存在するブロック (自己ブロック) 内の分岐アドレスを指定し、P, Tフィールドの8ビットはオペランド, SPMアドレスまたは主記憶装置のアドレスとして使用される。(3)(4)の場合にはTフィールドでテストの種類を指定し、テストが成立した場合に分岐すべき自己ブロック内のアドレスまたは特殊ブロック (ブロック#0) 内のアドレスをBフィールドで指定する。テスト不成立の場合には、分岐しないで次の連続アドレスのEÔが選ばれる。(5)は(3)と同様な動作をするが、一度に四つの条件をテストすることができて、その四つの条件のどれが成立したかによって自己ブロック内の四つのEÔアドレスに分岐することができる。

(1), (3), (4), (5)の分岐タイプの区別はPフィールドによって行なわれる。

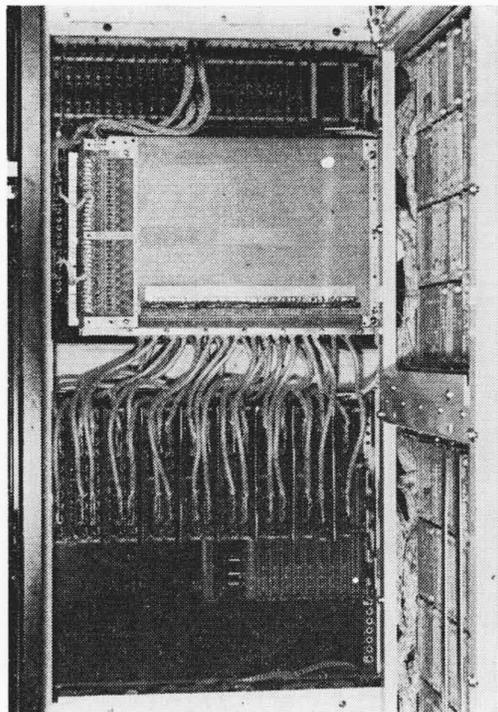


図4 ROMの実装状態

2.3 エラーチェック機能およびスナップショット機能

オンラインシステムで使われる計算機には特に高い信頼性と保守性が要求されるが、H-8500形処理装置はこの要求を満たすようじゅうぶん考慮して設計されており、次のような機能が設けられている。

(1) 強力なエラーチェック機構

処理装置の異状が発生したことを狭い場所範囲で、かつ、早い時期に検知するために、主要レジスタのパリティチェック、演算論理のチェック、各種記憶装置のチェック、EO実行順序に関するチェックなど多くのエラーチェック回路が設けられている。

(2) スナップショット機能

H-8500形処理装置はエラー発生時点の処理装置の詳細な内部状態を自動的に記憶装置に格納する機能を持っており、この機能は従来困難であったインターミットエラーのトラブルシュートにきわめて有効である。

(3) ダイアグノース命令

H-8500形処理装置はH-8300/8400形処理装置と同様にダイアグノース命令を持っており、主記憶装置に格納されたEOプログラムを実行することができる。各論理ゲートの動作を調べるために作られたEOプログラムを実行させることによって故障個所の発見が可能となる。

2.4 性能

H-8500処理装置は、高速記憶装置の採用、演算部の並列高速化、命令の先取り機能の採用などにより、処理の高速化を図っている。科学技術計算およびデータ処理計算を行なう場合の処理能力の指数GIBSON MIX および COMMERCIAL MIX は、それぞれ3.13と8.37である。指数は、1命令あたりの平均実行時間(μs)を表わしている。

3. 固定記憶装置 (ROM, Read Only Memory)

HITAC 8300/8400 などには、UI コアとフレキシブルシートを使ったトランス形 ROM を用いたが、HITAC 8500 では、処理装置の要求する ROM の速度が速く、トランス形では、その実現がむずかしいので、2本のストリップラインの、空間での電磁結合の有無を、2進情報の“1”、“0”に対応させ情報を記憶する方式のROMを考案、開発して使用した。おもな性能は次のとおりである。

記憶容量	2,048 語
語長	39 ビット

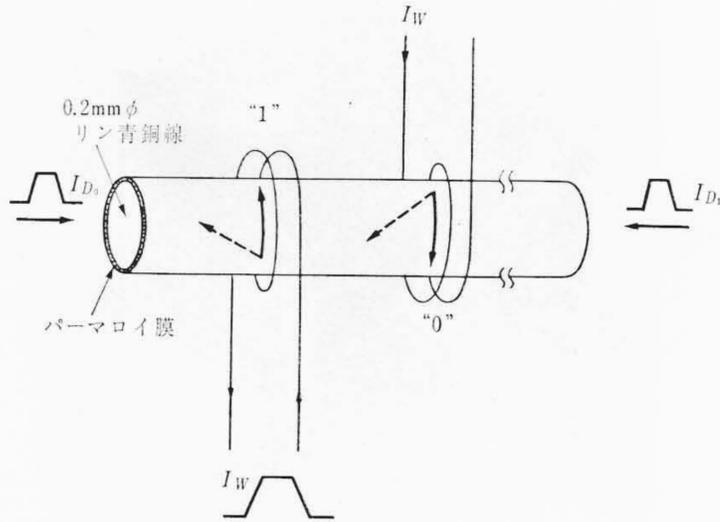


図5(a) エレメントの磁化状態

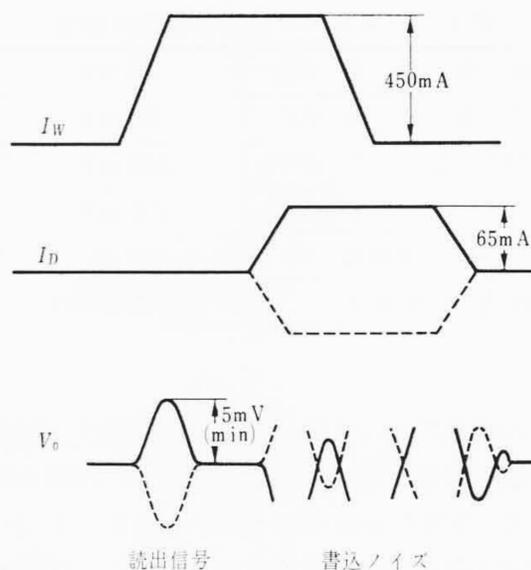


図5(b) 駆動タイミングと読出信号

サイクルタイム	210 ns
アクセスタイム	120 ns

スタックは、高度の両面印刷配線技術を用いて作られた、記憶容量32語のシート64枚を、特に保守性の点を考慮して考案した特殊な構造に組み立てたものである。短いアクセスタイム、リニア系での高いS/Nの確保、高精度高密度両面印刷配線技術の開発など、多くの技術的問題があったが、スタックよりの信号取り出しを、長いセンス線の中点より行なうこと、選択マトリックスでの回り込みノイズの低減、配線の確実な終端による振動防止、そのほか、実装上のくふうや高速信号処理技術の確立などにより、動作速度、S/Nの問題を解決した。また製造工程の改善、環境の整備などにより、高い歩留りでのシート製造を可能にした。

装置として調整する部分は、動作点を定めるセンスバイアスのみで、じゅうぶんな動作マージンを得ている。図4は、本ROMの実装を示す写真である。

4. レジスタ記憶装置

H-8500形処理装置では、プレーテッドワイヤを用いた高速レジスタメモリを使用している。容量は128語、1語が4バイト+4パリティビットで、計36ビットである。サイクルタイムは210ns、アクセスタイムは95ns、駆動方式は、ワード系は語選択方式、ディジット系は2交点/ビット方式である。記憶素子であるプレーテッドワイヤは、0.2mm径のリン青銅線の表面にパーマロイメッキをしたもので、スイッチング速度が早いことに特長がある。円周方向に磁化容易軸をつけておき、“1”、“0”の二つの状態を図5(a)に示すように容易軸上の磁化の向きに対応させる。読み出しにはワード電

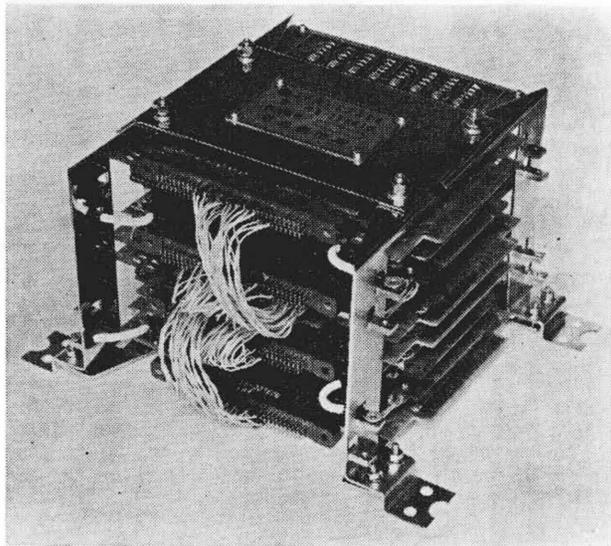


図6 レジスタ記憶装置用スタック

表1 メモリコア(HFC258)の特性

駆動電流 ( $I_m$ )	850 mA
妨害電流 ( $I_d$ )	518 mA
“1”出力 ( $DV_1$ )	$\geq 32$ mV
“0”出力 ( $DV_2$ )	$\leq 11$ mV
スイッチング時間 (ts)	$< 225$ ns
出力温度特性	0.14 mV/°C

流を流してその磁界によって磁化を軸方向に傾け、磁束変化率に比例した出力を検出する。駆動電流としては  $I_w=450$  mA,  $I_D=\pm 65$  mA, “1”, “0”出力の min 値は 5 mV である。 $I_w$  と  $I_D$  パルスの駆動タイミングは図5(b)に示すとおりである。信号出力がこのような小さいので、ワード系からの半選択ノイズ、ディジット系からの書き込みノイズを軽減するよう、回路構成、実装方式には特別な注意をはらっている。図6はスタックの外観図であるが、この中にはメモリプレーン2枚と選択マトリックスが含まれている。プレートドワイヤは温度特性にはすぐれているが、軸方向に印加される外部磁界に対して敏感なので、その影響を避けるため磁氣的にシールドされている。

### 5. 主磁心記憶装置

主磁心記憶装置は3D方式で4線スタックを使用している。サイクルタイムは840 ns, アクセスタイムは440 ns である。コアはLi系の広温度域材料を使用した20ミルコアで表1の特性をもつ。

コアモジュールの容量は  $128 \times 128 \times 33$  で、1バンクに2個のモジュールを使用する。第1バンクには4KBのノンアドレス部分追加され、マルチプレクサの動作に使われる。

方式的な特長としては次のものがある。

- (1) 2ワードアクセスが可能なこと。通常1ワード(4バイト)が単位でアクセスされるが、必要な場合には同一バンクから連続した番地の2ワードを同時に読み出すことが可能である。
- (2) スプリットサイクルが可能である。
- (3) チェック機能が強化されている。通常読み出し情報のパリティチェックが行なわれるが本メモリではアドレス情報のパリティもチェックし、間違っただけを読み書きしないようにしている。さらに書き込み時の情報もチェックし、保守が迅速に行なわれるようになっている。

図7に主磁心記憶装置の外観写真を示す。

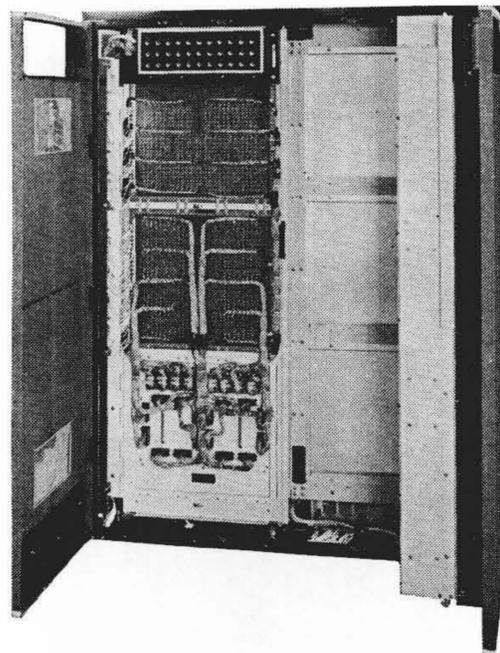


図7 主磁心記憶装置 (262 KB)

表2 チャンネルの動作時間と速度

	マルチプレクサチャンネル	セレクトタチャンネル
データサービス	194 KB/S	863 KB/S
データチェーン	3.78 $\mu$ s	3.15 $\mu$ s
コマンドチェーン	9.87 $\mu$ s	8.77 $\mu$ s

### 6. チャンネルおよび付加機構

入出力チャンネルには標準構成に含まれるマルチプレクサチャンネルと、付加機構として用意されたチャンネル数が2, 4, 6の3種類のセレクトタチャンネルがある。

マルチプレクサ、セレクトタの両チャンネルとも、入出力動作はマイクロプログラムによって制御される。マイクロプログラムのレベルに三つあり、内部処理、マルチプレクサチャンネル、セレクトタチャンネルの順に優先度が高くなっていて、多重の割り込み処理ができる。

マルチプレクサチャンネルには、データサービスのための一組のレジスタがレジスタ記憶装置の一部に用意されている。ある入出力装置からのデータサービス要求があると、その装置に対応したサブチャンネル(主記憶装置の非アドレス部)から、一組のチャンネル制御語を取り出して、上記レジスタ記憶装置のチャンネルレジスタにセットすることによって、データサービスが行なわれる。データサービスによって更新されたチャンネル制御語をサブチャンネルレジスタに戻すことによってサービスは終了する。1バイトのサービスごとに主記憶装置との間でデータの授受が行なわれる。最大256台の入出力装置を同時に動作させることができる。

セレクトタチャンネルは4チャンネルごとに、一組のチャンネルレジスタ(レジスタ記憶装置の一部)とコマンドを保持するハードレジスタが用意されている。ある入出力装置の動作があるセレクトタチャンネルで開始されると、そのチャンネルはその入出力装置の制御に専念する。

したがって、そのチャンネルに接続されている入出力装置を同時に動作させることはできないが、マルチプレクサよりも高速のデータサービスができる。主記憶装置とのデータの授受は4バイト単位で行なわれる。マルチプレクサおよびセレクトタチャンネルの処理速度は表2のとおりである。

処理装置の付加機構として、セレクトタチャンネルのほかに、経時計機構、メモリ保護機構およびダイレクトコントロール機構がある。

経時計機構は、時間の経過に割り込みをおこすことによって、

処理装置に知らせる構能をもつ。メモリ保護機構は、主記憶装置の誤った番地への書込みを禁止する機能をもつ。主記憶装置の2KBブロックごとに4ビットのキー（ストレージキー）を用意し命令実行に際してプログラムの持つキー（プロテクションキー）と照合することによって記憶内容を保護するものである。

256個のストレージキーを記憶するのに、レジスタ記憶装置と同じプレーテッドワイヤを素子とした記憶装置を使っている。

ダイレクトコントロール機構は、処理装置間あるいは、処理装置とほかの特殊機器との間で制御情報の授受を行なう機能をもち、6組のバンクが設けられている。

7. 結 言

以上 8500 処理装置の論理構造と動作、固定記憶装置、レジスタ

記憶装置、主磁心記憶装置、4チャンネルおよび付加機構について概説した。ここに示した性能を実現するためのハードウェア技術として、固定記憶装置、レジスタ記憶装置、主磁心記憶装置などは8500用として新しく開発したものであるが、論理用IC、プラッタなど8300/8400と共通の技術をもできるだけ利用しようつとめた。これらハードウェア技術のうえに、E $\bar{O}$ 論理設計でくふうをこらすことにより、高いパフォーマンス/コスト、信頼性、生産性のバランスをはかった。本装置は、8000シリーズの各種入出力装置と接続され、これらを支持するソフトウェアとあいまって大形データ処理システムとして、おおいに能力を発揮するものと確信する。

参 考 文 献

- (1) 高橋ほか：日立評論 49, 373~405 (昭42-3)

Vol. 29

日 立 造 船 技 報

No. 3

目 次

■ 論 文

- 水蒸気脱離式活性炭法による排ガス中の亜硫酸ガスの回収
- 風洞試験による摩擦抵抗形状影響係数の系統的計測
- 塗装鋼板の塗膜がガス切断に及ぼす影響
- 片面自動溶接(RF-1方式)の実用化(第2報)

- 鉄鋼の疲れ強さに及ぼすNiメッキの影響
- Al-Zn-Mg合金溶接部の加工と強さ(第2報)  
— 塑性加工と時効 —
- すぐ歯平歯車の疲れ試験(その2)  
— 歯の摩損強さについて —

……………本誌に関する照会は下記に願います……………

日立造船株式会社技術研究所  
大阪市此花区桜島北之町60 郵便番号554

第 30 卷

日 立

第 12 号

目 次

- 小特集・ピープルズバンク  
グラフィック/大衆銀行時代  
解説/ピープルズバンク  
インタビュー/銀行の繁栄と近代化
- ICからLSIへ—発展する集積回路—
- 飛行船 “復活”

- 中国・四国・九州最大の揚水発電所—新成羽川発電所—
- 随 想/青 と 赤
- COLOR SPOT/消えた素子
- High Light/三越エスカレーター
- 万博シリーズ/いよいよ軌道にのった万博
- サイエンス・ジョッキー

発行所 日立評論社

東京都千代田区丸の内1丁目4番地  
郵便番号100

取次店 株式会社オーム社書店

振替口座 東京71824番  
東京都千代田区神田錦町3丁目1番地  
郵便番号101  
振替口座 東京20018番