

高圧サイリスタ変換装置用パルストランス

Pulse Transformer for High Voltage Thyristor Converter

木 脇 久 勝*
Hisakatsu Kiwaki

要 旨

高圧大容量のサイリスタ変換装置では多数の直並列接続されたサイリスタに立上りが速くばらつきの小さいゲートパルスと同時に供給する必要がある。しかし、パルストランスの耐圧を高くすると漏えいリアクタンスが増加し、パルス立上りが悪くなるという問題がある。そこで、日立製作所では 10 kV サイリスタ変換装置を対象として、遊星配置電線を用いたパルストランスを開発し、立上り時間 1.3 μ s, ばらつき 0.1 μ s 以下、パルス幅 600 μ s のゲートパルスを 24 個のサイリスタに同時に供給することに成功した。本稿はその概要について述べたものである。

1. 緒 言

最近、直流送電用変換装置をはじめとして高圧大容量のサイリスタ変換装置が要求されるようになった。これに使用されるサイリスタ素子単体の容量は最近かなり増大したが、装置の容量に比べればまだかなり小さく、多数の素子を直並列に接続して使用しなければならない。この場合、特に直列接続では素子の過渡的な順方向および逆方向電圧の不平衡に余裕が少なく、平衡をとるため一般に陽極、陰極間に抵抗とコンデンサよりなる回路を接続する方法などがとられているが、サイリスタで特に問題となる順方向電圧の不平衡を根本的に解決するには同時に点弧させることが必要である。しかし、素子の点弧特性の斉一性には限度があるのでじゅうぶんな電力を有し、かつ立上り時間とそのばらつきのきわめて小さいゲートパルスを加える必要がある。

一方、高圧サイリスタ装置では低圧の制御回路から高圧のサイリスタのゲートにパルスを伝送しなければならないが、パルストランスを用いると一次と二次の絶縁間げきのため漏えいリアクタンスが増加し、上記の要求を満足することは困難と考えられてきた。

そこで、われわれは二次導体の周囲に絶縁物を介して一次導体を遊星状に配置した電線を用いるパルストランスについて検討し、10 kV 800 kW サイリスタ変換装置に対して立上り 1.5 μ s, パルス幅 300 μ s のパルスを伝送し得るものを完成した。以下その概要について述べる。

2. 所要ゲートパルス波形

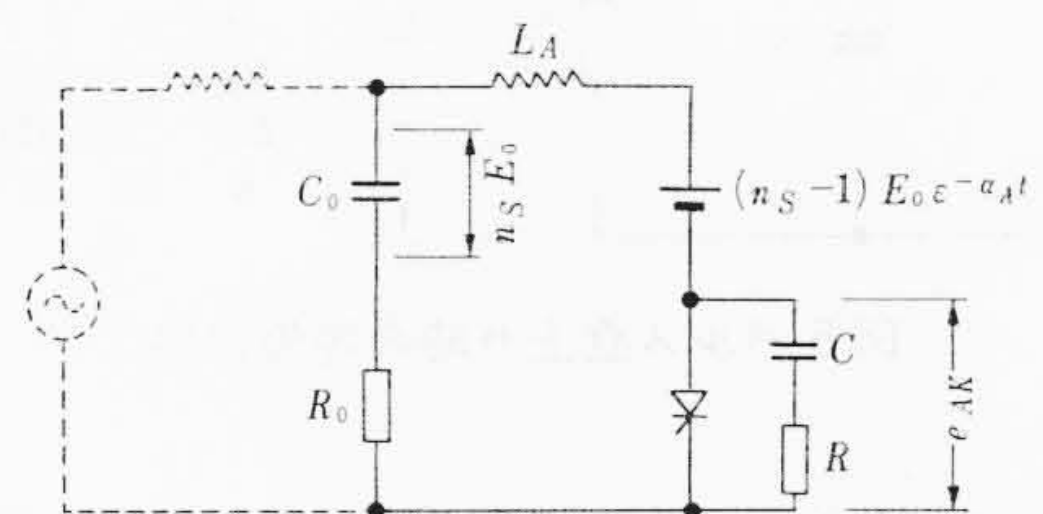
直列接続サイリスタ回路における順電圧分担で最もきびしい条件は、サイリスタが 1 個だけ遅れて点弧する場合である。この場合の等価回路は図 1 のようになる。この回路から AK 間電圧の最大値 e_{AKm} の最初の値 E_0 に対する上昇率、すなわち

$$\frac{e_{AKm} - E_0}{E_0} \times 100\%$$

を 10 kV サイリスタ変換装置の場合について表わすと図 2 のようになる。ただし、サイリスタの直列個数 $n_s = 24$ である。一般に AK 間電圧上昇率は 40% 以下に押えているので、そのためには点弧のばらつきは図 2 から 1.8 μ s 以下にしなければならないことが知られる。

一方、点弧の遅れ時間は図 3 に示すように素子によってばらつくが、ゲート電流上昇速度を大きくすると遅れ時間は小さくなるので遅れ時間のばらつきをたとえば 1.8 μ s 以下にするには、ゲート電流上昇速度を 130 mA/ μ s 以上にすればよい。そこで許容ゲート電流

* 日立製作所日立研究所



C_0, R_0 : サイリスタ変換装置のサージアブソーバ回路
 C, R : サイリスタ AK 間並列 CR 回路
 E_0 : 点弧前の主サイリスタ 1 個あたりの AK 間電圧
 n_s : 主サイリスタの直列個数
 L_A : アノードリアクトル
 e_{AK} : 遅れて点弧するサイリスタの AK 間電圧

図 1 直列サイリスタ回路においてサイリスタが 1 個だけ遅れて点弧する場合の等価回路

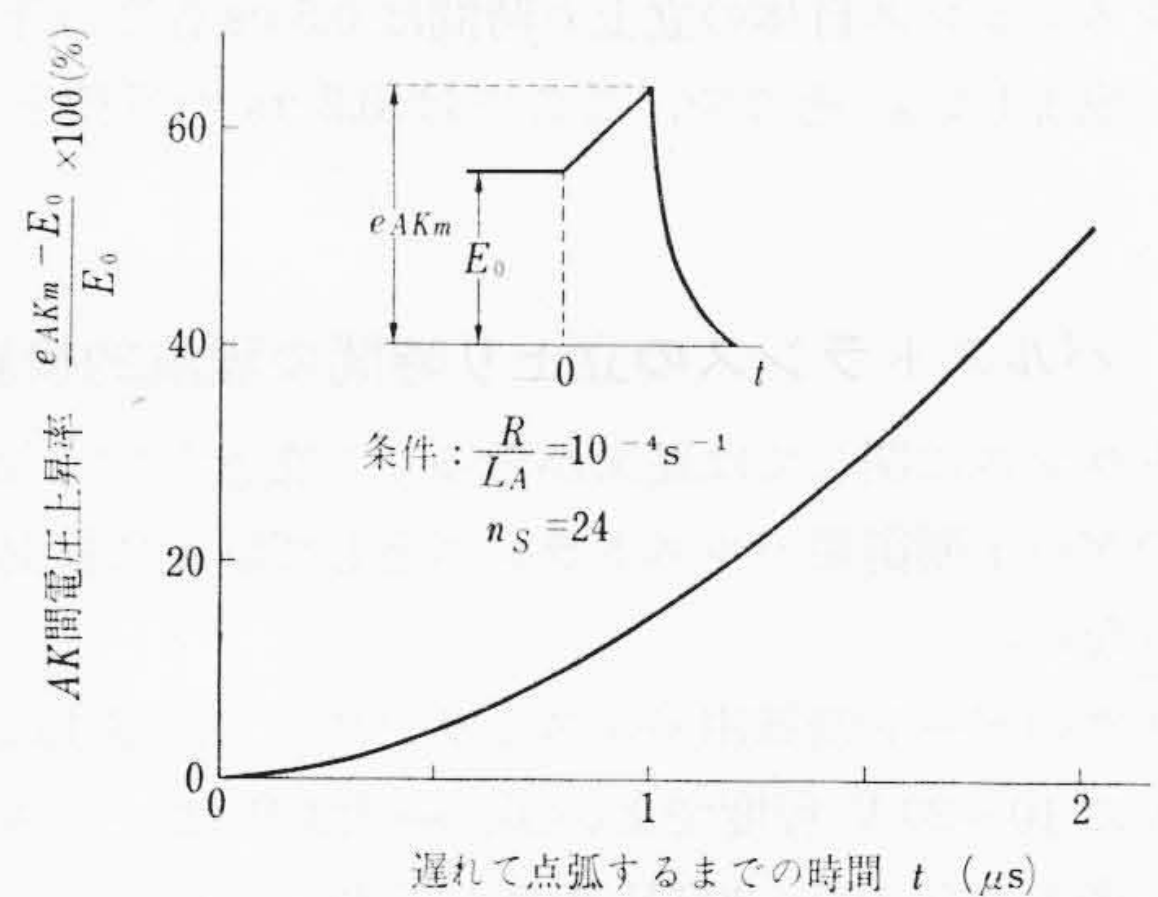


図 2 遅れて点弧するサイリスタの AK 間電圧上昇率

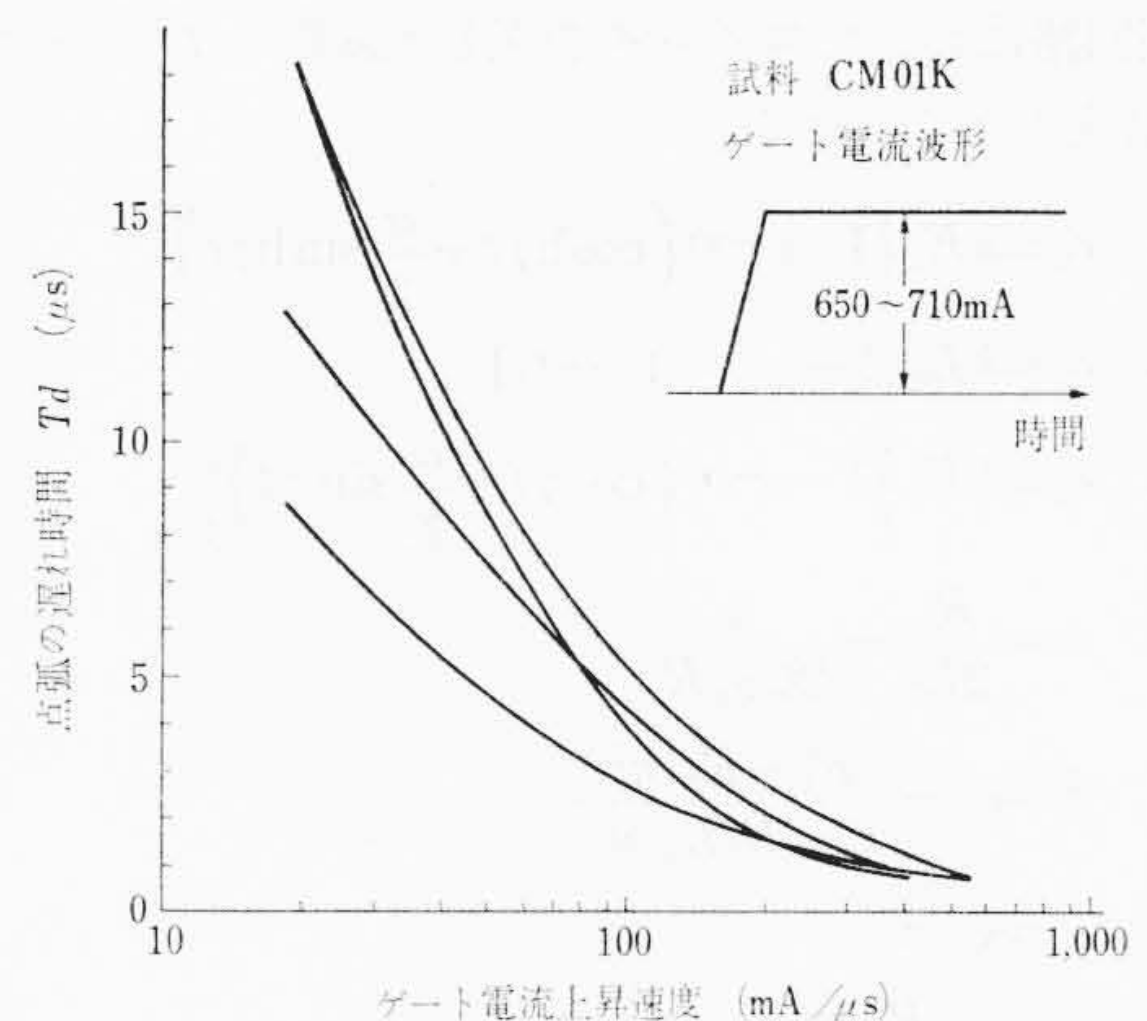


図 3 ゲート電流上昇速度と点弧の遅れ時間の関係

せん頭値を 650 mA とすると、立上り時間は、
 $0.65(0.9 - 0.1) / 0.13 = 4 \mu$ s

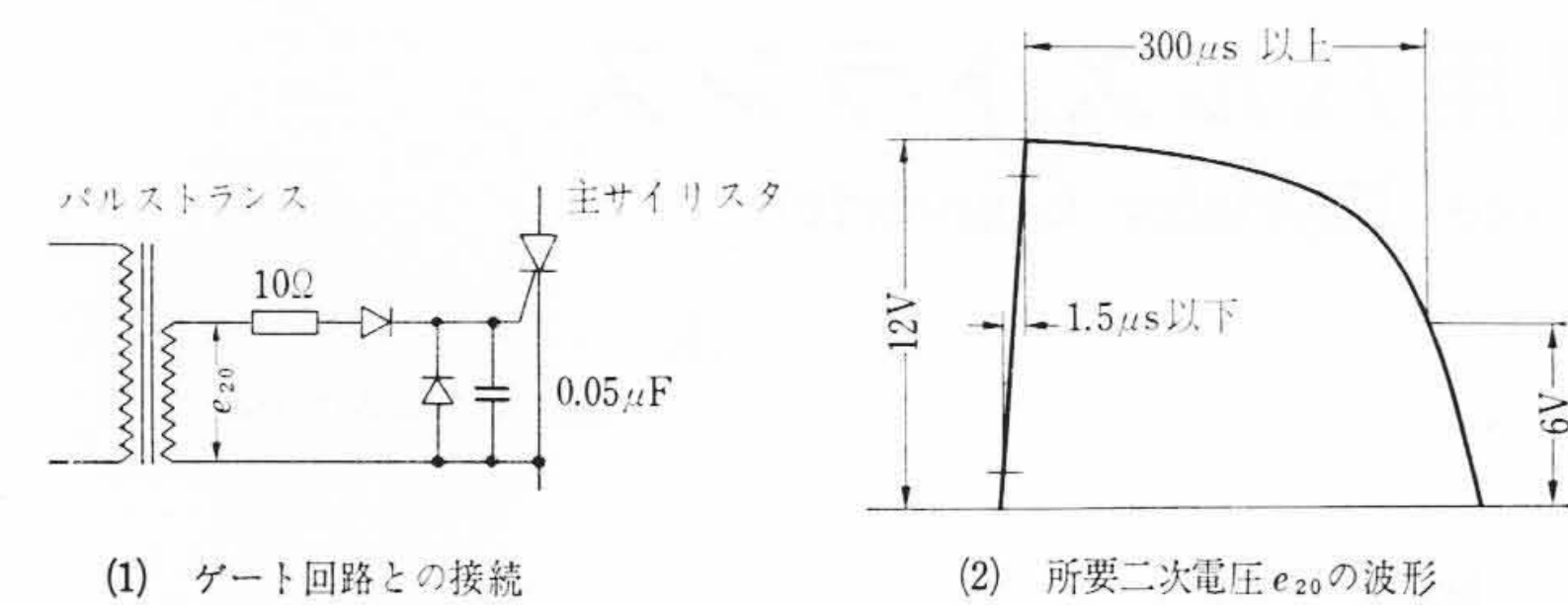


図 4 パルストランスのゲート回路との接続
および所要二次電圧波形

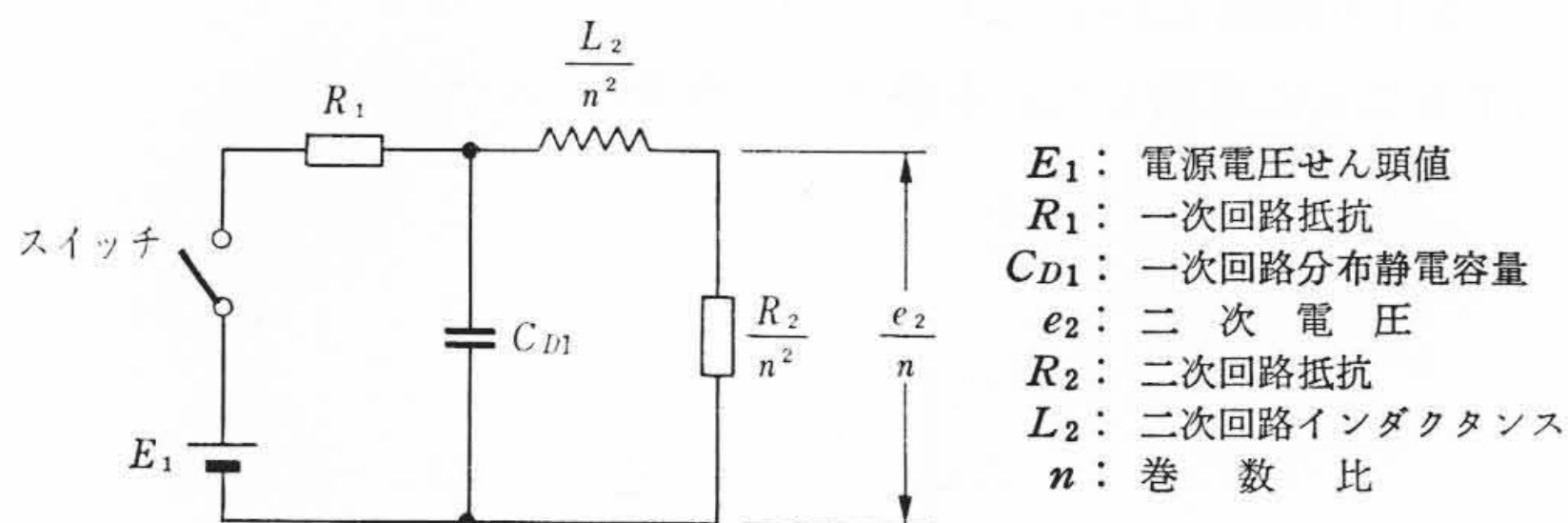


図 5 パルス立上り時の等価回路

以下でなければならない。そこで、ここでは余裕をみて $1.5\mu\text{s}$ を目標とした。

次にパルス幅は主回路の定数にもよるが、今回のサイリスタ変換装置では $300\mu\text{s}$ 以上必要とされるので、これを目標にした。

パルストランスとゲート回路の接続は図 4 (1) のようになるので、結局、パルストランスの所要二次電圧波形は図 4 (2) のようになる。

一方、パルス発生回路の立上り時間として $1\mu\text{s}$ 程度はみこまれるので、パルストランス自体の立上り時間は $0.5\mu\text{s}$ 程度以下を目標とすることが望ましい。そこで、ここでは $0.2\mu\text{s}$ を目標として検討する。

3. パルストランスの立上り時間の理論的検討

パルストランスに関しては従来から多くの文献^{(8)~(9)}があるが、サイリスタのゲート制御用パルストランスとして詳細に検討されたものはみられない。

サイリスタのゲート制御用パルストランスの二次電圧は図 4 にも示したように $10\sim 20\text{ V}$ 程度でよいが、一次電圧はパルス発生回路の構成から考えると $100\sim 200\text{ V}$ 程度が適当と考えられる。したがって、巻数比は $10:1$ 程度のものとなるので、立上り時間を検討するための等価回路は図 5 のように表わされる。

この等価回路においてスイッチを閉じた瞬間を $t=0$ とすれば、二次電圧 e_2 は次のようになる。

$$\beta > 0: e_2 = kE_1 \left\{ 1 - \varepsilon^{-\alpha t} \left(\cosh \gamma t + \frac{\alpha}{\gamma} \sinh \gamma t \right) \right\}$$

$$\beta = 0: e_2 = kE_1 \{ 1 - \varepsilon^{-\alpha t} (1 + \alpha t) \}$$

$$\beta < 0: e_2 = kE_1 \left\{ 1 - \varepsilon^{-\alpha t} \left(\cos \gamma t + \frac{\alpha}{\gamma} \sin \gamma t \right) \right\}$$

$$\text{ただし、} \alpha = \frac{R_2}{2L_2} + \frac{1}{2C_{D1}R_1}$$

$$\beta = \alpha^2 - \frac{R_1 + R_2/n^2}{C_{D1}R_1L_2/n^2}$$

$$\gamma = \sqrt{|\beta|}$$

$$k = \frac{R_2/n}{R_1 + R_2/n^2}$$

これらの式を立上り時間一定の条件で解くと一次、二次回路の定数の関係が定まる。たとえば、 $R_1 \ll R_2/n^2$ の場合、一次回路時定数 $C_{D1}R_1$ と二次回路時定数 L_2/R_2 の間の関係は立上り時間 t_r をパラ

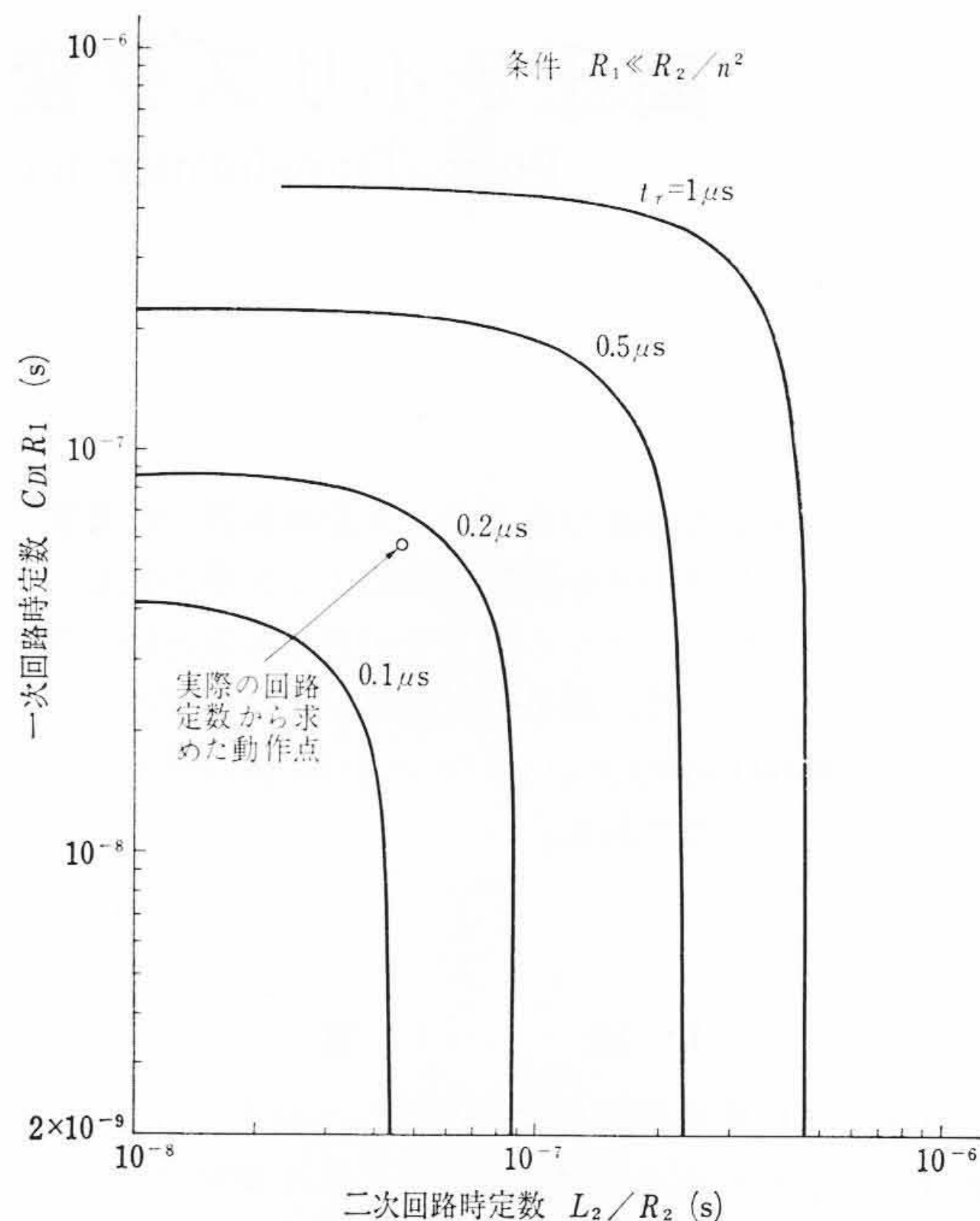


図 6 一次回路時定数と二次回路時定数の関係

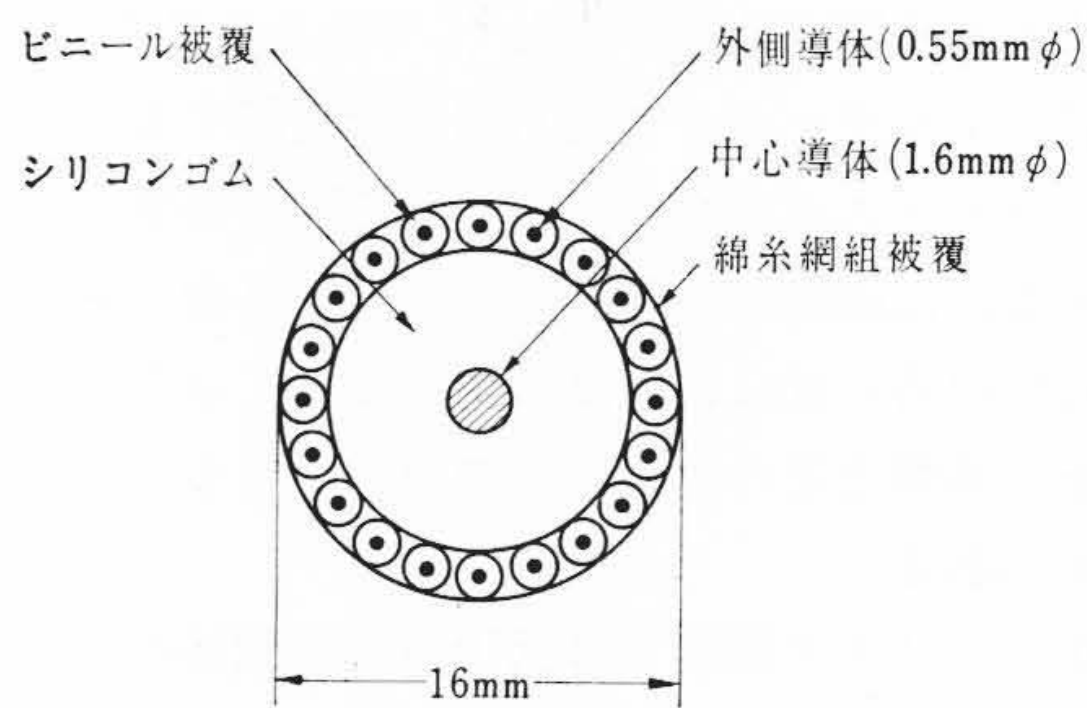


図 7 遊星配置電線の断面図

メータにすると図 6 のようになる。これより、たとえば二次回路時定数が与えられた場合、一次回路時定数をこれより小さくしても立ち上り時間はそれほど小さくならないが、大きくすると立ち上り時間も急激に大きくなることが知られる。したがって、一次側の回路抵抗または分布静電容量を一次回路時定数と二次回路時定数が等しくなる程度まで大きくしても立ち上り時間はほとんど増加しない。

4. 遊星配置電線を用いたパルストランス

図 6 から明らかなように、立ち上り時間を小さくするためには一次回路と二次回路の漏えいリアクタンスを小さくしなければならないが、耐圧を高くするほど一次巻線と二次巻線の結合が悪くなりやすい。このため、従来は一次回路の漏えいインダクタンスが過大となり、そのため一次回路時定数が二次回路時定数より大きくなり、立ち上り時間を小さくすることが困難であった。

これを考慮してわれわれは図 7 に示すような遊星配置電線を採用した。これは中心導体 (二次) の周囲に絶縁層を介して外側導体 (一次) を遊星状に配置したものである。このような構造によれば、一次巻線により生ずる磁束はほとんどすべて二次巻線と鎖交するので、それだけ漏えいインダクタンスが小さくなり、また、電線自体で所要の耐圧を有しているのでパルストランスの構造が簡単となる利点がある。この電線の絶縁層には、コロナ放電による経年変化を防ぐためシリコンゴムを用いた。この電線でコロナ開始電圧を実測した結果、 10.5 kV 以上となり、じゅうぶん所要の性能を満足している。

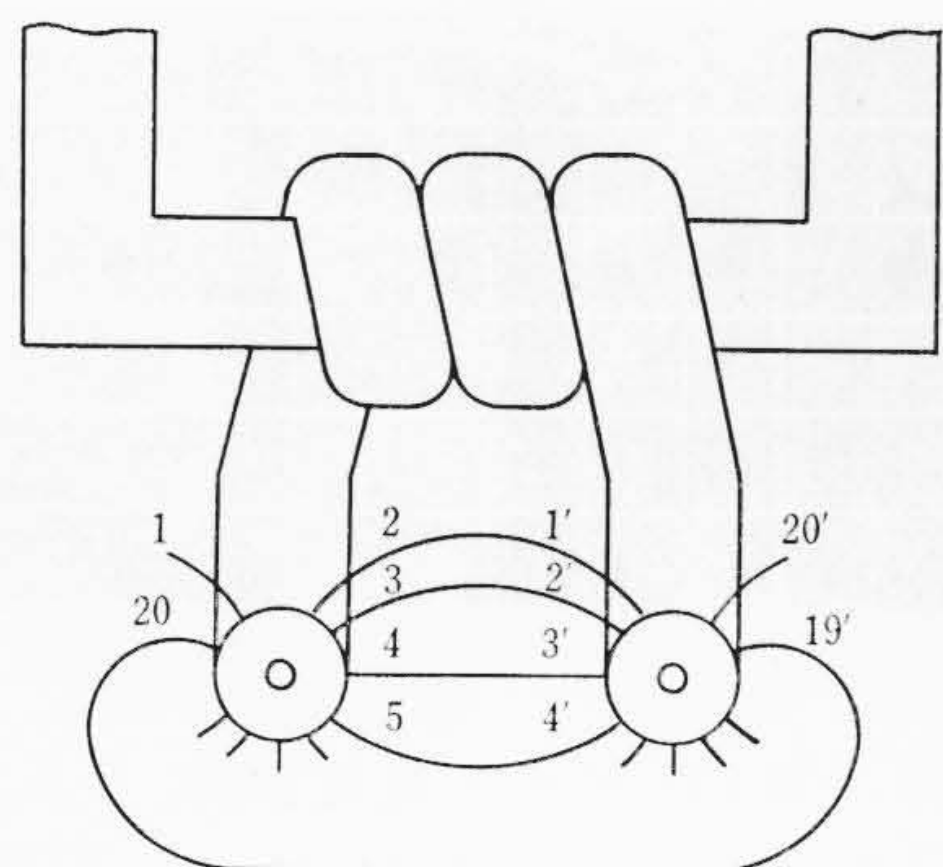


図8 遊星配置電線の巻線法

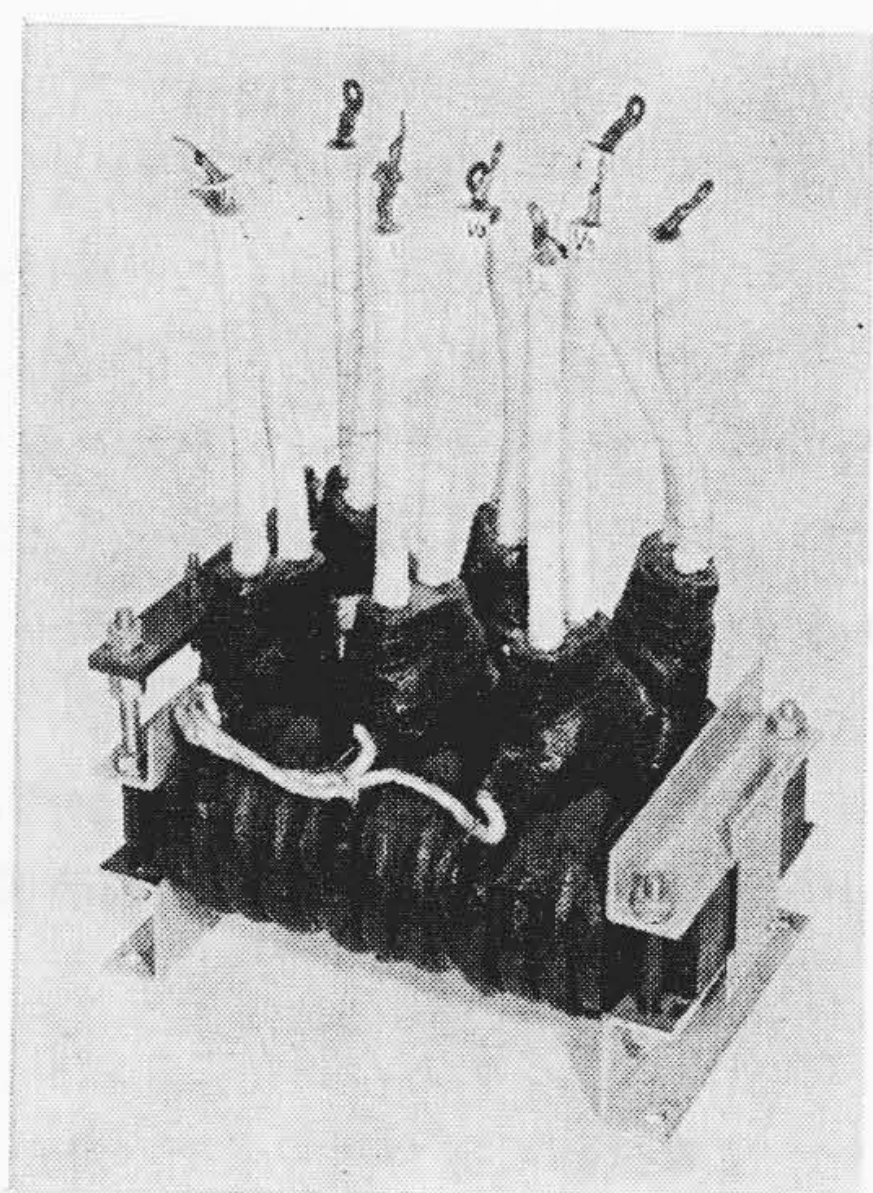


図9 6巻線形パルストランス

図8はこの電線の巻線法を示したものである。

今回の変換装置では主サイリスタの直列個数は24であるからパルストランスの二次巻線も24組必要である。しかし、主サイリスタは6個ずつ1組にまとめられるので、パルストランスもそれに応じて二次巻線を6組有するものを単位として構成した。

6組の二次巻線は立上りにばらつきを生じないようにするため、それぞれに一次巻線を設け、これらの一次巻線をすべて並列に接続して使用した。

図9に6巻線形パルストランスの外観を、図10に6巻線形パルストランス回路の構成を示す。

5. パルストランス回路の特性

5.1 パルス立上り

(1) パルス発生回路からパルストランスまでの定数

パルス発生回路からパルストランスまでは同軸ケーブルが用いられるので、厳密には分布定数回路として取り扱うべきであろうが、ここでは集中定数とみなし、抵抗、インダクタンスは回路に直列に、分布静電容量はトランスの一次巻線に並列にはいるものとする。これらの値は実測および計算より次のようになる。

抵抗	抗	$R_{11}=0.5\ \Omega$
インダクタンス		$L_{11}=1\times 10^{-6}\text{ H}$
分布静電容量		$C_{11}=1\times 10^{-9}\text{ F}$

(2) パルストランス一次巻線定数

実測および計算より次のようになる。

抵抗	抗	$R_{12}=1.6\ \Omega/\text{巻線}$
分布静電容量		$C_{12}=8\times 10^{-11}\text{ F}/\text{巻線}$

(3) パルストランス二次巻線定数

抵抗	抗	$R_{21}=0.04\ \Omega/\text{巻線}$
----	---	---------------------------------

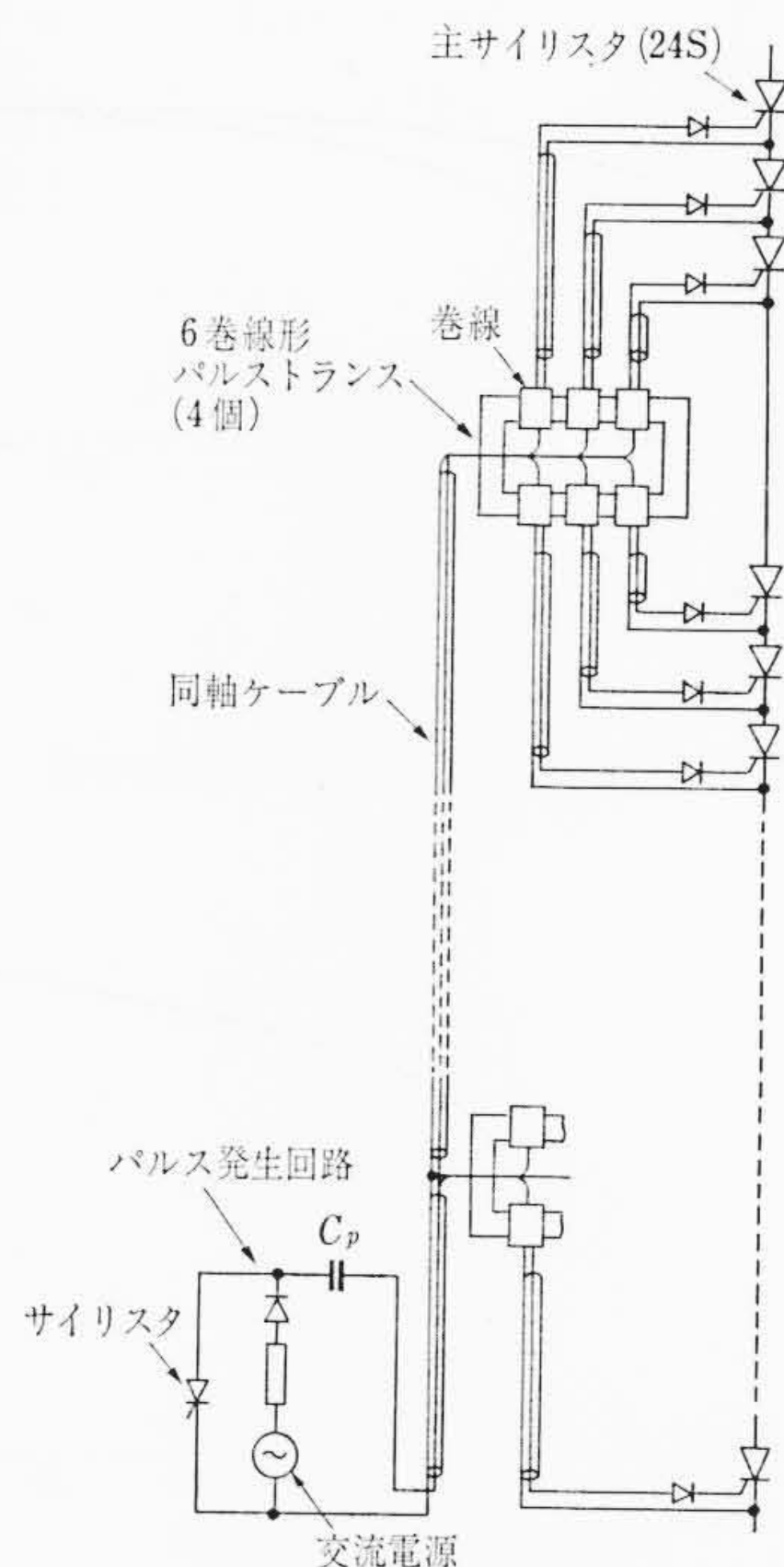


図10 パルストランス回路の構成

漏えいインダクタンス $L_{21}=5.5\times 10^{-7}\text{ H}/\text{巻線}$

(4) 二次巻線から負荷までの回路定数

一次側と同様に同軸ケーブルが用いられるので、定数は次のようになる。

抵抗	抗	$R_{22}=0.1\ \Omega$
インダクタンス		$L_{22}=2.3\times 10^{-7}\text{ H}$

以上の値で抵抗はすべてパルス立上りの等価周波数を500kHzとして、これに対する表皮効果を考慮した値である。

一次回路の漏えいインダクタンスは図5の等価回路では無視したが立上りの等価周波数 f_r が500kHz程度になるとその影響は無視できないので、一次回路の等価抵抗としては、

$$z_1 = \sqrt{\left(R_{11} + \frac{R_{12}}{24}\right)^2 + 4\pi^2 f_r^2 L_{11}^2} = 1.5\ \Omega$$

を用いる。したがって、一次回路時定数は、

$$(C_{11} + 24C_{12})z_1 = 5.8\times 10^{-8}\text{ s}$$

となる。また、二次回路時定数は、

$$\frac{L_{21} + L_{22}}{R_{21} + R_{22} + R_2} = 4.6\times 10^{-8}\text{ s}$$

となる。これらの値から、動作点は図6中に示したようになり、立上り時間は0.2μs以下となり所要の値をじゅうぶん満足している。さらにパルス発生回路の立上り時間が1μs程度であることを考慮するとパルストランスの二次に得られるパルスの立上り時間は1.2μs程度となるものと考えられる。

5.2 パルス幅

パルス幅は、パルス発生回路のコンデンサとパルストランスの一次巻線からみた磁気特性によって定まる。パルス発生回路は図10に示したように交流電源のある半サイクルにコンデンサ C_p を充電し同時に、鉄心の磁束もリセットし、次の半サイクルの適当な位相でサイリスタを点弧すると、コンデンサの電圧は一次巻線に印加される。そして、鉄心が飽和すると、 C_p と飽和インダクタンスの共振によりコンデンサ電圧は急激に反転し、サイリスタに逆電圧が加わってこれを消弧する。図11はこの場合の磁化曲線の一例を示したものである。パルス幅は、だいたい磁束のリセット量によって定ま

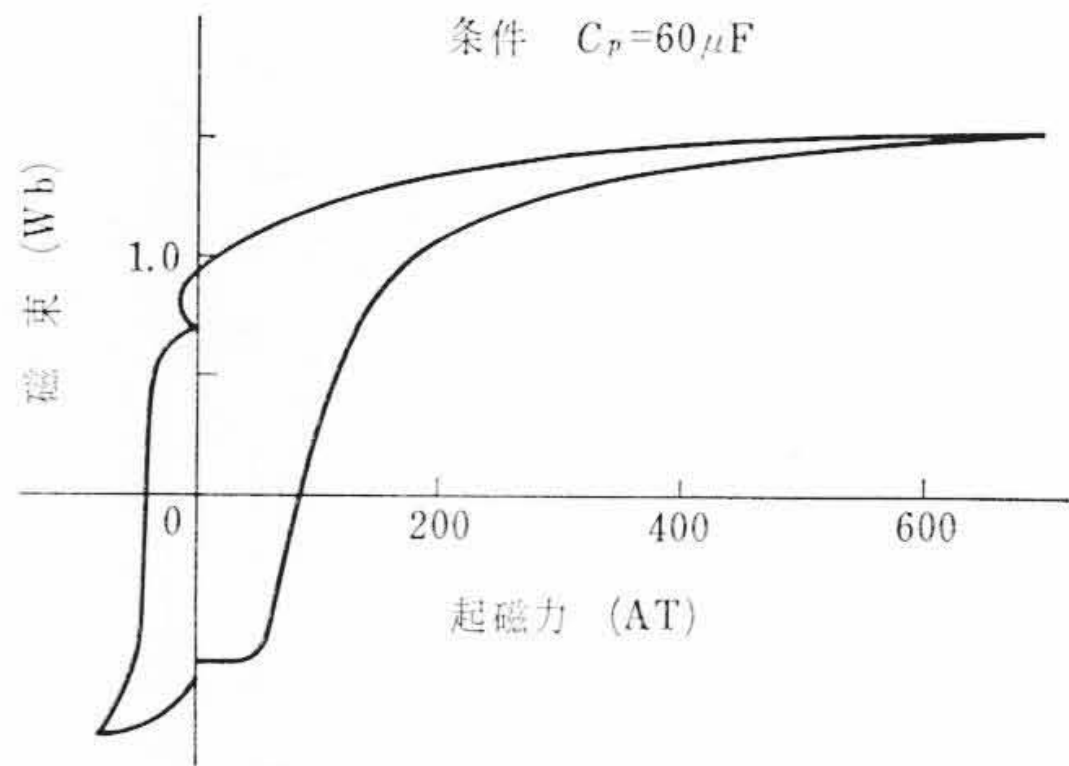


図 11 パルストランスの磁化曲線

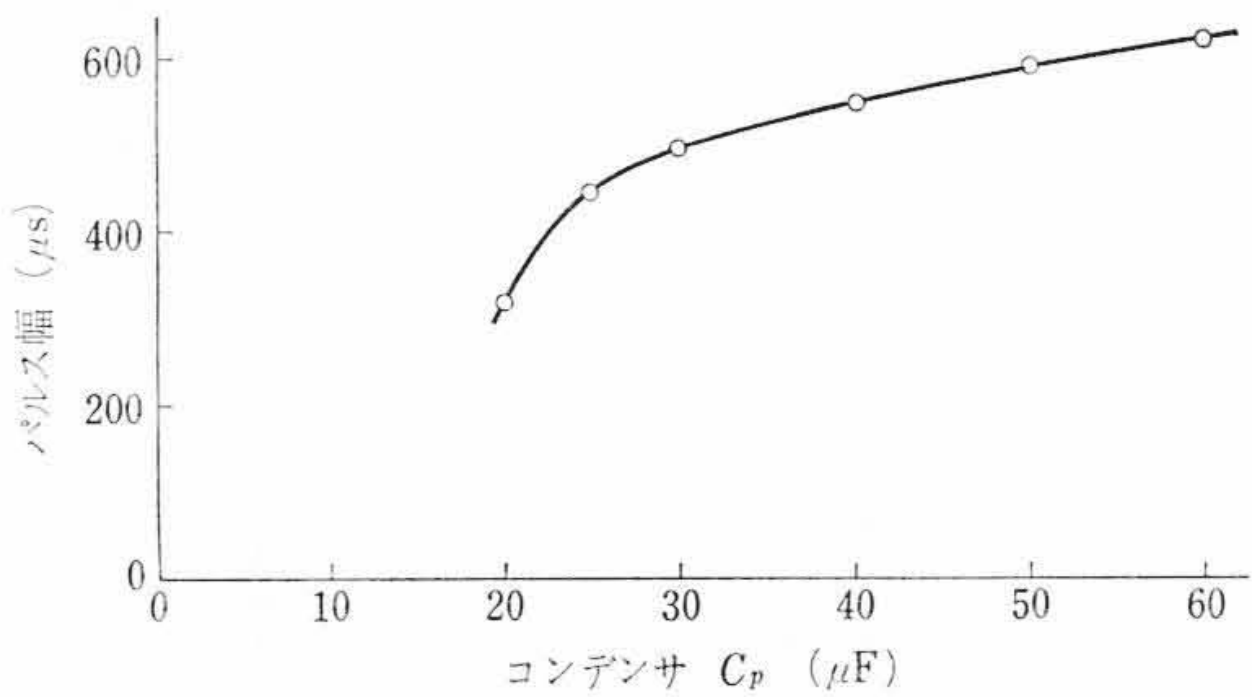


図 12 パルス発生回路コンデンサとパルス幅の関係

るが、パルス発生回路のコンデンサ C_p の値が小さすぎるとリセット不足になるので適当な値を選ぶ必要がある。図 12 はコンデンサの値とパルス幅の関係の一例を示したものである。

6. 実 験 結 果

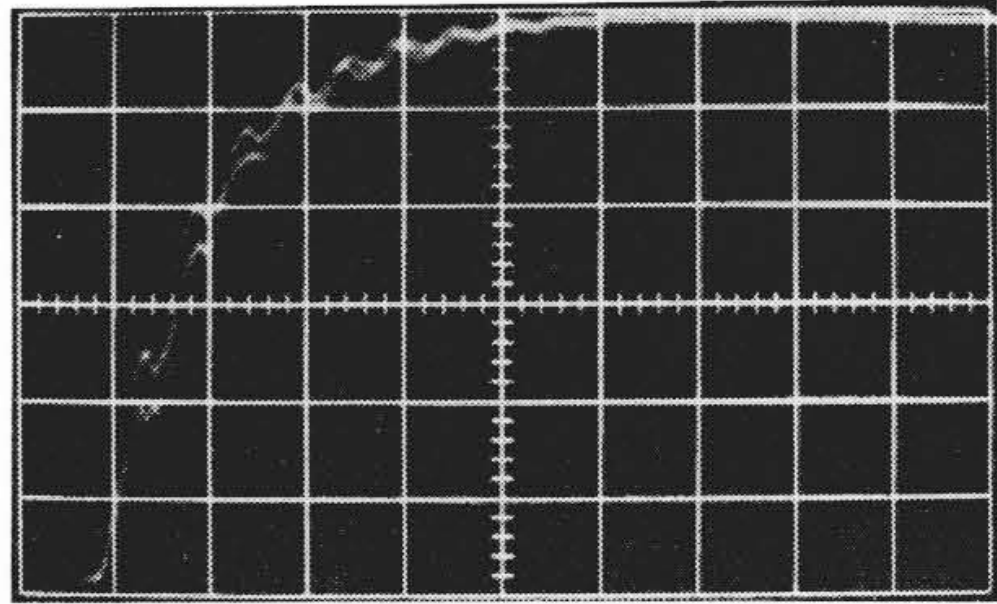
実験は 6 巻線形パルストランス 4 個を図 10 に示すように接続して行ない、主サイリスタのゲート電流波形を観測した。

図 13 はパルス発生回路の立上り時間が $1\mu\text{s}$ の場合のゲート電流波形であるが、立上り時間は約 $1.3\mu\text{s}$ となり、理論値とほぼ一致している。図 13 で 2 本の波形がみられるが、これはパルス発生回路に最も近いトランスの巻線と最も遠いパルストランスの巻線について観測したもので、両者の立上り時間の差は $0.1\mu\text{s}$ 以下であることが知られる。

また、パルス幅は図 12 に示したように $500\sim 650\mu\text{s}$ とじゅうぶん満足すべき値である。

7. 結 言

以上、 10 kV 、 800 kW サイリスタ変換装置用パルストランスにつ



縦 軸：ゲート電流 0.2 A/div
横 軸：時 間 0.5 μs /div

図 13 ゲート電流波形

いて検討した結果を述べた。すなわち、主サイリスタのゲートパルスとして立上り時間 $1.5\mu\text{s}$ 以下、パルス幅 $300\mu\text{s}$ 以上のものを得ることを目標とし、まず立上り時間について理論的検討を行ない、立上り時間をパラメータとすると一次回路時定数と二次回路時定数の間に一定の関係が成立することを明らかにした。そして一次回路漏えいインダクタンスを減少させるとともに絶縁構造も簡単化することを考慮して遊星配置電線を用いる方式を開発し、6 巻線形パルストランス 4 個を用い、立上り時間 $1\mu\text{s}$ のパルス発生回路と組み合わせて実験を行なった結果、立上り時間 $1.3\mu\text{s}$ 、ばらつき $0.1\mu\text{s}$ 以下、パルス幅 $600\mu\text{s}$ のゲートパルスを 24 s のサイリスタに同時に供給することができ、所要の性能をじゅうぶんに満足した。

本パルストランスは昨年、工業技術院電気試験所に納入した直流送電研究実験用 10 kV 、 800 kW サイリスタ変換装置に採用され、好成績を納めている。

終わりに臨み、本パルストランスの開発にあたり、多大のご指導、ご援助を賜わった、電気試験所電力部堀米氏、ほか関係各位、日立電線株式会社日高工場絶縁設計課三好主任、日立製作所日立工場、国分工場関係各位に厚くお礼申し上げます。

参 考 文 献

- (1) 堀米：電学誌 85, 1292 (1965)
- (2) 堀米：電学誌 85, 1445 (1965)
- (3) 南野ほか：日立評論 42, 234 (昭 35-2)
- (4) Reuben Lee: Electronic Transformers and Circuits, John Wiley & Sons (1947)
- (5) M. I. T.: Pulse Generators, M. I. T. Radiation Laboratory Series, McGraw-Hill (1948)
- (6) Moskowitz & Racker: Pulse Techniques, Prentice Hall Series (1951)
- (7) Millman & Taub: Pulse and Digital Circuits, McGraw-Hill Series (1956)
- (8) C. F. Wilds: Determination of Core Size in Pulse Transformer Design, Electronic Engineering (1961)
- (9) 古山：エレクトロニクス用変成器 日刊工業新聞社 (昭 41)