U. D. C. 621.395.345 : 621.37/.38.001.2

電子交換機用電子回路

Electronic Circuits for Electronic Switching Equipment

徳永迪夫* 川波充* 水上雅雄*
Michio Tokunaga Mitsuru Kawanami Masao Mizukami
山本貞吉* 太田雅也**
Sadayoshi Yamamoto Masaya Ôta

要　　旨

本論文は，DEX-2 電子交換機用の電子回路に関する検討結果をまとめたものである。電子交換機はその性質上，高信頼度を要求されるが，そのかなめとなる電子回路の設計思想を基本的な共通回路を例にとり説明し，かつ集積回路の導入による装置の高速化に伴なって重要となった回路の接続の問題を検討するとともに，装置全体に使用した電子パッケージを概括した。

1. 緒　　言

日本電信電話公社 電気通信研究所を中心に日本電気株式会社，沖電気工業株式会社，富士通株式会社および株式会社日立製作所が開発した DEX-2 電子交換機は高信頼性と総合的な経済性を要求される大規模な実時間データ処理装置の一つである。これに使用される電子回路，電子パッケージは機能的にも価格的にもその主要部分を占め，種々シビアな条件が課せられる。半導体素子，抵抗，コンデンサなどの電子部品の集合体である電子回路の性能は，その構成素子の性能に依存するが，電子回路としての総合機能をじゅうぶん発揮さすにはすぐれた電子回路設計技術が重要である。

電子回路設計技術は内包的なものと外延的なものに分類される。内包的なものとしては，構成素子または基礎回路（増幅器，検出器，基本論理回路など）の組合せ技術であり，これはさらに経験，アイデアに基づく回路構成技術（理論的には未定）と回路形式固定後設計値を定めるまでに必要な回路解析，実験技術に分けられる。特に高信頼性を要求される場合には，構成部品の信頼性と組立技術にじゅうぶんな注意を払う（ハード的にみて）と同時に綿密な回路設計が肝要な（ソフト的にみて）ことを忘れてはならない。この観点より，電子部品に対して初期特性と同時に温度変化，経時変化の限界を明らかにし，かつじゅうぶんな回路解析と実験チェックにより長寿命を確保するような設計を行なった。外延的なものとしては，装置設計とのインターフェースと回路相互間の接続技術がある。前者は装置としての保守，実装，価格に重要な関連をもつ最小取換単位としてのブロック分けであり，装置設計との密接な情報交換を行なってややもすれば忘れ勝ちな電子回路側よりみた要因とのバランスを保つ点にも努力した。後者に対しては，集積回路の使用と半導体素子の高速化に伴い，従来の布線は機械的に回路間を接続するという概念を改め，信号伝送路としての布線の取り扱いが重要となってきた。電子パッケージ内の印刷配線およびパッケージ間のディスクリート布線の基礎的検討を行ない，電気的条件を規定した。

2. 電子交換機用電子回路の特殊性と設計基本方針[14]

電子交換機用電子回路はディジタル回路が多く，回路設計上，ディジタル処理装置——電算機，データ通信装置——と同等である。しかし，電子交換機は極度に集中化した交換網処理装置であり，かつオンラインリアルタイムのため，電子回路設計に次の点できびしい条件が課せられている。

（a） 従来の電磁交換機と同等（40年）の有効寿命をもたせなければならないので，使用部品について有効寿命の経年変化を考慮して設計しなければならない。

（b） 予防保全形態よりも事後保全形態をとるので電子回路の信頼度はじゅうぶん高く，かつ保守性が良好でなければならない。

（c） 最小取替単位の同名パッケージ（以後パッケージと呼ぶ）間は完全互換性がなければならない。特に電子交換機は4社で製造するため，同一配置，同一主要部品の規定を設けている。

このほかに，当然のことながら，障害の波及防止，Fool-Proof を考慮する。このために基本設計方針を次のように立てている。

（a） 最悪値設計（Worst Case Design）を原則とする。ただしありえない最悪ケースは，過剰設計にならぬよう考慮すること。

（b） 最悪値設計が不可能な場合は，統計的設計を行なうが，まず部品の初期偏差に統計処理をし，なおかつできないときは部品の経時変化を勘案する。

（c） 振幅配分：入力信号は前段の出力の直流または定常値に，回路間接続で発生する交流または過渡値を加え，入力閾(しきい)値レベルより必ず小さい値にする。

（d） 時間(周波数)配分：時間的に布線長，単位回路の動作時間のばらつきにより過渡的に不要な波形（論理ハザードなど）がでないよう，また寄生振動を起こさない周波数配分をするよう可能な限り時間(周波数)方程式を立てること。

（e） 信頼度配分と経済配分：システムを分割したサブシステムに割り当てる障害率と不稼働時間を満足しているか否か構成部品の総推定故障率を求め，最小になるように，かつ経済化が図れるよう設計する。このために高価な部品は初期公差をゆるめ，安価な部品のそれはきびしくして最適化を図る。また高価な部品を

表1 電子回路設計外部条件

項　　目	数　　値
温湿度条件	(i) CC 以外：0～50℃，30～90%
	(ii) CC　：17.5～25℃ (温調を行なう。)
	(iii) 架内温度上昇　0～15℃
電源電圧系列 (共通電源装置からのもの)	(i) −48 V，+24 V，+16 V*，+5 V
	(ii) 変動分　±10%　(直流変動　±6%，交流変動　±4%) ただし −48V 電源はクロスバ交換機で規定された値，−48V±5V とする。
	(iii) メモリ装置などで共通電源以外で必要なものは無停電交流(200V 1φ)，または共通電源から作る。
電子回路とう載条件	160×93 mm，2 t　両面および三層 紙変成フェノール樹脂　56 端子
実装条件	12.5 mm ピッチ実装幅 電子パッケージ用シェルフに実装すること。
電子回路部品	主要部品については規定する。

* DEX-21 では 12 V にしている。

*　日立製作所戸塚工場
**　日立製作所武蔵工場

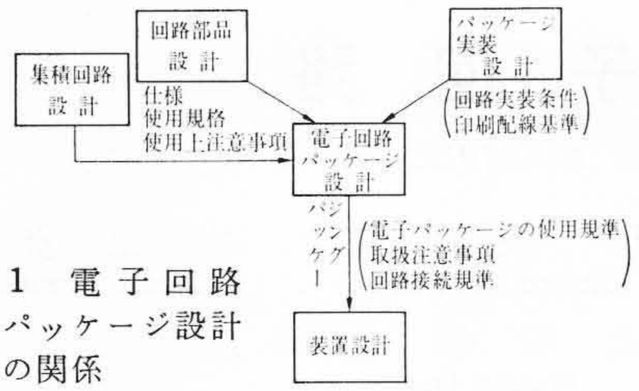
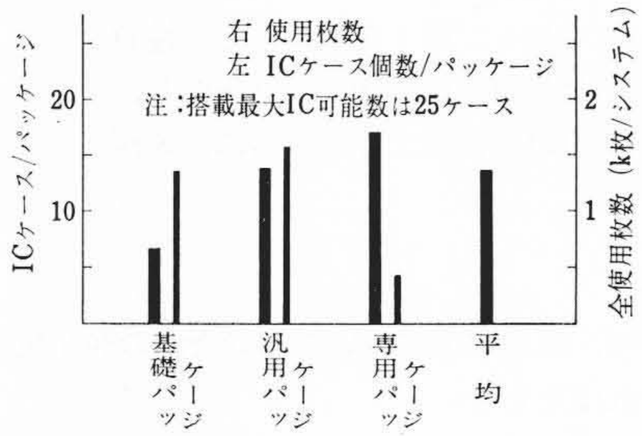


図1　電子回路パッケージ設計の関係

表4　論理回路パッケージ分類と実装結果



安価な部品の組合せで実現する。

3. 電子回路設計条件と他部門とのインタフェース

電子回路設計外部条件を**表1**に示す。この条件は**図1**に示す担当部署で検討されそれに適用できる電子回路を設計する。また推定故障率，価格係数が担当部署の寿命試験などにより印刷配線基板，はんだ，ラッピングを含めて回路部品に与えられた。その結果はパッケージの使用規準，取扱要項，回路接続規準としてまとめられ，装置架に実装する方法が定められた。**図1**には一方向の流れのみ示されているが最終結果に到達する過程では幾多の仕様打合せが行なわれた。**表2**は主要回路部品を示したものである。

4. 電子回路の類別

電子回路とパッケージの関係は単に回路というソフトウェアとパッケージというハードウェアのみでなく，パッケージの品名に回路機能を表わす記号を入れた。個別部品による回路（以後 DP-Discrete Parts-回路と呼ぶ）は，パッケージングで複数回路をまとめた同種合成*を行なうので，単位回路の機能でパッケージの機能を示すことができる。しかし集積回路による論理回路は，パッケージングでは機能合成であるために機能を示す名称，たとえばパリティ回路，カウンタ回路などをまとめて論理回路系とした。そして，EC-$\alpha\beta\gamma$でパッケージ名称を示し，αに回路機能を，$\beta\gamma$には01～99の通し番号を付して識別を行なった。**表3**は回路の類別を示したものである。パッケージは約200種類あり論理回路系と駆動スイッチ系を除けばほぼ均等に分配されている。電子交換機がディジタル処理装置であり，かつ通話路制御装置であることを示している。また，4096端子とした総計約12,000枚のパッケージ比率を示している。

4.1 論理回路系

DEX-1においてはDP回路のLLL（Low Level Logic）形NAND回路を用い，パッケージングに同種合成を行なった。そのため機能合成をするには外部布線で行なわねばならず，布線数の増加と同時に使用パッケージ数が多くなった[1][2]。DEX-2では電子交換機に集積回路を導入した。集積回路は市販のDTL，TTLと異なりCSL (Controlled Saturation Logic) と呼ぶもので，速度（平均5～6 ns）が速い割に消費電力（平均17 mW）が小さくかつ負荷変動，温度変動が少ない特長を有している[3]。次に集積回路を用いた論理回路のパッケージングは総合的価格が最小になる配分で

- 基礎パッケージ
  - 同種合成
  - 汎用的論理機能
- 専用パッケージ——専用的論理機能

に分類をして，論理図のブロック分けを行なった。**表4**はシステム全体の論理回路パッケージの集積回路の実装結果を示したものである。当然ながらパッケージ当たりの集積回路とう載個数は専用パッケージほど多く，また全体の平均で13ケースである。プリント基板には電気的特性が固定しやすい3層基板（内層アース）を使用した。

4.2 母線回路系（バス回路系）[4][15]

この回路は装置間の情報送受を行なう回路で，その回路機能は高速バスと低速バスに分かれ，**図2**に示すように，特性インピーダンス100Ωの平衡伝送線上にAC-AC結合した送受回路がそれぞれ2回路以上接続される。また伝送線上の両端は特性インピーダンスで終端されている。送信回路（1）がパルス信号を送出すれば，受信回路（1）（2）.....（n）にすべて受信できる。送信回路（2）も（1）と同様に，時分割的に動作する。送信回路は伝送線上に並列にはいっているため不動作時は高インピーダンスに，受信回路は直列にはいっているために低そう入インピーダンスになるよう考慮されている。特に平衡伝送でかつ外皮をシールドし，かつ終端の一端のみをアースして，通話路のような大電力スイッチなどからの外来雑音，架間

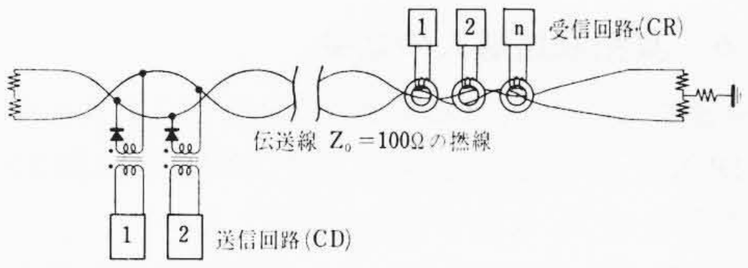
表2　電子回路用主要部品

大分類	小分類	品名
集積回路	論理回路	ECL-1277 ECL-1279 ECL-1280 ECL-1281 ECL-1282 ECL-1283 ECL-1284 ECL-1285 ECL-1290 ECL-1295
	スイッチ・ペア	ECL-1265
	ハイブリッド回路	ECL-1299 ECL-1230 ECL-1301
トランジスタ	小電力	ECL-1253
	大電力	ECL-1254
	電源用大電力	2SC434Ⓓ
	電源用中電力	2SD126ⒽⒹ
ダイオード	小電流	ECL-1255 ECL-1260
	大電流	ECL-1256 ECL-1261
	レベルシフト	ECL-1237 1S464Ⓓ
	電源用ダイオード	3種類指定
	定電圧ダイオード	6V, 9V, 12V, 20V, 70V, 130V
サイリスタ	小電流	ZCSM11Ⓗ CJ01EⒽ
	中電流	2SF18Ⓓ
	大電流	ZCSR16DⒽ 2SF36AⒹ
抵抗	金属皮膜	RN05 ±0.1% RN05 ±0.5% RN08 ±1% （初期偏差）
	炭素皮膜	RD08 ±2% RD08 ±5% （初期偏差）
	電力形 酸化金属	RO
	電力形 巻線抵抗	RW
	電力形 メタルクラッド	RE
コンデンサ	シルバードマイカ	CM
	スチコン	CQ
	マイラー	CQ
	タンタル	CS
	アルミ電解	CA
トランス	小形	TPC
	中形	TPB
	大形	TPA
	特殊	TPD, TPP

表3　DEX-2電子パッケージの類別比率

α	電子パッケージ機能別分類	枚数 4096端子	種類数 4096端子
A	増幅回路系	4.9%	7.9%
B	架間伝送系	8.1	7.9
C	検査回路系	1.9	7.5
D, S	駆動スイッチ回路系	15.6	15.8
L	論理回路系	31.0	28.4
M	マトリックス回路系	3.8	3.7
P	電源回路系	1.6	7.0
T	タイミング回路系	2.5	7.6
Z	そのほか回路系 （シールド回路，スルー回路など）	28.7	14.2
総計		約12,000枚	約200種類

* 同一プリント板上に複数個の基本論理回路素子をとう載し，相互の接続は行なわないこと。



	高速バス	低速バス
入力パルス幅	150±40 ns	500±75 ns
伝送線に接続される送信回路の個数	2　CR=6 のとき 6　CR=2 のとき	2　CR=8 のとき 8　CR=2 のとき
ケーブル長	20 m	30 m
サイクルタイム	0.85 μs	4.0 μs

図2　母線回路の構成と機能

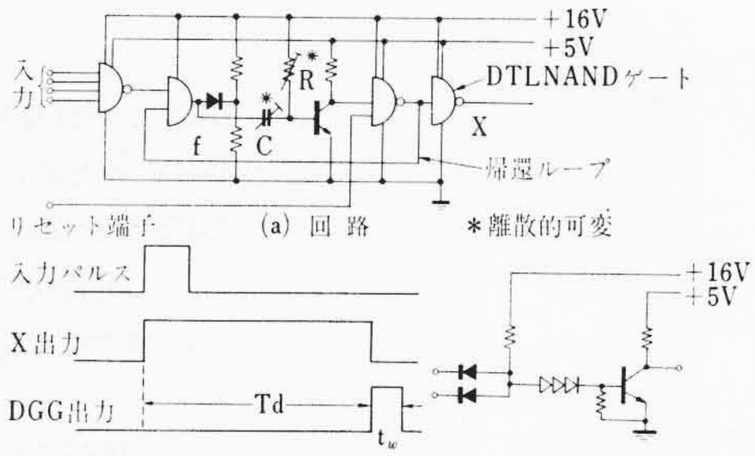
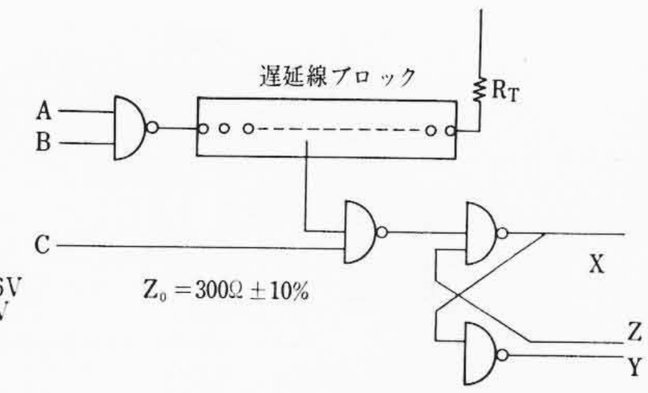


図3　Delay Gate Generator (DGG) 回路の構成とタイミングチャート



注）パッケージングでは2種類に分割している。

機能追加	工法
遅延回路	端子接続なし
パルスストレッチャ	A-C, Y-Z 接続
パルスチョッパ	A-C 接続のみ

図4　遅延線ブロックを用いた遅延回路

のアース電位差による誤動作に対して注意がはらわれている。

4.3　タイミング回路系

システムの性質上 ns オーダから ms オーダまで**6**けたに及ぶ広範囲なタイミングを取り扱う遅延ゲートパルス発生回路(DGG)，および遅延線ブロックを用いた遅延回路を用いている。DGG は**図3**に示すように入力パルスに対して T_d 時間遅れて入力パルス幅と無関係にパルス幅 t_w をもつパルスを出す回路機能をもっている。時間 T_d は電源電圧変動，温度変動に対して時間 T_d の偏差を ±5% 以下にするため，時間設定用には高精度部品を用いた。また，残留調整誤差を小さくするために調整用抵抗とコンデンサ（可変抵抗器は信頼度の点で採用不可）を3進コードとした[5]。回路は帰還ループ f を有しているために T_d 時間に入力パルスが印加されても変化が起こらない。なお，パルス幅 t_w は**図3**の回路に帰還ループ f を除いて縦続すれば発生できる。**図4**は遅延線ブロックを使用した遅延回路で，端子の接続のみで，パルスストレッチャ，パルスチョッパの機能がえられるきわめて汎用性に富んでいる。

4.4　検査回路系

記憶装置や通話路系の PSR (Path Selection Relay) のマトリックス駆動回路は2次元配置になっており，行および列の駆動回路群がそれぞれ1回路選択されて2次元配置の交点を選択している。“ n 回路のうちただ一つの回路のみ” 正しく動作したことを検査する $1/n$ 弁別回路は**図5**の形式を採用した。回路構成は，入力端子(1)～(n)のうち2入力以上“0”レベル（近似的に0ボルト）であれば出力端子 X が“0”レベルとなり n 入力の NAND ゲートの出力 Y との論理積をとることにより上記動作が検出できる。X 端子のレベル決定は R_1/R_0 と R_3/R_2 の抵抗比で決まり電源電圧に関係しない。**図5**には論理レベルのように低レベルの検査回路系を示したが，この考え方は大電力を扱う PSR マトリックスの検査に応用できる。それは PSR の保持巻線を**図5**の R_0 に対応させるのみでよい[6][7]。

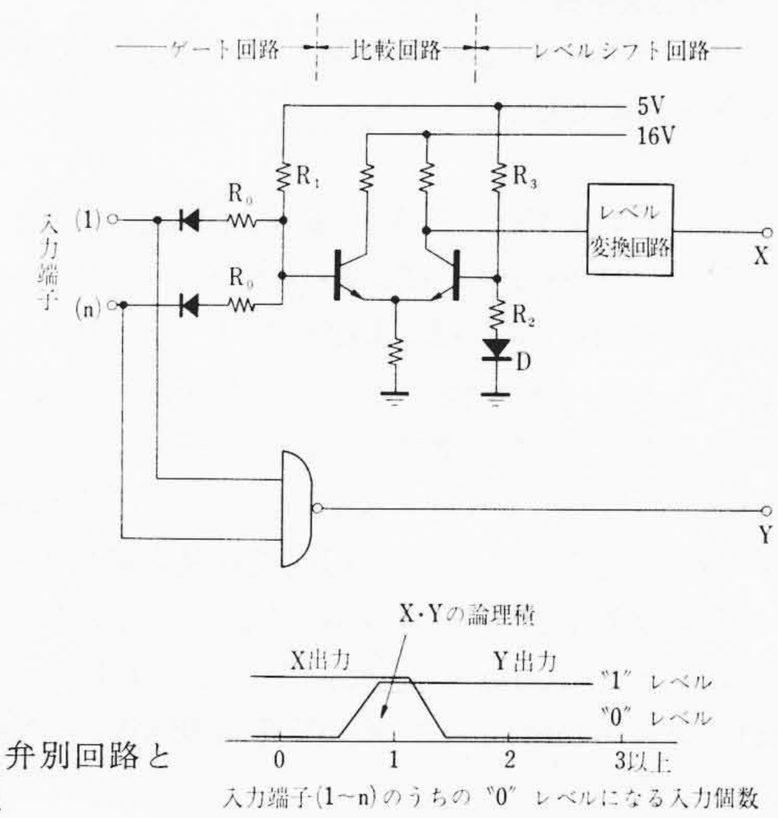


図5　$1/n$ 弁別回路とその原理

4.5　駆動回路系およびスイッチ回路系

駆動回路およびスイッチ回路は，メモリ装置のような高速回路，ランプ，継電器などの低速回路と広範囲のものであるが，電子交換機特有の通話路駆動に用いられている PSR 駆動回路は**図6**に示すとおりである。1 MHz の正弦波を用い，5 ms ゲートパルスを印加しチョークインプットの全波整流回路で直流に変換し終段トランジスタをオン・オフさせる。このような構成をとったのは，駆動回路をマトリックスの交点に並べる前に PSR 選択の情報をデコードするのにトランス・マトリックスを用いていること，5 ms のパルス幅はトランスのインダクタンスが過大になるために1 MHz 正弦波伝送を行なっていること，および発振源のレベル変動を押えていること，などの理由によるものである。

電源回路[9]や，増幅回路としてメモリ素子の信号を論理レベルまで増幅弁別する読取系回路は電子回路設計中で最も設計工数を要した回路の一つであり到底詳述できず[10]，またそのほかの回路系は複雑多岐にわたるので割愛した。

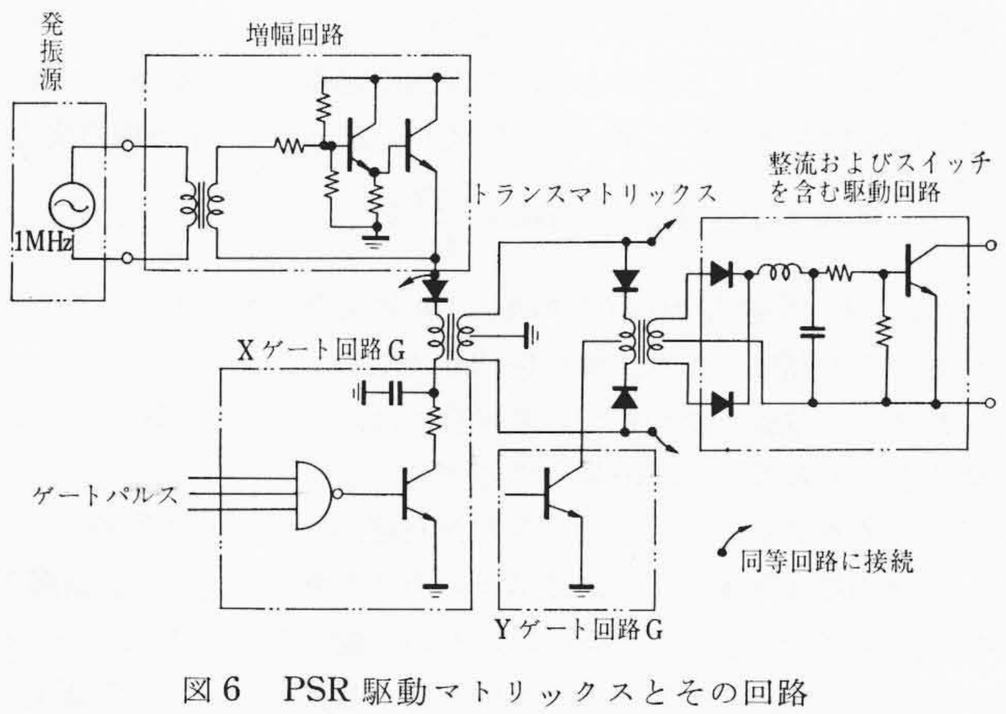
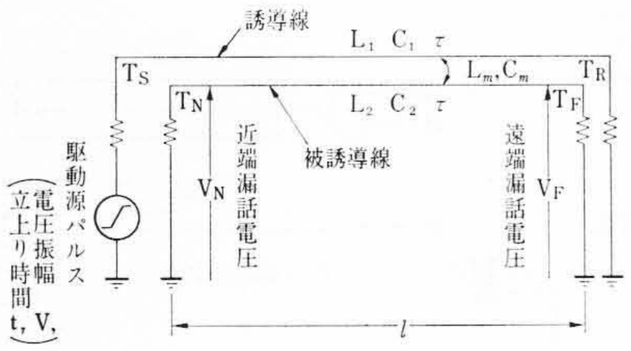


図6　PSR 駆動マトリックスとその回路

5.　回路接続規準

電子回路の高速化が進むにつれて回路間を接続する布線を単なる接続線として取り扱うことができない。接続規準を定めるものは(1)伝播遅延時間と（2）誘導雑音（3）終端による反射であり，その状態は，印刷配線基板内と外部布線とに分けられる。たとえば論理布線間誘導雑音は論理信号相互の順結合，逆結合，ファンアウト数，誘導側波形の立上り側振幅の因子に分解され，各因子による単位長当たりの雑音電圧に表示される。ここでは特に誘導雑音からきまる接続規準を述べる。



L_1, L_2, C_1, C_2　対地間インダクタンス，キャパシタンス
L_m, C_m　線間インダクタンス，キャパシタンス
τ　線上伝播時間
Γ　反射係数 S, R, N, F は位置を示す
l　平行線長
$\alpha=(C_m/C_1)/(L_m/L_1)=0.4\sim1.0$ の値を有する。

図7　平行2条線の誘導雑音モデル

5.1　印刷配線基板内配線

図7に示した2線間の誘導雑音 V_N, V_F は，終端条件が両線成立しているときの遠端漏話 V_{F0}，近端漏話 V_{N0} の一次式で示すことができる[11]。

$$V_F=f(V_{F0}, V_{N0}) \qquad V_N=g(V_{F0}, V_{N0}) \quad \cdots\cdots\cdots\cdots(1)$$

$$V_{F0}=-1/2\cdot(1-\alpha)\cdot L_m/L\cdot\tau l/tr\cdot V,$$

$$V_{N0}=1/4\cdot(1+\alpha)\cdot L_m/L\cdot 2\tau l/tr\cdot V \quad \cdots\cdots\cdots\cdots(2)$$

ここに，f, g は一次の関数であり，集積回路の入力，出力インピーダンスによる反射係数を考慮して算出される。また，α, L_m/L は，配布線の物理的形態により定まるものであり，最小印刷配線間隔 (1.25 mm 間隔) を基準としたいわゆる等価結合線長 L_P の概念 (L_P の長さの1本の誘導線による雑音量が多数の誘導線による雑音と等価になると考える)から導入された。なお論理回路パッケージは L_P ≦30 mm (L_P=10 mm につき 36 mV 平均 18 mV) と規定してパターン設計される。

5.2　外部布線による誘導雑音

誘導雑音の基本的考え方は(1)式で述べたとおりであるが，外部布線の形態はプリント板のように物理的に定めるのは困難で，理論ならびに実験を併用して V_N を(3)式から求めた。(平行線の場合)

$$V_N=f(V_{F0}, V_{N0})=m\cdot k_b\cdot\frac{2Tl}{t_r}V \quad \cdots\cdots\cdots\cdots(3)$$

ここに，k_b は逆結合係数である。m は反射係数を示し，ファンアウト状態の関数となり，m=1～2.0 である。

なお2組の布線が斜交している場合には，その角度が20度まで増加すると誘導雑音は急速に減少する[16]。

現実の装置は平行あるいは斜交した布線がランダムに分布している。総合的雑音評価のためには種々の方法が考えられるが，比較的小規模の装置(布線本数 2,000 本)に適用可能な解析的手法の一つを述べる。平行線，斜交布線の誘導雑音量を数式化し，試行錯誤的に行なった布線に対して，交さ角，線長をコネクタピン対応(枝と呼ぶ)に計算し誘導雑音を求めた。枝数を n とすれば計算回数はほぼ n^2 となり機械化によらざるを得ず，布線チェックプログラム WIRCHES (Wiring Route Check System) を開発した[12]。もし WIRCHES で求めた誘導雑音が規定値以上になっている枝は布線設計の変更–WIRCHES 運用のくり返しでほぼ2～3回の試作で設計完了する[13]。

6.　集積回路導入の効果

DEX-1 では集積回路を導入せず，DEX-2 でそれを導入した。そこで比較のために，DEX-1 基本論理回路 LLL形 NAND 回路(図3)で DEX-2 を構成した場合について次の項目を検討した。

(a)　実装枚数：DEX-2 論理回路パッケージ約 3,000 枚に対して約 11,000 枚に増加する。ほかのパッケージを含めて約 80% 増大する。

(b)　価格：前述の価格係数を用いれば，集積化により 36% 経済化となる。これは部品価格と同時に高価な配線基板に多くとう載できるためである。

(c)　信頼度：集積化により期待できない。ただし現在の推定故障率 200 FIT/NAND を現在の 1/7 に向上してほぼ同等になるであろう。

(d)　基板の多層化：集積化導入により，基板当たりの論理機能の増大と高速化による誘導雑音の減少のため三層とした。

7.　結　　言

DEX-2 電子交換機用電子回路について，従来の内包的な狭義の電子回路設計技術に止まらず，外延的で広義な，よりマクロな観点よりみた電子回路設計について述べた。電子交換機用に限らず，今後の電子装置は高信頼化，集積回路化による高速化，最小取換単位の機能の増大などの点より，電子回路設計の外延的側面の比重はますます増大してゆくであろう。

本報告に盛られた内容は1社のみの作業では到底不可能であり，電気通信研究所をはじめ日本電気株式会社，沖電気工業株式会社および富士通株式会社の電子回路担当者との共同研究の所産である。特に電気通信研究所交換記憶装置研究室川又室長，守友調査員はじめ同研究室，上記3社の電子回路担当のかたがたに深謝するとともに，種々ご援助を賜わった交換研究部の装置担当，ならびに実装，電子部品，集積回路の関係のかたがたに厚く御礼申し上げる。

参　考　文　献

(1)　川田：昭42，電四学会全国大会 S12-1 (昭42-4)
(2)　山田，奥井：昭42，電四学会全国大会 S12-4 (昭42-4)
(3)　神谷：研実報 17-2，241 (昭43)
(4)　J. B. Connell, L. W. Hossey, R. W. Ketchledge：BSTJ., p. 2021 (Sept. 1964)
(5)　山崎，川波，高津：昭44，電四学会全国大会，No. 268 (昭44-3)
(6)　立石，川波，相京：昭43，電四学会全国大会，No. 1135 (昭43-3)
(7)　守友，徳永，川波，相京：昭43，電四学会全国大会，No. 880 (昭43-3)
(8)　都丸，川波，水上：昭43，電四学会全国大会，No. 1139 (昭43-3)
(9)　徳永，川波，相京：日立評論 **51**，922 (昭44-10)
(10)　田宮，川又監集：パルス回路設計マニュアル，p. 190～208 (昭43，丸善)
(11)　片岡，山方：昭42，電四学会全国大会，No. 1885 (昭42-4)
(12)　徳永，川野，今井，沼田：昭43，電四学会全国大会 No. 1178 (昭43-11)
(13)　志子田，迎町，桑原，川野：昭44，電四学会全国大会 No. 2344 (昭44-3)
(14)　守友：研実報，DEX-2 号交換機用電子回路，投稿中
(15)　勝見：研実報，DEX-2 号交換機の信号母線方式，投稿中
(16)　集積回路ハンドブック編集委員会編：集積回路ハンドブック，p. 839 (昭43-11，丸善)