

電子交換機装置試験用プログラム処理装置

— DEX-2 I/O 系プログラム試験装置 —

Program Controlled Test System for Electronic Switching Equipment

小野瀬 一 志*
Kazushi Onose

河 野 善 彌*
Zenyâ Koono

岩 田 仙 八 郎*
Senpachirô Iwata

村 瀬 昭 一*
Shôichi Murase

小 野 原 修*
Osamu Onohara

伊 藤 武 志*
Takeshi Ito

安 井 勇*
Isamu Yasui

中 林 治 幸*
Haruyuki Nakabayashi

要 旨

本論文は DEX-2 電子交換機のサブシステムである記憶装置、データチャネル装置および磁気ドラムなどの各種入出力機器とその制御装置を、プログラムを用いて試験する処理装置の構成とその問題点につき述べたものである。本装置はマイクロプログラム制御方式によるもので、容量 4K 語の内部記憶装置を有している。

本装置はプログラムによる機能試験を目的とするため、高速性を犠牲にし経済化を図った。そのためレジスタ数を最小限とし命令構成も DEX-2 中央制御装置のサブセットとした。さらに使用者の試験プログラムのデバッグに便なようにコンソール機能の充実を図った。論理素子に個別部品による NAND 回路を、汎用および制御レジスタに IC メモリを採用し、マイクロプログラムを格納する固定記憶装置には変成器形を使用した。

平均命令実行時間は約 20 μ s、チャネルの最大データ転送速度は 120 KB/S である。本装置は試験プログラムのオンラインデバッグ、各装置の機能検査に有効であり、DEX-2 電子交換機の線表確保に効果があった。

1. 緒 言

昭和 39 年より日本電信電話公社電気通信研究所を中心として、日本電気株式会社、沖電気工業株式会社、富士通株式会社および株式会社日立製作所により電子交換機の共同研究が開始され、室内実験用交換機 DEX-1 の試作を経て、現場試験用電子交換機 DEX-2 の試作を行なった。DEX-2 電子交換機は通話路系装置、中央制御装置(CC)、メモリ系装置および入出力系装置より構成されている。

これら構成装置は統一した仕様のもとに各製造会社により個別に製造され、システム総合試験の実施後、交換処理プログラムのオンラインデバッグを経て運用にはいることになっている。総合試験を円滑にかつ短期間で終了するには、各構成装置が完全でなければならない。そのためには製造会社を異にしているにもかかわらず、相手装置のない状態で事前に動作の確認と試験プログラムのデバッグをじゅうぶんに行なっておく必要が生じた。これらの要求を満たすため DEX-2 CC とほぼ同じ機能を有する装置試験用プログラム処理装置 (IOPT) が電気通信研究所電子制御研究室を中心に計画され、日立製作所が設計、製造を担当した。

2. 設 計 方 針

IOPT はその使用目的から、可能な限り DEX-2 CC の基本機能を有する必要がある。一方試験装置としては (1) 小形で移動可能 (2) 経済性が高い。 (3) 設計製造期間が短いことが必要である。このため命令構成として (1) DEX-2 CC の主要命令の大部分 (2) 入出力命令のすべて (3) 主要システム命令の類似命令を与えた。

また (1) 部品供給線表の制約から論理素子として個別半導体を用い⁽¹⁾ (2) 小形化のため汎用および制御レジスタに IC メモリを導入した (3) 主記憶装置は DEX-2 と同じく 1 語 32 ビットとし、4096 語実装、別に外部増設を可能とした (4) 制御部を簡単にするためマイクロプログラム方式を採用 (5) 演算回路およびバス構成は 16 ビットとし、半語 2 回演算方式として経済化を図った。

IOPT の方式構成と試験システムの構成を図 1 に示す。IOPT は

* 日立製作所戸塚工場

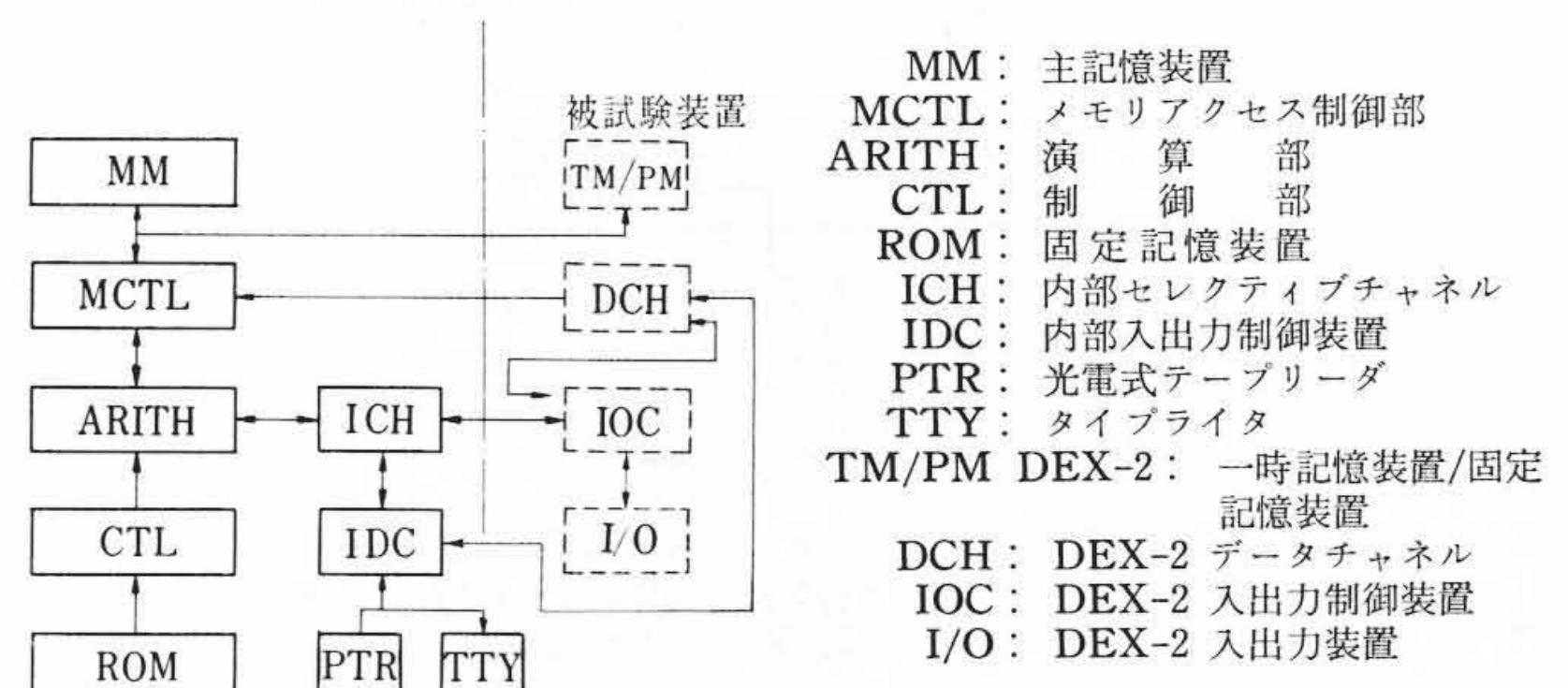


図 1 装置試験用プログラム処理装置の構成

DEX-2 CC—TM/PM, および CC—CHC インタフェースを有する MCTL と、DCH—IOC インタフェースを持つセレクトイブチャネル ICH を有し、さらに入出力装置として光電式テープリダ、タイプライタを有している。したがって DEX-2 入出力系については、DCH のみ、IOC—I/O および DCH—IOC—I/O の 3 とおりの組合せで試験を実行することができる。

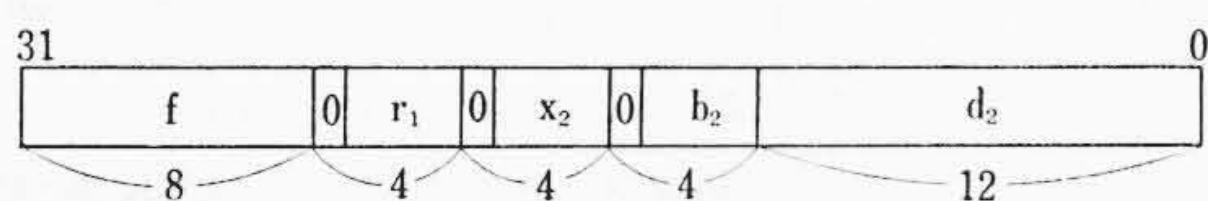
論理素子の遅延時間が 50 ns であるため、演算部および制御部のクリティカルパスを考慮してマイクロ命令の単位動作時間を 1 μ s、主記憶装置のサイクルタイムを 4 μ s に選定した。また汎用レジスタは 8 個、割込みは 1 レベル、その種別はメモリ誤り、プログラム誤り、電源障害などの 14 種類とした。

3. 論 理 構 造

3.1 命令およびデータの形式

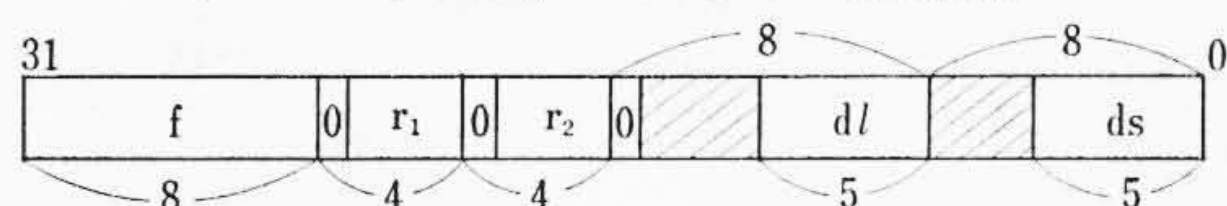
DEX-2 CC には 119 種の命令があるが、IOPT では最小限必要な 73 種に命令を制限した。命令語は 1 語 32 ビットの固定長形式で図 2 に示すように RX 形式と RD 形式とがあり、それは f 部の上位 3 ビットで区別される。RX 形式は主記憶装置内の指定された番地の内容と指定されたレジスタ間で演算を、RD 形式は指定されたレジスタとレジスタ間でけた指定データの演算を行なうものである。両形式とも第 1 オペランド r_1 が Source 兼 Destination Register を、第 2 オペランド a_2 または r_2 が Source Register を指定する。プログラムで指定可能なレジスタは、汎用レジスタ 8 個、プログラム状態レ

RX形式(Register-Indexed Address Operation)



$$a_2 = (x_2) + (b_2) + d_2 \text{ または } a_2 = \{ (x_2) + (b_2) + d_2 \}$$

RD形式(Register-Digit Designated Register Operation)



けた指定は第2オペランド r_2 にのみかかる。

f: 操作指定部 (8ビット)
 r_1, r_2 : 演算レジスタ指定部 (3ビット)
 x_2 : ハンデックスレジスタ指定部 (3ビット)
 b_2 : ベース・アドレス・レジスタ指定部 (3ビット)
 d_2 : displacement 指定部 (12ビット)
 ds : 桁指定始端指定部 (5ビット)
 $d1$: 桁指定長さ指定部 (5ビット)

図2 命令の形式

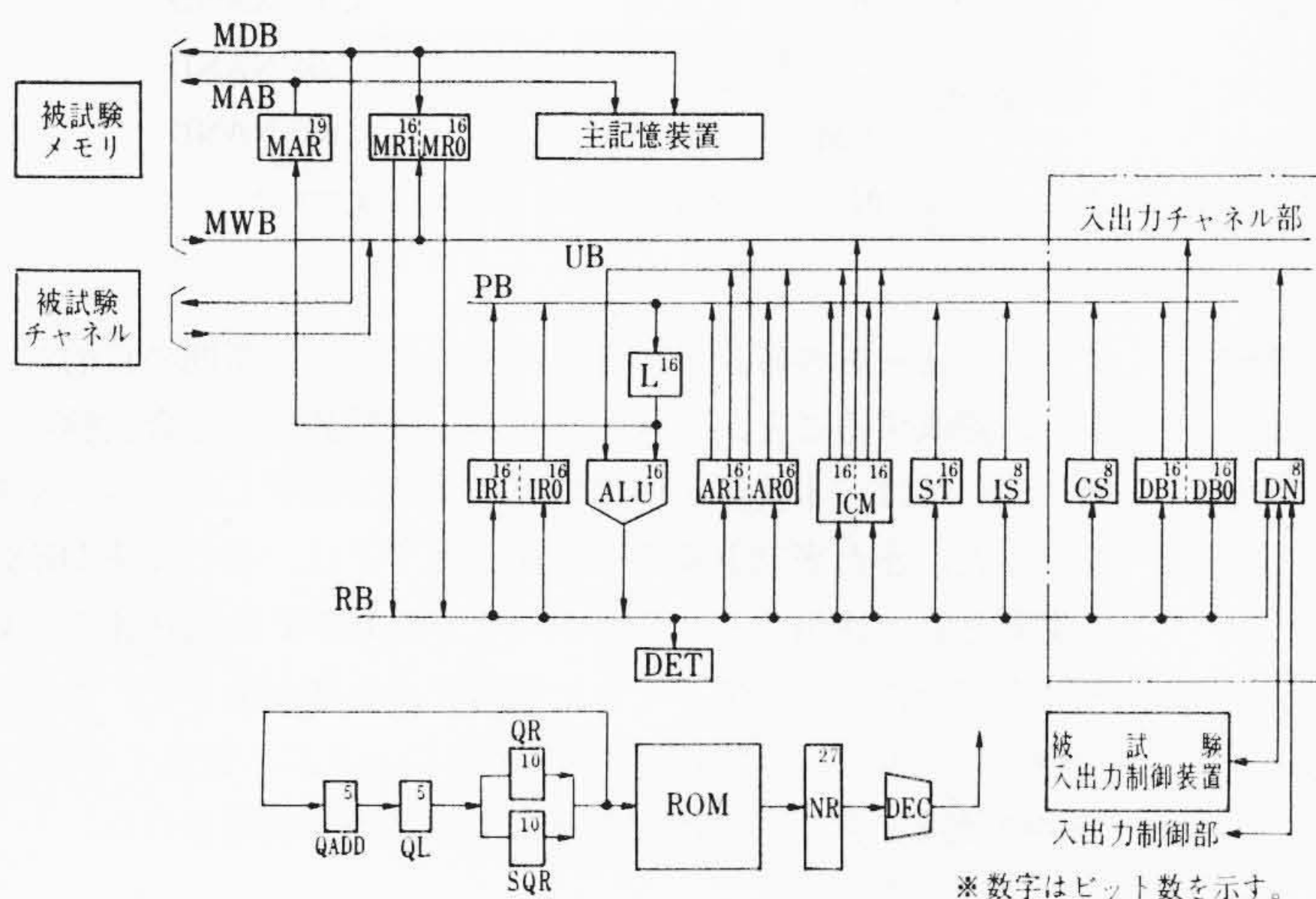


図4 処理装置の構成

ジスタ、割込許可レジスタおよび割込レジスタの計11個である。

データには論理データおよび最上位を符号ビットとする固定小数点データがある。負数はこの補数で表わされる。1語より短いデータの指定はけた指定により行なわれる。

3.2 マイクロ命令の形式

マイクロ命令は処理装置内蔵の1語27ビット、1024語構成の固定記憶装置(ROM)⁽²⁾に格納される。

マイクロプログラム制御の処理装置においては、マイクロ命令の形式の良否が直ちに処理装置の性能/価格比に大きく影響するので、

- (1) 限られたビット長で、可能な限り多くの機能を持たせる
- (2) 処理速度向上のため、ダイナミックステップ数の減少
- (3) 経済化のため、スタティックステップ数の減少

を目標として図3に示す形式を基本とした。F部は演算種別を指定する操作部、PおよびU部は演算レジスタの指定部、でそれぞれ第1オペランド、第2オペランドに相当し間接指定機能を有している。TおよびB部はテスト条件および分岐先アドレスを与える制御部で、マイクロ命令の基本動作実行順序の制御または演算機能以外の制御を指定する部分でもある。この区別はI部により指定される。すなわちTおよびB部を定数として使用するリテラル形式、シフト演算形式およびサイクルメモリ形式(主記憶装置にアクセスすると同時にメモリ番地に ± 1 演算を行なう)などを用い、ダイナミックステップ数とスタティックステップ数の減少に努めた。

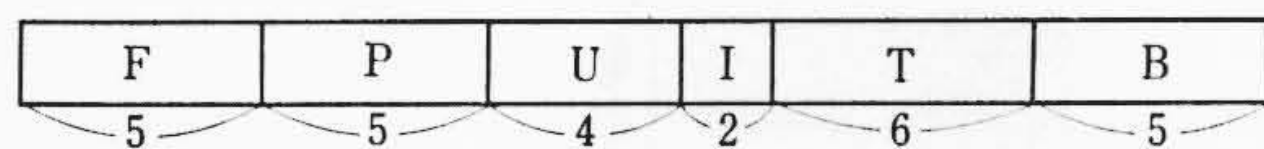


図3 マイクロ命令の基本形式

4. 処理装置の構成

本装置は、主記憶装置、演算部、プログラム制御部、入出力チャンネル部、入出力制御部、入出力装置部などより構成される。

4.1 演算部およびプログラム制御部

図4は演算部、入出力チャンネル部およびプログラム制御部の構成を示したものである。演算部は

- (1) 主記憶制御の番地を指定する番地レジスタMAR
- (2) 主記憶装置にアクセスするデータを保存するレジスタMR
- (3) 命令レジスタIR(シフト動作のときは、下位5ビットをシフト回数の計数回路として使用する)
- (4) マイクロ命令で指定される作業用レジスタAR(32ビット構成、16/8/4ビット単位に分割して演算可能)
- (5) 16ビット構成の演算回路ALU
- (6) 各レジスタの内容を演算回路に送出する16ビット構成の2本のオペランドバスPBおよびUB
- (7) PBバスからの情報を、マイクロ命令の単位動作時間の間保持する演算用裏レジスタL
- (8) 演算回路の出力を各レジスタに送出するリザルトバスRB
- (9) 命令およびマイクロ命令で指定されるICM
- (10) プログラムの状態を示す状態レジスタST
- (11) 割込原因をセットする割込みレジスタIS
- (12) 演算結果を判定する判定回路DET

より構成される。ICMは1ビット16語構成のICメモリを32個用いたレジスタ群であるが、8語を汎用レジスタ、残り8語をSCC割込み許可レジスタおよび入出力チャンネル部で使用している。また汎用レジスタのうち7個はインデックスおよびベースアドレスレジスタとして使用できる。

プログラム制御部は、図4に示すように

- (1) マイクロ命令を格納する固定記憶装置ROM
- (2) ROM番地を指定する番地レジスタQRおよびSQR(内部演算モードのときQR、I/OモードのときSQRを使用)
- (3) ROM番地の歩進回路QADDおよびその裏レジスタQL
- (4) マイクロ命令をセットするマイクロ命令レジスタNR
- (5) マイクロ命令を解釈するデコーダDEC

より構成される。制御部は主記憶装置内の命令の読出し、解釈および実行を行なうが、これらはすべてマイクロ命令により実行される。またマイクロ命令の実行には、内部演算モードとI/Oモードの2レベルを設けて後者の優先順位を高くしてある。

4.2 入出力チャンネルおよび制御部

IOPTは被試験対象のDEX-2DCHを接続できると同時に、DEX-2セレクトティブチャンネルとほぼ同機能のチャンネルを有している。入出力チャンネル部は金物的には図4の一点鎖線内に示すように

- (1) IOPTチャンネルの状態を示すチャンネル状態レジスタCS
- (2) データ編集用バッファレジスタDB

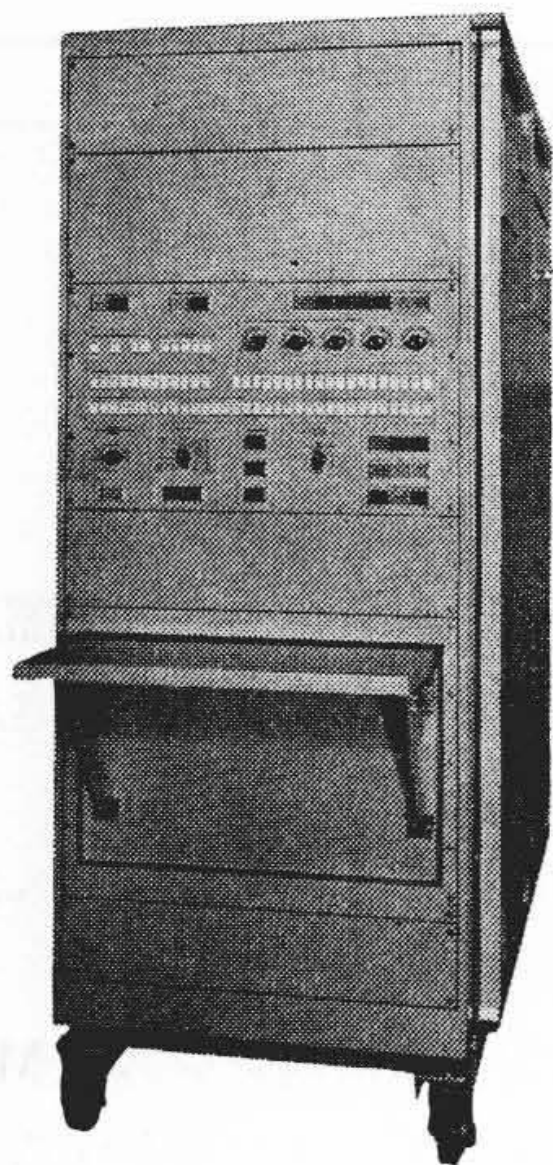


図5 装置試験用
プログラム処理装置
(IOPT)

(3) 入出力制御部へのバッファレジスタDN(バイト構成)より構成される。入出力チャンネル部は内部演算と同時にデータ転送を行ない、IPL機能、命令によるI/O動作の起動、データ転送、コマンドおよびデータチイニング、終結および割込み処理などを行なっている。これらは可成り複雑なシーケンスが必要であるが、すべてマイクロプログラムにより実行されており、ROM 500語、論理素子590NAND、その他の制御用レジスタとしてICM 4語を用いて実現し、布線論理方式に比べて大幅な経済化が図られている。

入出力制御部は、光電式テープリーダーとタイプライタを時分割的に制御している。動作モードにはプログラムで字数を指定できる連続モードと、1字または2字で動作を終了するキャラクタモードとがある。また別のモード指定として、2進モードおよび1バイトを16進2文字に変換する16進モードが用意されている。

4.3 コンソール

コンソールは装置の操作および保守のためのものであり、特に
(1) プログラムデバッグのために金物的な配慮を払った。
(2) 被試験装置の状態、動作を細部までは握できるようにした。
ことなどに特色がある。これらの複雑な機能は全てマイクロプログラムにより経済的に実現している。

5. ソフトウェア

ソフトウェアとしては、ローダ、簡単な入出力ルーチンおよびサービスルーチンを用意した。ローダはDEX-2オフラインシステムプログラムと接続して、DESAP言語によるTPの作成およびシュミレーションを可能にし、また機械語によるプログラムをテープリーダーで主記憶装置に読み込むために設けた。
また機械語でI/Oを使用するプログラムを個別に作成するのは、可成りの負担となるので、この軽減を図るため簡単な入出力ルーチンを設けた。サービスルーチンとしては、主記憶装置およびレジスタの内容のダンプおよびタイプライタからのデータセットの機能がある。

6. 性能

本装置の外観を図5に、性能を表1に示す。本装置は2システムの製造を行ない、それぞれ昭和43年6月および8月に日本電信電話公社電気通信研究所に納入された。納入後若干のシステムデバッグを行ない、直ちに運用にはいりDEX-2電子交換機のメモリ2種類、チャンネル2種類およびI/O系装置9種類の試験プログラムTPのデバッグおよび各装置の試験に使用された。その結果、TPの擬似オンラインデバッグ、装置のバグの早期発見および各装置の

表1 処理装置の性能

項 目		性 能
主記憶装置	ビット長	32ビット+パリティ1ビット
	容 量	4028語 (外部メモリとして480K語の増設可能)
	サイクルタイム	4μs
	アクセスタイム	0.9μs
論 理 回 路		個別部品によるDTL形NAND回路 遅延時間 50ns
プログラム実行モード		特権/プロブレム モードの2種
命 令 数		73
データの表現	符 合 な し	32ビット
	符 合 つ き	符号ビット1, データ31ビット
演 算		2進固定小数点
チャネル数		内蔵セレクトイブチャネル 1 外部にセレクトイブチャネルを1チャネル接続可能
ト ラ ン ク 数		2
セレクトイブチャネルデータ 転送速度		最大 120KB/S
割 込 原 因 種 別		14
平均命令実行時間		20μs
素 子 数	演 算, 制 御 部	3,700 NAND
	入 出 力 チャネル部	590 NAND
	入出力制御部	800 NAND
	固定記憶装置	1語 27ビット, 1,024語

インタフェースの確認には非常に有効であり、所期の目的をじゅうぶんに達成することができた。しかし複数装置の総合試験の早期実施については、本装置の使用線表の関係で必ずしもじゅうぶんではなかった。また当初IOPTで使用したTPは、そのままDEX-2CCのTPとして使用する予定であったが、IOPTの論理仕様がCCのそれと完全に一致していなかったため若干の不便が生じた。このような試験システムでは、設計条件の決定にじゅうぶん留意するとともに、当初の計画どおり試験体制を運営する必要が痛感された。

7. 結 言

DEX-2電子交換機の試験機としては、メモリ、磁気ドラム装置などを対象とした単体金物試験機と、通話路系各装置やメモリ系、I/Oなどを対象としたプログラム処理による試験装置とがある。
本論文では後者のうちI/O系、メモリ系を対象とした試験用プログラム処理装置の設計方針および装置構成の概要について述べた。
このような目的の試験装置としてはマイクロプログラム制御方式によるものが、経済性および複雑なシーケンスの実現に際して融通性を発揮することが確認された。また論理構造の複雑な装置については、プログラムによる試験が有効であることが実証され、今後の電子交換機各装置の検査方法について一指針を得ることができた。
最後に本装置の開発に当たり有益な助言、ご指導をいただいた日本電信電話公社電気通信研究所岸上調査役、川又室長をはじめ元調査員江頭氏、伊吹、清水両研究主任、田中、坂井両氏その他の諸氏および日本電気株式会社、沖電気工業株式会社、富士通株式会社の各位に深く感謝する次第である。

参 考 文 献

(1) 川又 晃: DEX-1号機用電子回路, 通研, 研実報 16, 11 P 2275 (昭42-11)
(2) 谷 恭彦: HITAC 8000 シリーズ処理装置の部品と実装, 日立評論 49, 400 (昭42-3)