
LSI 特集

LSI 技術の動向	57
LSI のための CAD システム	61
——アークワーク CAD システムの開発——	
電子式卓上計算機用 MOS LSI 製造技術の開発	68
MOS LSI の試験法	75
電子式卓上計算機の LSI 化	82

LSI 技術の動向

Technological Trend in LSI

柴田 昭太郎*
Shotarô Shibata

要 旨

ICを“素子の集積化”と考え、LSIを“回路の集積化”と考えたとき、システムのLSI化による最大のメリットは経済性でなければならない。そのLSIの実現方法として、TI社は選択配線方式を、FC社はマイクロマトリックス方式を考案した。一方、LSIにはMOS形とバイポーラ形があり、前者は高集積密度に、後者は高速性にその特長を示している。経済性の成り立つLSIの実現に際してはCADによる設計技術、多層配線技術、必要最小限の試験項目による試験方法および発生する熱量の放熱技術などが考えられる。本文はLSI化の諸問題について述べている。

1. 緒 言

今日、われわれは技術革新の時代に生きているといわれているが、なかでもLSI (Large Scale Integration) は時代の最先端をゆく技術であるといっても過言ではないであろう。それはLSIが各種情報処理システムの中で重要な位置を占めており、人間でいえば脳細胞または神経細胞にあたるような役割を果たしているからである。一方、われわれの住む社会では、人口密度、輸送の速度、電信電話量、情報処理量は指数関数的に増大し、ますます“複雑さ”が増しつつある。このような時代に欠くことのできないのが高能率の情報処理装置である。このようにシステムが大形化し、多様化してくるとそれを構成する部品はしだいに機能をもった部品へと変わってゆきつつある。このように100ゲート以上のものを内部的に相互結線して、全体としてサブシステム機能をもたせたものがLSIといわれている。そこでシステムのLSI化によるメリットを考えてみよう。

(1) 高 信 頼 性

システムが大形化すればするほど、素子の信頼性が重要になってくる。システムの信頼性を評価するのにMTBFという言葉を用いる。これはシステムが故障なしに動作する平均時間である。標準の電子計算機では、このMTBFは真空管式の場合数時間程度、トランジスタ式の場合数十時間ないし数百時間、ICを使った場合数千時間程度といわれる。半導体部品において信頼度を阻害する重要な因子の一つにワイヤボンディングの部分がある。さらにシステムを構成するには、部品相互間の結線が必要であり、したがってはんだ付けの信頼度が問題になってくる。相互配線が内部的に行なわれ、かつ集積度の大きいLSIでシステムを構成すればよりいっそうシステム全体の信頼度は大きく改善されることになる。

(2) 低 価 格

システムのIC化またはLSI化は経済的であるということが前提となっている。ICやLSIの価格は単位機能あたりの価格を考えるべきである。通常、LSIの価格は1ゲートあたり、または1ビットあたりで考えるのが普通である。LSIの経済性を判定する場合には、現在の個別部品をそのままLSIに置き換える考え方ではなく、LSI化によって、新たに可能となるアプリケーションを予測し、これを個別部品で実現すると仮定した場合に比較すると、LSIの経済性は非常によく理解され、LSI化のメリットが出てくる。

(3) 高 速 性

単位時間あたりの情報処理量を高くするためには、システムの大形化とともに高速化が必要である。システム全体としてのスピードはその構成部品のみならず、配線長にも支配される。それは

表1 LSIへの各種のアプローチ

```

graph LR
    A[LSI on slice] --- B[選択配線方式]
    A --- C[固定パターン方式]
    C --- D[マスター・スライス方式]
    C --- E[特定機能方式]
    F[LSI on substrate] --- G[フエス・ダウン・ボンディング方式]
    F --- H[ビームリード方式]
    F --- I[SOS方式]
    F --- J[プラスチック構成方式]

```

信号が導線を伝搬する速さが無視できないところまで達しているからである。よって、目的とする機能をいかにコンパクトにまとめるかということが重要な問題となり、必然的にLSI化へと進むことになる。

(4) 超 小 形

航空用電子装置、人工衛星などの宇宙開発用電子装置では小形・軽量は必須の要因であり、LSI化への道を急速に歩んでいる。

以上、LSI化によるメリットについて述べたが、トランジスタからICへ転換をもたらした背景と基本的には全く一致している。ICを“素子の集積化”とみるなら、LSIは“回路の集積化”ともみることができる。LSIにはLSI on sliceとLSI on substrateの2方式があるが、ここではLSI on sliceについて主として述べる。

2. LSIへの各種のアプローチ

LSIへの必然性をささえる最も大きな要因は、それがトランジスタやICに対して経済的優位性をもっているということである。集積度が高くなればなるほど歩どまりは低下することになるから、一定の技術レベルでは経済的見地から最適集積度が存在する。このような最適集積度を越えてLSIを作るには特別な便法を講じなければならない。そのために計算機の導入や新しい製造技術の開発が必要になってくる。これまでに各メーカーより発表されているLSIへの各種アプローチをまとめて示すと表1のようになる。

LSI on sliceは1枚のシリコンチップ上に機能ブロックを構成する方法で、ICの場合に“モノリシック構造”と呼ばれているものに対応し設計方式によって分類されている。一方、LSI on substrateは基板にセラミックなどを用いて、その上にICやトランジスタを取り付ける方法であり、“ハイブリッド構造”と呼ばれ、ボンディング方式によって分類されている。

(1) LSI on slice 方式

(i) 選択配線方式 (Discretionary Wiring 方式)^{(1)~(3)}

この方式によるLSI製造のフローチャートを図1⁽⁴⁾に示す。

* 日立製作所半導体事業部 工学博士

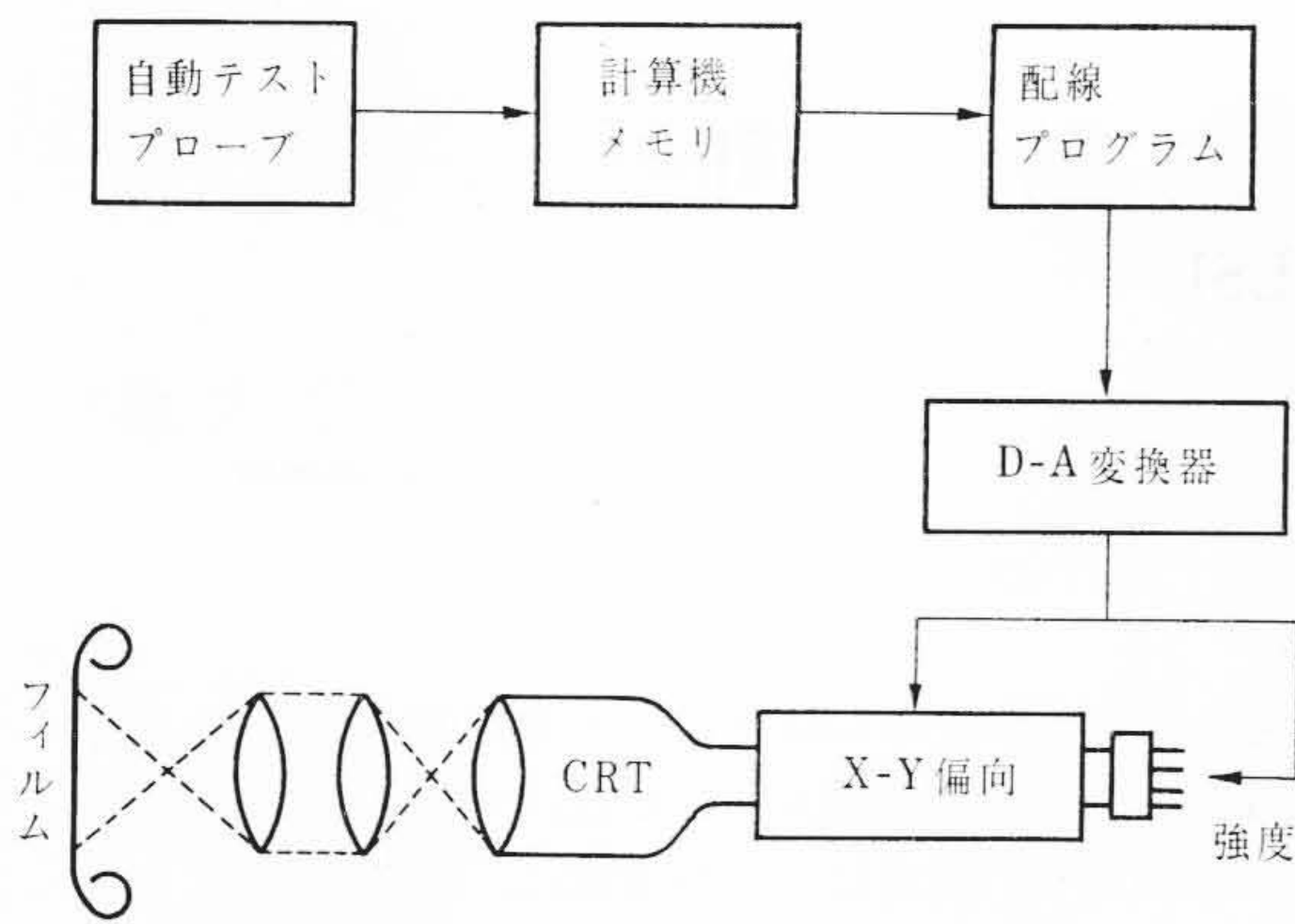


図1 選択配線方式のフローチャート

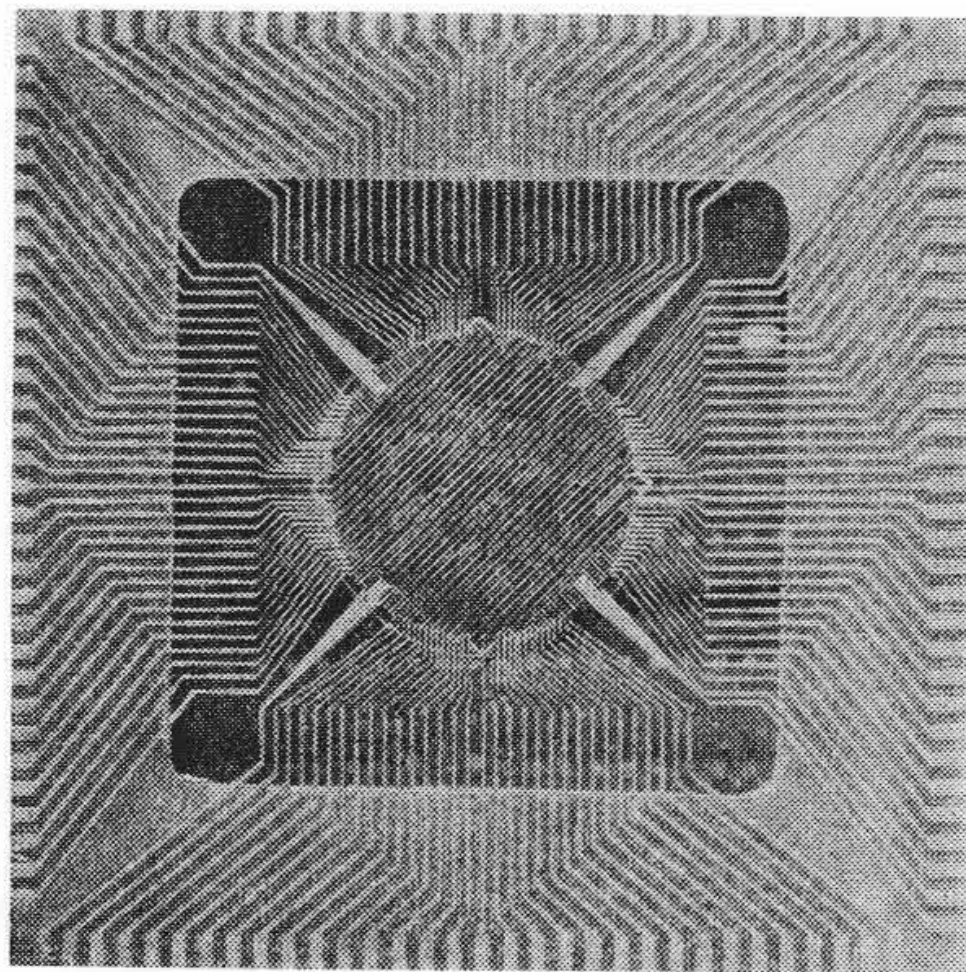


図2 選択配線方式によるLSIの例(TI社)

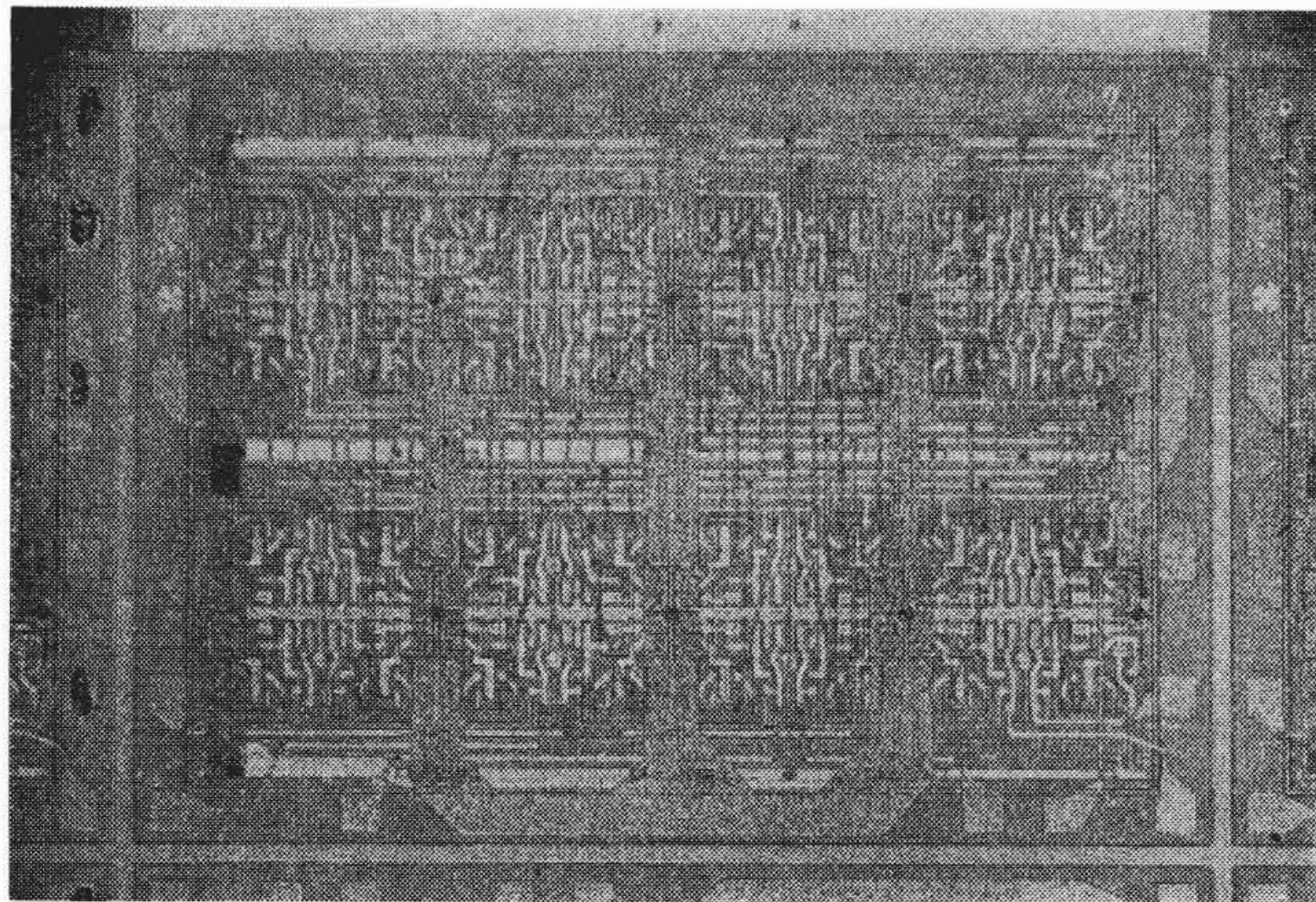


図3 マイクロマトリクス方式によるLSIの例(Fair Child社)

表2 LSI on sliceの各方式の比較

	選 択 配 線 方 式	マスタスライス方式	特定機能方式
チップサイズ	大	中	小
フレキシビリティ	高	中	低
性能	低(スピード, 電力)	中	高
コスト	高	中	低

まず通常のICの製法に従ってユニットセルを作り、その電気的特性の測定結果からイールドマップを作る。ユニットセルとしてはゲートのみ、またはフリップ・フロップのみの場合と、ゲートとフリップ・フロップを適度に混在させている場合とがある。イールドマップは計算機への入力となり、与えられたシステム機能を構成するためのユニットセル間の結線が計算機で算出される。その出力はブラウン管上に配線パターンとして現われ、それから配線用マスクが作られる。一方、ウェハには絶縁膜がかぶせられ、二層目以上の配線には上記方法で作られたマスクが使われる。この方式の特長は、不良セルを避けて配線されるため、セル利用率は高く、ユニットセルの歩どまりが低いとき有利な方法であるが、ウェハ1枚1枚について異なるマスクを作らねばならない。しかし、製品のリピータビリティが小さいときには有利になる可能性がある。なお、この方式は大規模な計算機システムと大量の開発要員を必要とする。図2はこの方式によるLSIの例である。

(ii) 固定パターン方式(Fixed Pattern方式)

(a) マスター・スライス方式ではユニットセルを含むウェハをAl蒸着前でストックしておき、顧客の要求に合わせて一層めと二層めの配線用マスクが作られる。フェアチャイルド

社の場合(マイクロマトリクス方式⁽⁵⁾と呼んでいる)チップの中に32個のDTLゲートが含まれており、“これらは全部良品である”という仮定で相互結線がなされる。したがって相互配線前の検査は行なわれず、マスクも決められたパターンをリピートした固定パターンとなる。ゆえに不良セルを含む確率があるため、非常に大きい集積度のものには適しないが、相互配線のマスクのコストが安くかつ検査コストも安いという特長をもっている。図3はこの方式によるLSIの例である。

(b) 特定機能方式⁽⁶⁾は、特定機能をもった異なった種類のユニットセルをたくさん用意し、これをあらかじめ定められた設計ルールに従って配置する設計方式である。この場合、標準化はプロセス(たとえば、拡散深さ、固有抵抗など)のレベルで行なわれる。この方式は各ユニットセルが、それぞれの特定機能に応じて設計されているため、システム設計に無理がなく、顧客の立場からみれば最も望ましい方式である。こうしたセルは計算機にライブラリとして蓄(たくわ)えておけば、計算機を利用した自動設計も比較的容易に実行できる。この方式は集積度の高いLSIが作りやすいMOS形のものに適用しており、日立のMOS LSIのCADの基本的考え方となっている。

LSI on sliceにおける各アプローチの利害得失をまとめてみると表2⁽⁶⁾のようになる。この表は特定機能方式の立場にたって作られたものであるがこの表からわかるように、ある方式があらゆる場合に最良であるということとはできない。むしろシステムの分割に際してはそれぞれの特長を生かした設計をすべきである。

(2) LSI on substrate

本方式はLSI on sliceに比べて融通性が高いこと、集積度を上げても歩どまりが極度に低下することがない(これはチップをあらかじめ検査してから組み立てるため)という二つの点ですぐれている。しかし、バッチ(一括)処理性という点ではLSI on sliceのほうがすぐれている。これはコストを下げるために非常に大事な要件であるので、本方式においても、融通性のあるバッチ処理による生産方式の確立が今後の大きな課題として残っている。国のプロジェクトである超高性能電子計算機に使用するLSIは本方式のもので、スピードが1.5 nsという世界的なものである。

3. MOS 対バイポーラ⁽⁷⁾

LSIにはMOS形とバイポーラ形とがあり、両者の違いについて、正しい評価がなされなければならない。バイポーラの長所は高速という点にあり、MOSの長所は高集積度という点にあるが、このような観点からもう少し具体的な比較を試みる。表3は類似の回路機能をMOSとバイポーラで実現した場合に、そのスピード(f_{max})および(スピード)/(消費電力)の相対比率を示したものである。この表からわかるように、相対的性能比にはかなりのばらつきがあるものの、おおざっぱに言ってバイポーラの性能はMOSに比べて10倍ないし100倍すぐれているといえることができる。この中でMOSのダイナミック・シフト・レジスタは、ほぼバイポーラと類似の性能を有しており注目される。これはコンデンサ・メモリを利用したMOS独自の回路形式である。

次に両者の集積密度を簡単なインバータ回路について比較してみ

表3 MOS対バイポーラの性能比

比較した回路	性能比(バイポーラ/MOS)	
	スピード [f_{max}]	スピード/電力
bipolar static shift-register bit/MOS dynamic shift-register bit	1.5	2
bipolar static shift-register bit/MOS static shift-register bit	6	17
bipolar static JK flip-flop/MOS static JK flip-flop	20	36
bipolar BCD decade counter/MOS BCD decade counter	150	75

る。図4は同一プロセス・レベルの場合の両者の概略の形を示したものである。ここで重要な点は、バイポーラの場合には素子間の分離のため領域が必要であるのに対して、MOSはいわば自己分離形であって、これを必要としない。また、バイポーラではトランジスタと抵抗で回路が構成されているが、MOSの場合には、MOSFETのみで構成されている。さらにMOSの場合には、P形拡散層を電極と配線のために共用できるので配線が簡略化され、余分な面積を要しない。以上のような効果が重なって、上記の回路の場合の占有面積はバイポーラのほうがMOSよりも5.5倍も大きい。

実際の回路では、ボンディング・パッドの占める部分や、スクライプのための面積など、素子の活性面積に関係しない部分がある。図5はこのような点を考慮して、両者の面積比を集積度の関数として表わしている。集積度が小さいところでは、ボンディング・パッドなどの占める面積が相対的に大きく、したがって実際の面積比は1に近い。集積度が高くなるにつれて、活性領域の比率が大きくなり、面積比は5前後に接近する。

以上のような考慮から大形データ処理装置のように、高速性が重視される応用分野に対してはバイポーラが有利である。しかし、高速であることを必ずしも必要としない分野もきわめて広く、たとえば電子式卓上計算機のような分野に対しては、MOSの集積密度の高い特長が生かされる。

4. LSIの諸問題

経済的インパクトを与えるようなLSIを作るには、技術的ブレーク・スルー(突破口)が必要である。

(1) 歩どまりの問題

通常のICの製造工程では、チップを切り出す前にICテストで電気的特性の検査を行ない、不良品には赤いマークを付ける。赤マークの分布をイールド・マップ(歩どまり地図)とよんでいる。このイールド・マップをもとにしてLSIの歩どまりを評価してみる。問題を簡単にするために、このICは10ゲートを含んでおり、歩どまりは50%とする。赤マークの分布はランダムと仮定する。上記IC10個の相互結線によって100ゲートのLSIを作ったとすると、その歩どまりは

$$(0.5)^{10} \div 0.1\%$$

となる。すなわち、1,000個のLSIの検査をして、やっと1個の良品が見つかるということになる。

しかし、実際は赤マークの分布がランダムでないため、若干よい歩どまりを示している。最近、ICの製造装置が急速な進歩を示し、それによって高精度のマスクパターンが入手できるようになり、ICの歩どまりが向上しているため、LSIの歩どまりもしだいに向上しつつある。LSIが“技術的にできる”という時代は過ぎ、“経済的にできる”という時代の可能性が見いだされつつある。

(2) 多層配線技術

これはLSIの実現には、ほとんど不可欠の技術である。まず多

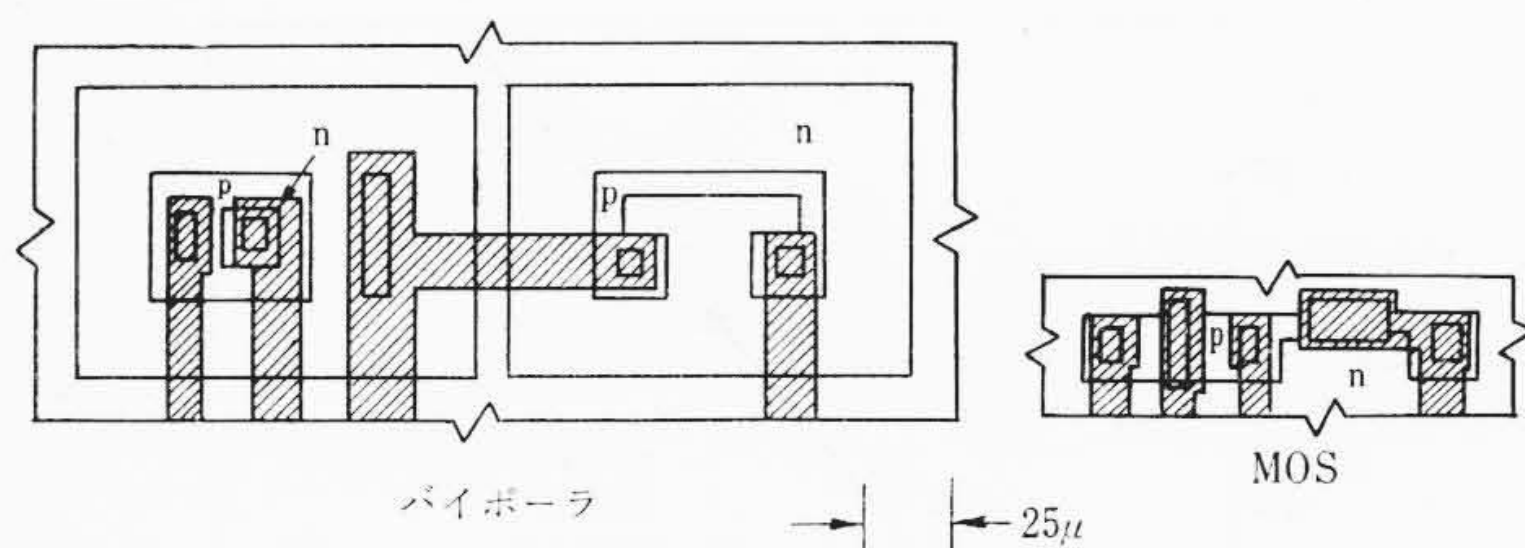


図4 MOS対バイポーラのレイアウト比較

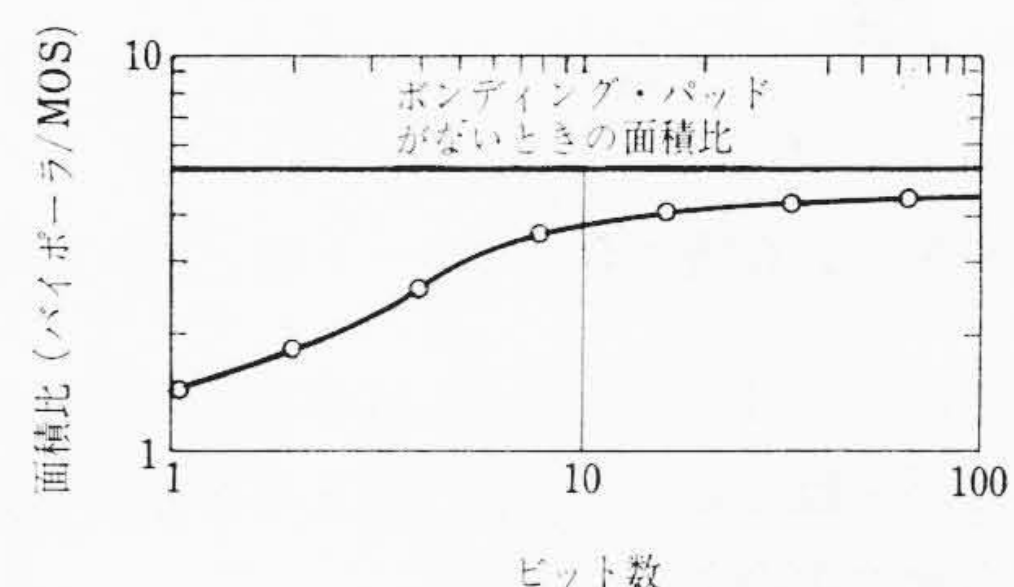


図5 面積比の集積度に対する依存比

層配線のための絶縁層を得るためにいろいろの方法が試みられている。

(i) 粉末塗布溶融法⁽⁸⁾

アルコールに懸濁したガラス粉末を遠心分離法でウェハ表面に付着させ、これを加熱してガラス層を形成する方法である。Si表面によく密着してピンホールが少なく、厚さの制御も容易であるが、Al配線完了後にガラス塗布を行なう場合などにはガラスの融点を577°C以下にせねばならない。

(ii) CVD (Chemical vapour deposition) 法⁽⁹⁾

いろいろな化合物の分解・酸化などによって絶縁層をウェハ上に形成させる方法である。高融点ガラスを比較的低温で、また短時間に形成できるという利点があるほか、組成や厚さの制御もほかの方式に比べて容易だが被着線ガラス膜の緻密(ちみつ)化のための熱処理が必要である。

(iii) 高周波スパッタリング法⁽⁹⁾

組成や厚さの制御が容易で、ピンホールも少ない。一方、陰極材料、装置の複雑化、基板の温度制御などに問題があったが、最近、装置はコンピュータによって操作されるなど種々改良されたため、比較的一般に用いられている。

次に多層配線用金属として、普通Alが用いられるが、Al-SiO₂の組合せはそれほど安定でなく、またエッチングのときAlの表面酸化のために層間の接触不良の問題がある。要求特性を満たすために、SiO₂との接着性が良く、安定性の高い高融点金属(Mo, Ti, Taなど)と導電性をもたせるための金属(Au, Ag, Ptなど)との組合せが考えられている。

(3) 設計と試験

LSIはサブシステム機能を有するブロックであるから、需要に対して自在に対処できるよう新しい設計法や試験法が必要になってくる。しかも、どのようにしてスタートアップ・コスト(設計・試作費)を低減するか、どのようにしてターン・アラウンドタイムを短縮するか、さらにはどのような試験法によってその特性や信頼度を保証するかということが大きな問題となる。また集積度が高くなるにつれて、相互配線用パターン設計を人手で行なうことはきわめてむずかしくなる。それは長時間かかるというだけでなく人為的ミスを防げないからである。したがってLSIにおいてはCAD (Computer aided design) は不可欠の要素となる。また、試験仕様の作成もきわめてむずかしい問題である。

いま入力端子数が30個あるものを考えてみる。最も単純な方

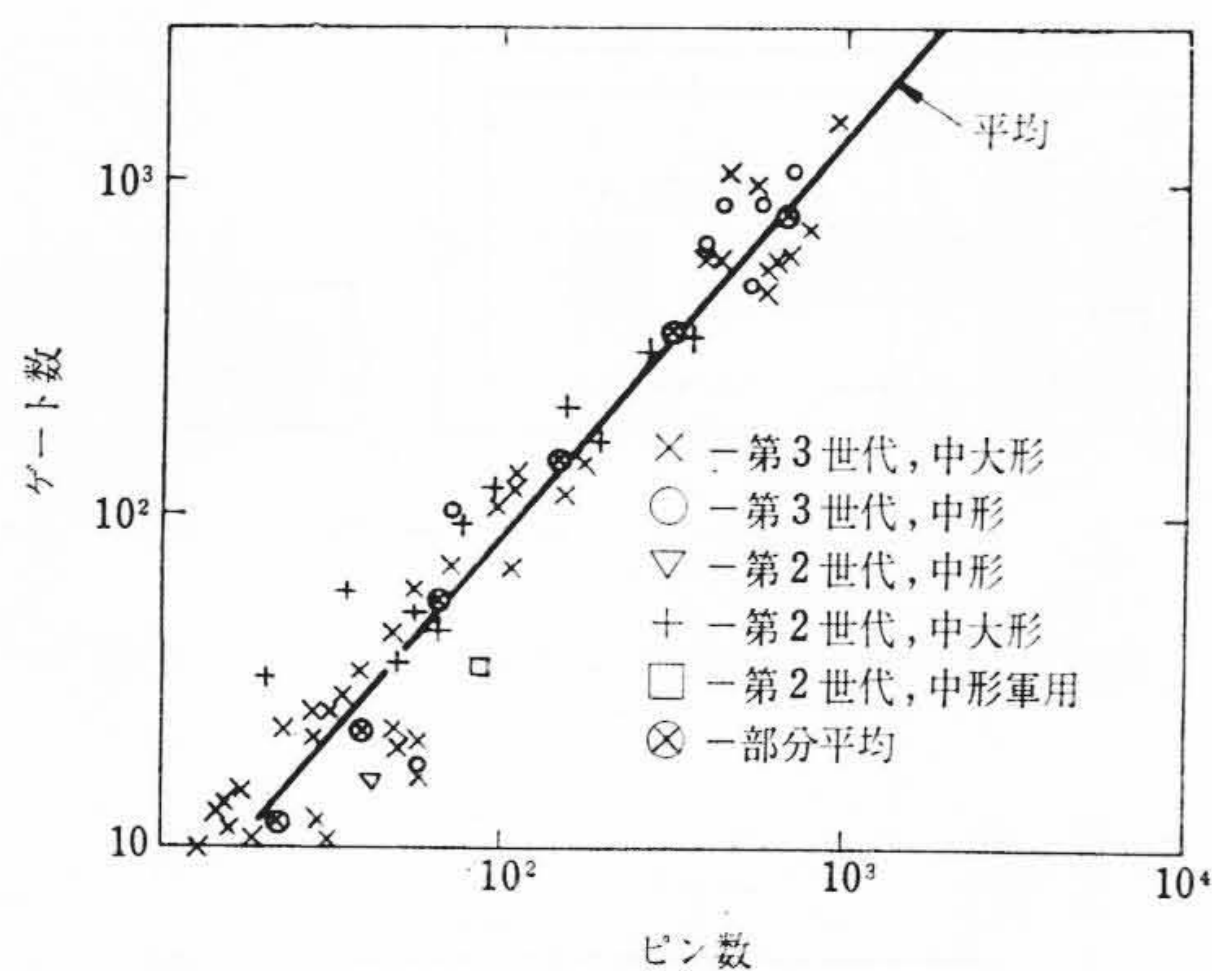


図6 従来の計算機におけるゲート数とピン数の関係

法は入力端子に (0, 1) のあらゆる組合せ入力信号を送り、対応する出力信号が一致しているかどうかとみる方法である。

全部の組合せは次のようになる。

$$2^{30} \div (1,000)^3 = 10^9 \text{ (テスト)}$$

毎秒 10^4 テストできる装置を使ったとしても 10^5 秒 $\div$ 30 時間という長時間を要し、とても現実的でない。この数値はテストの上限数を与えているが、すべて独立な試験項目にはなっていない。いかにして必要最小限の試験項目を得るかということが盛んに検討されている。今後の成果に期待しなければならない。

(4) システム分割

LSI のメリットを最大に発揮するためには従来のものと異なったシステム分割方式が要求される。LSI 化の大きな目的の一つは外部結線をできるだけ少なくして、その代わり、一括処理によって内部配線を行なうという点にある。したがって集積度に比例して外部端子数が増したのではそのメリットは大きく減殺されることになる。通常、LSI に対するシステム分割の良否の目安は (ゲート)/(ピン) の比率で表わされる。図6は多くの計算機についてゲート数とピン数の関係を示してある⁽¹⁰⁾。たとえば、100 ピンのパッケージが収容できるゲート数はたかだか 85 個であり、また 1,000 ゲートを収容するためには 800 ピン程度のパッケージを必要とすることとなり、これでは LSI にすることの意味が弱くなる。Beelitz 氏ら⁽¹⁰⁾ は LSI 化を前提としたシステム構造について検討し、LIMAC (Large integrated monolithic array computer) と呼ばれる計算機を発表した。ここでは (ゲート)/(ピン) 比率をできるだけ高くするという配慮がなされ、その結果、図7に示すようにかなり大きな改善がなされている。

また、システム分割に際して、LSI の集積度がコスト的に最適集積度になるよう考慮される必要がある。

(5) 熱的考慮

100 ゲート程度の集積度の LSI では発熱をどう処理するかということが大きな問題である。ゲートあたり 100 mW のものを 100 ゲート集積すると全体で 10W となって、従来の常識をはるかに越えてしまう。現在、市販されている各種デジタル IC の伝搬おくれ時間 (tpd) と消費電力 (Pd) をプロットしたのが図8であるが、これによれば、“tpd $\times$ Pd” は回路形式にかかわらず、ほぼ 100~200 mW $\cdot$ ns の範囲にあることがわかる。tpd $\times$ Pd の値をもっともっと小さくしなければ、高速で、集積度の大きい LSI を作ることはむずかしい。集積度の増加に伴って発生する熱の処理対策として二つのことが考えられる。一つはスピードが速くて、かつゲートあたりの消費電力の少ない IC を開発する方法、今一つは発生した熱をうまく逃がす新しいパッケージを開発する方法である。

図8の中に四角で示したものは、垂井氏らによるショットキー・

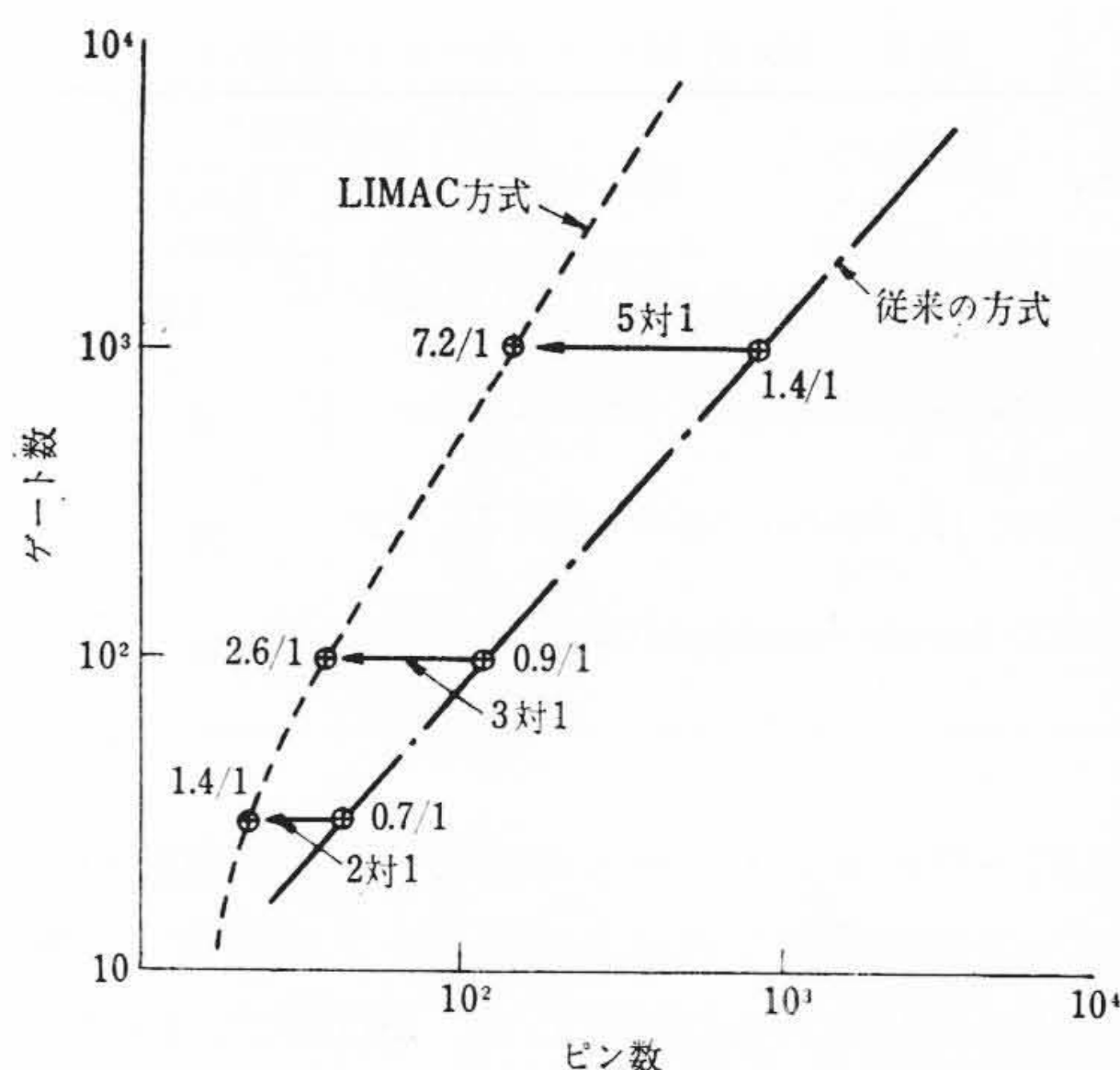


図7 LIMACにおける(ゲート)/(ピン数)比率の改善

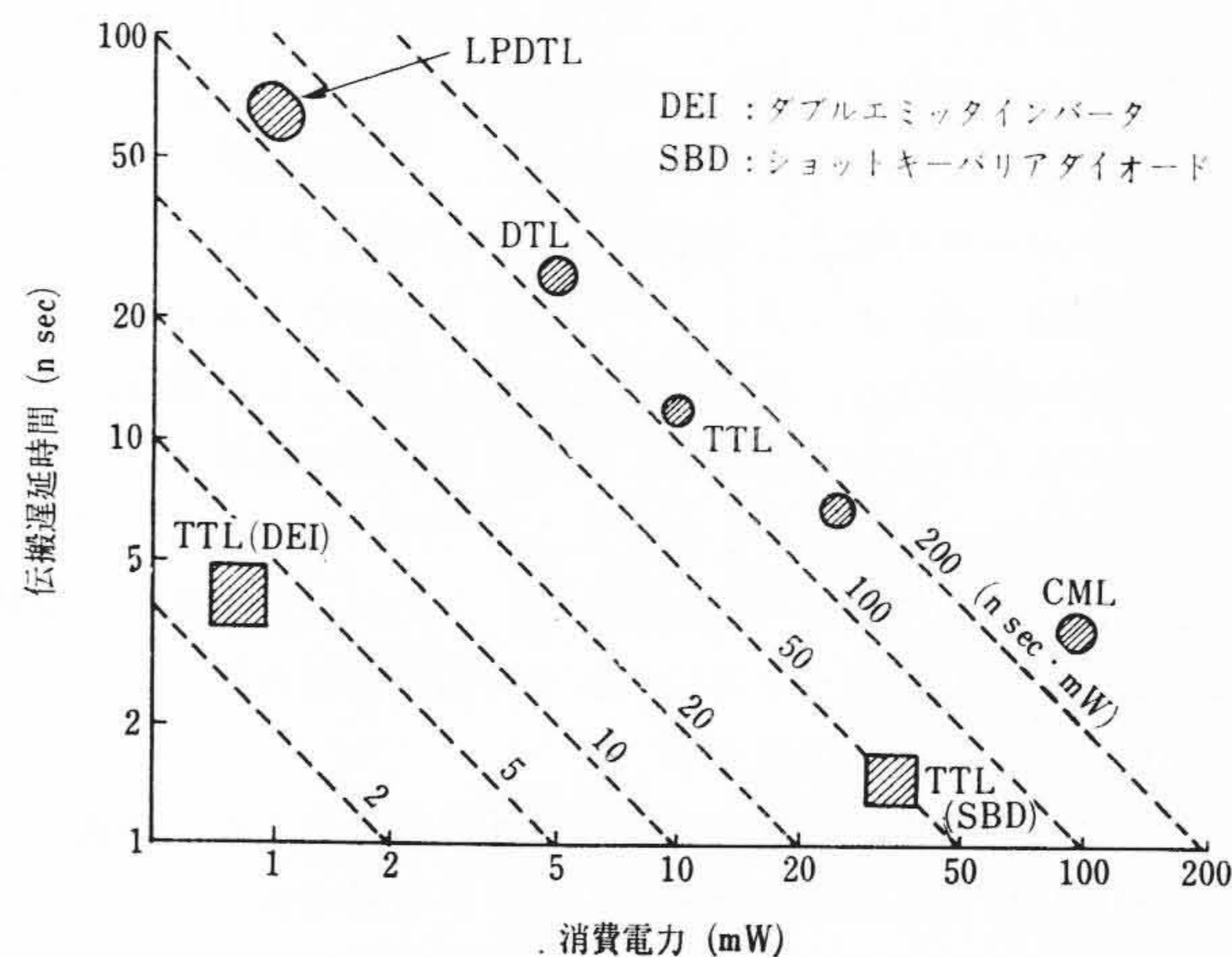


図8 デジタル集積回路の遅延時間消費電力の関係

バリアダイオードを用いた TTL(SBD)、および Murphy 氏らによるダブル・エミッタ・インバータを用いた TTL(DEI) で、高速かつ低消費電力の特性をもつ IC の可能性を示している。

最近、日立製作所が日本電信電話公社電気通信研究所と共同開発した非しきい論理回路の LSI は、集積度が 100 ゲート、スピードが 1.5 ns、ゲートあたり 4 mW で画期的なものである。

5. 結 言

LSI 化によるメリットとしてシステムの高速化、信頼度の向上、超小形化などが考えられるが、最も大きな要因は、総合的な経済性ということである。LSI には幾つものアプローチがあり、おのこの時代の技術水準において最も有利な方式で伸びてゆくことになると考えられる。歩どまりの正しい評価、電気的特性の評価、システムからの要求をもとに総合的に判断して、最も有利な方式を選ぶことが必要である。このような判断はこれからの製造プロセス、回路特性、設計方式をいかに改善していくかについて大きな指針を与えることになる。

参 考 文 献

- (1) R.L. Petritz: Trans. Met. Soc. of AIME 236 (Mar. 1966)
- (2) R.L. Petritz: Proceeding F.J.C.C., 65 (1966)
- (3) J.W. Lathrop: WESCON (Aug. 1966)
- (4) M. Canning et al: Electronics 143 (Feb. 1967)
- (5) C.E. Marrin et al: Electronics 157 (Feb. 1967)
- (6) O.R. Baker: IEEE Inter. Convention Digest 376 (1967)
- (7) R.M. Warner Jr.: IEEE Spectrum. 4 (June 1967)
- (8) J.A. Perri et al: Electronics 39 (Oct. 1966)
- (9) 田内: 電子材料 6 10 (昭 42-10)
- (10) H.R. Beelitz et al: ISSCC Digest (Feb. 1967)