

LSI のための CAD システム

——ア트워크 CAD システムの開発——

Computer Aided Design for Large Scale Integration

小澤 時典* 石賀 忠勝*
Tokinori Kozawa Tadakatsu Ishiga
久保 征治* 永田 穰**
Masaharu Kubo Minoru Nagata

要 旨

最近、半導体工学の分野において、CAD 技術の重要性が急速に高まっている。特に、LSI は集積度が高く、複雑であるが、原価低減と設計ターンアラウンド時間の短縮の要求が強いため、CAD の導入は必然的なものである。本稿では、LSI の開発工程の各分野における CAD 技術を概観し、次いで、なかでも重要な事項として筆者らが採り上げ、開発したレイアウトシステム CAD について、設計手法および実績を含めて述べた。

1. 緒 言

電子計算機の利用 (CAD: Computer Aided Design) は、電子回路、電子装置の設計のみならず工学のあらゆる分野で注目され、めざましい発展を続けている。半導体工学の分野においても、最近 IC の急激な進歩によって超高速化、LSI 化がうながされるに及んで CAD の重要性が急速に高まっている。

LSI における CAD の必然性については次の 2 点が指摘されよう。

- (1) LSI は大規模かつ複雑なシステムであるため、設計および検査原価が高い。したがって原価低減のために CAD が必要である。
- (2) LSI は汎用性が少ない。このため少量多品種生産となり、一品料理的性格が強い。したがって総原価に対する設計原価の占める割合が大きくなるとともに、設計ターンアラウンド時間の短縮が要求される。

これらのことを図式的に示したのが図 1 である。ここでは LSI が大規模、複雑なシステムであるため、設計、製造、検査のうえでどんな事態が引き起こされるかを示したものである。記入した数値は一例であるが、これをみても各段階、特に設計において重い負担がかけられ、ターンアラウンド時間が増大してくることがわかる。

次に LSI の開発過程についてみてみよう。LSI の開発は、システム側 (顧客) からの仕様が与えられてから、およそ図 2 に示す過程で進められると考えてよい。実際の顧客との接触は、システム仕様を与えるという方法だけではなく、たとえば、論理設計、論理シミュレーションが完了した時点での接触も考えられるが、一般的には図 2 のように範囲を広く考えてよいであろう。図 2 に示す LSI の開発過程は、単に半導体技術にとどまらず、システム設計、論理設計、回路設計、検査アルゴリズムなど幅広い技術分野を必要とし、しかも短期間に開発することが要求されることから、各分野における CAD 技術の確立が強く要請されてくる。

以下、LSI の開発に必要な CAD の種類について概観し、次いで、なかでも最も重要な事項として筆者らが採り上げ、開発したレイアウト CAD システムについて、設計手法および実績を含めて説明する。

2. CAD の 種 類

一口に CAD といってもその内容ははなはだばく然としている。

* 日立製作所中央研究所

** 日立製作所中央研究所 工学博士

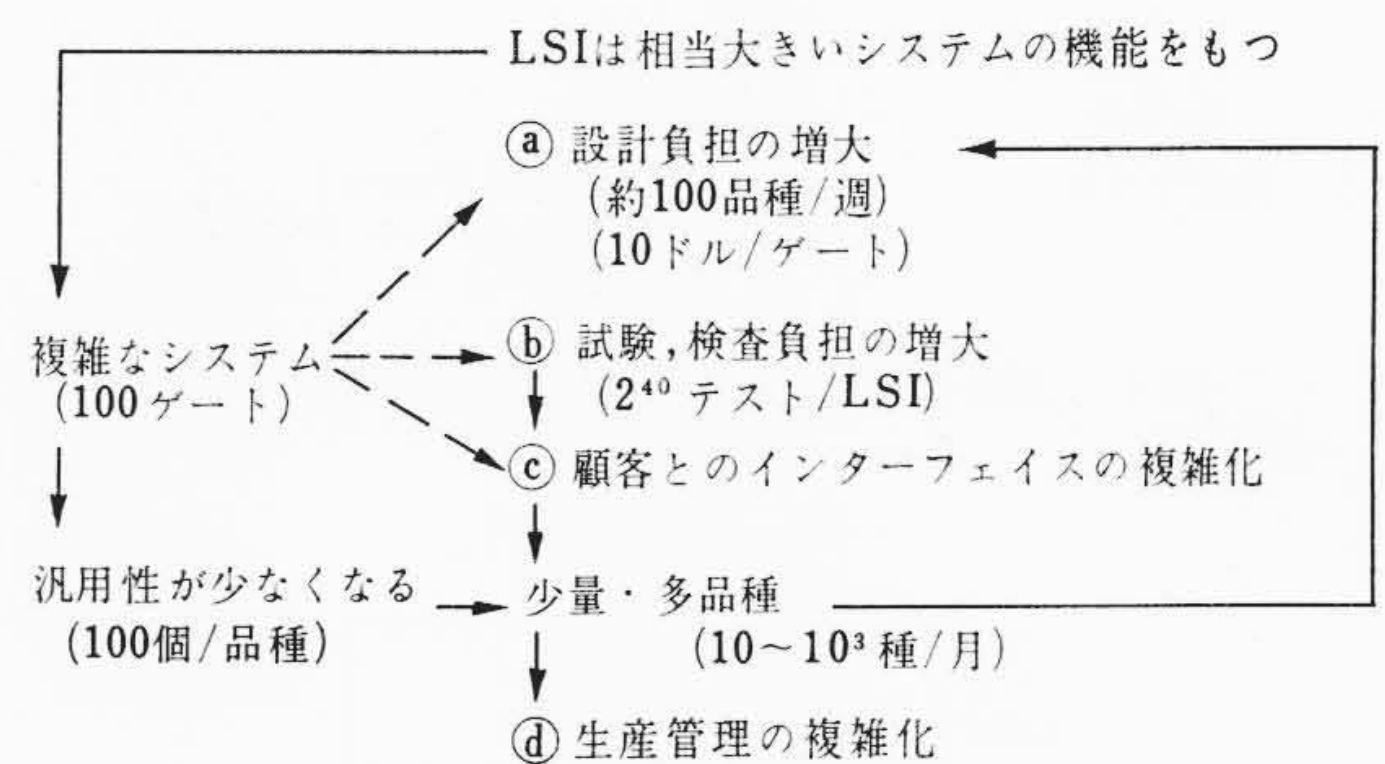


図 1 LSI の特殊性と問題点

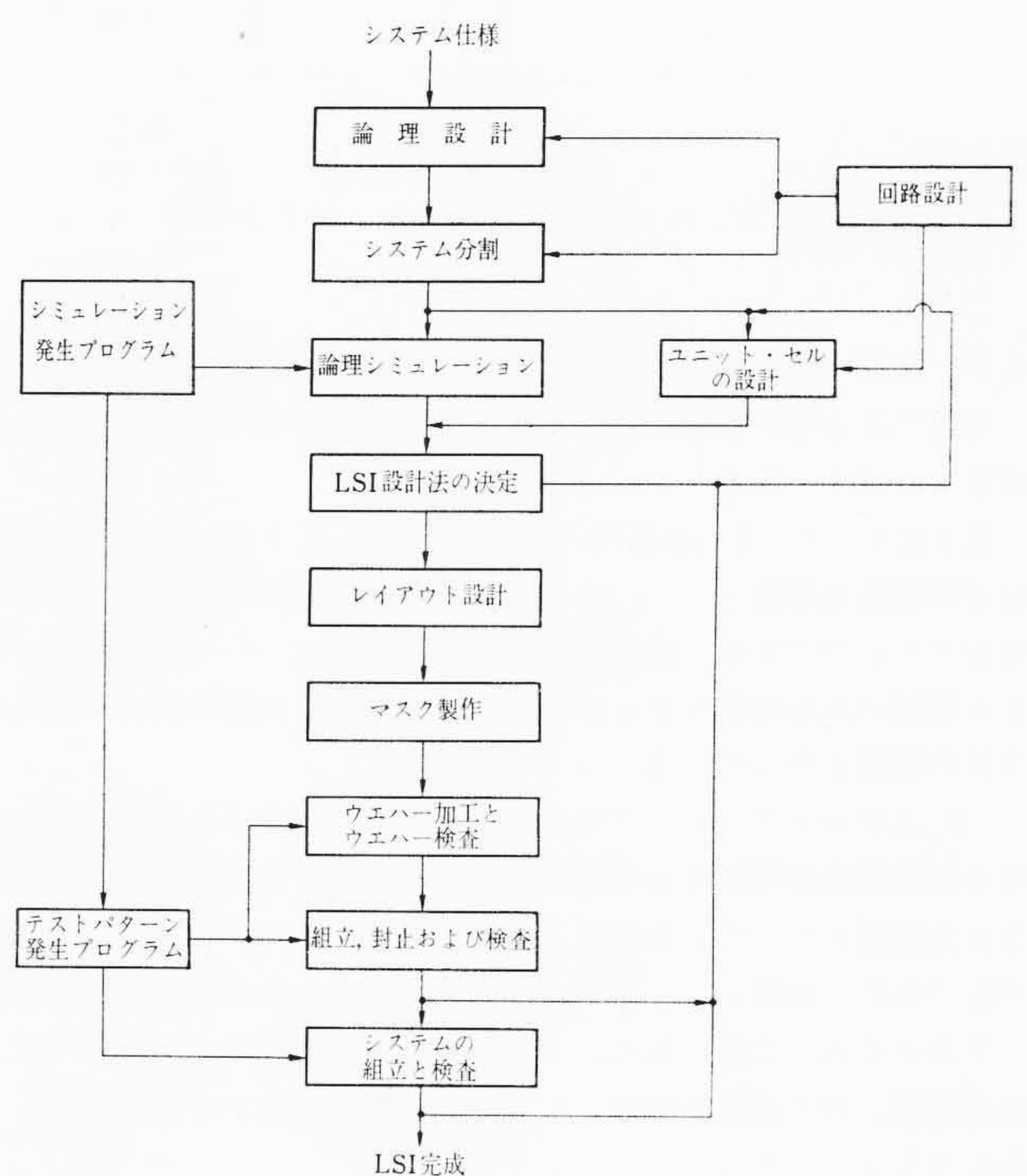


図 2 LSI の開発過程

これをデザイン、つまり設計だけに限って使う場合もあれば、設計、製造、検査を含めての計算機利用をさすこともある。人によってはこれを図 3 に示すように、CAD, CAP, CAT と区分することもある。

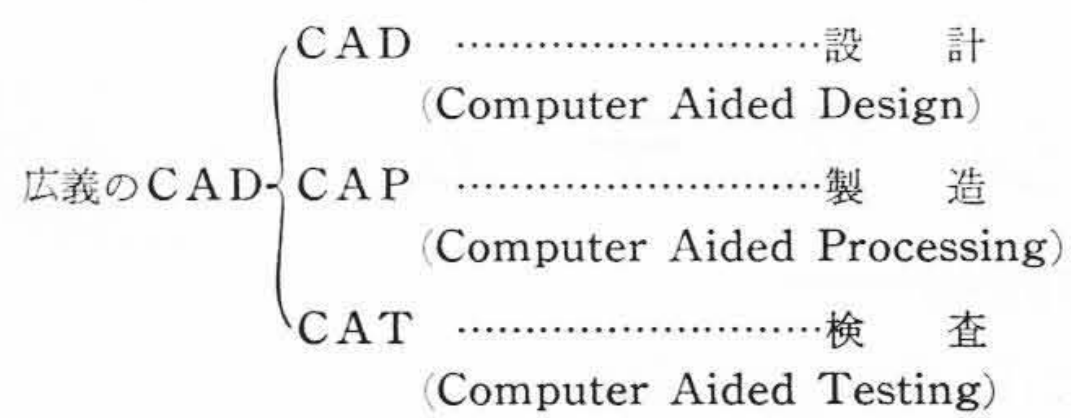


図3 CADの内容

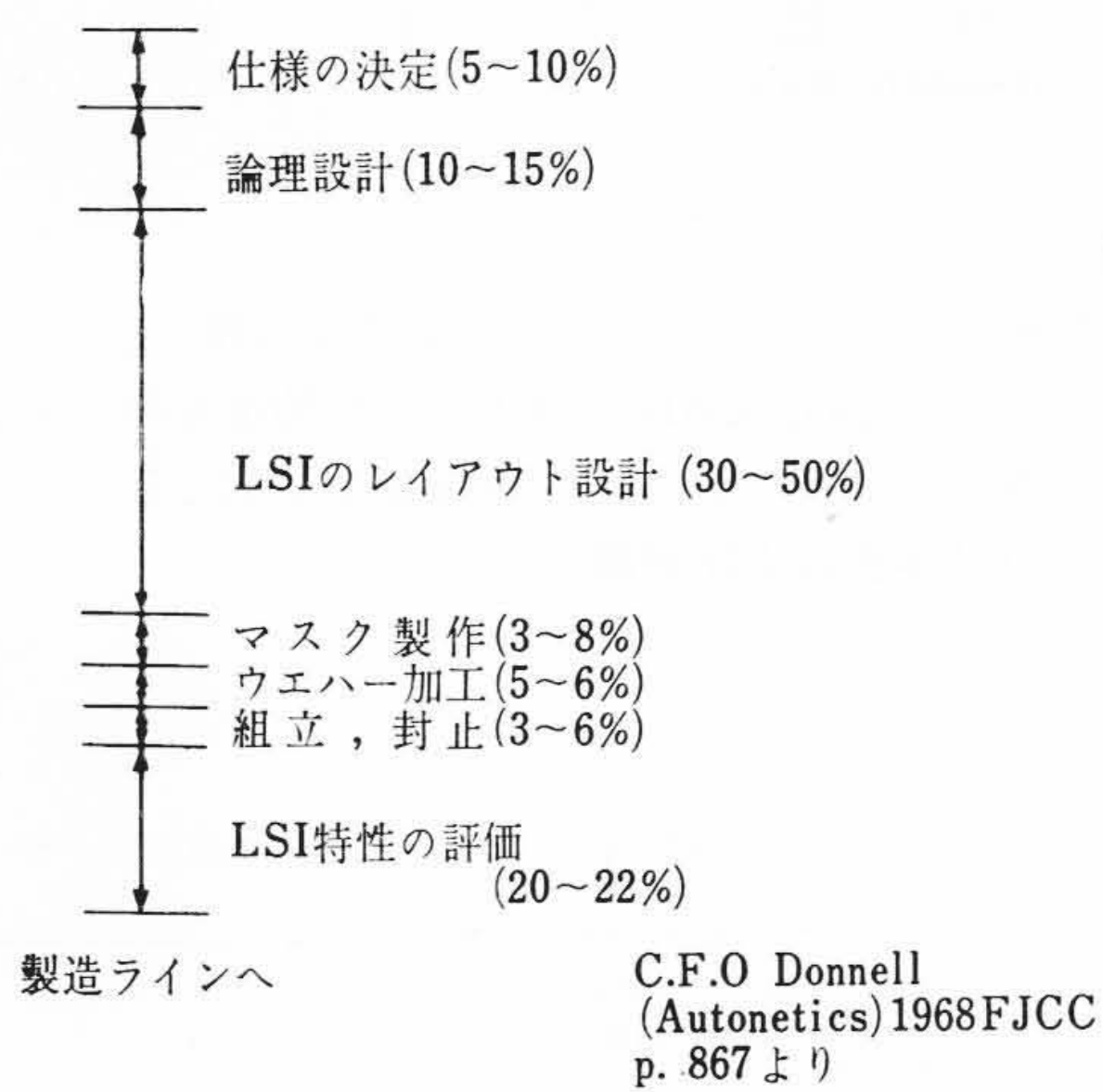


図4 100 素子以上の LSI 開発時間比率

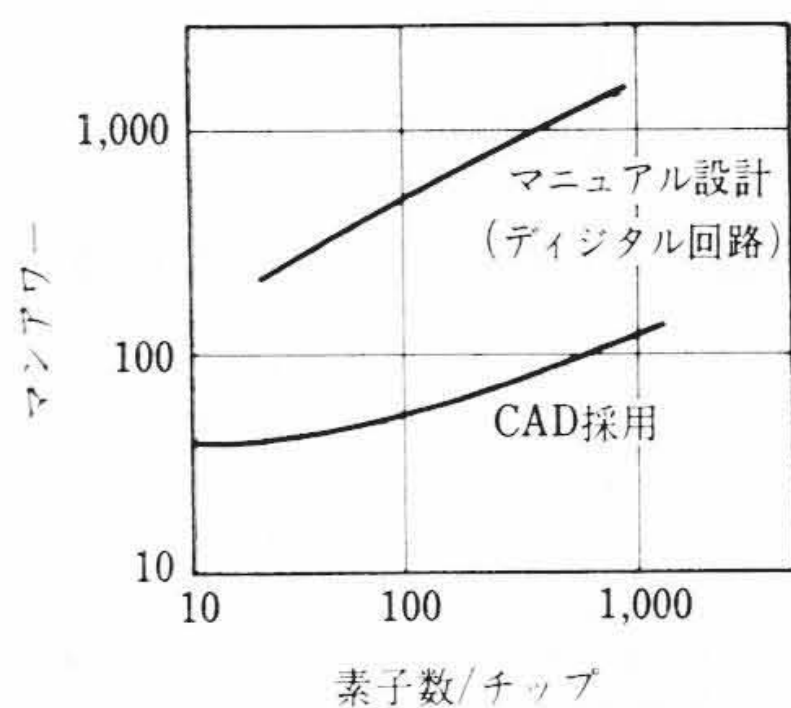


図5 マスク設計に要するマンパワー

るが、実際には相互に関連し合っているものが多い。現在 LSI で特に問題になっているのは設計と検査に関係した CAD で、その分類は表 1 のようである⁽¹⁾。

表 1 において (1) は IC/LSI 設計に先だってトランジスタや抵抗などの部品を単位として、その基本となる電気回路の電気的特性を解析するものである。非線形素子を含む回路については、現在のところ解析のみを行なうことができる。最適化、回路合成については今後の問題となっている。

(2) はゲートやフリップフロップなどの論理素子を単位として一般の論理回路を解析するものである。現在、合成プログラムは限定された問題についてしか作成されておらず、論理シミュレーションが主である。論理シミュレータは、クロックを単位としたものと、リアルタイムの 2 種がある。リアルタイム論理シミュレータ⁽²⁾は、論理機能以外に遅延時間などをも考慮した高度なシミュレーションを行なうものである。

以上の二つは、一般の電気回路やデジタルシステムに適用されるもので、LSI 設計に限定されたものではない。

(3) は、半導体プロセスに関連するものであり、トランジスタや抵抗、ダイオードなどの素子が望みの電気的仕様を得るための素子の構造、すなわちマスクパターンと不純物分布を決定する⁽³⁾。さらに、ゲートやフリップフロップなどの論理素子をユニット・セルと

表 1 LSI-CAD の種類とプログラム

CAD の種類	必要なプログラム	実 例
回路設計	回路解析を行なうプログラム	NET 1, ECAP, SCEPTRE, CIRCUS
論理設計	論理式から論理回路に変換するプログラム 各種の論理シミュレータ	FAIRSIM (Fairchild) RTLS (日立)
素子設計	素子、ユニット・セルの設計を行なうプログラム	特に有名なプログラムはない
レイアウト設計	素子、ユニット・セルの配置配線を行なうプログラム、自動製図機を動作させるプログラム	CADIC (IBM) LAGER (IBM) MMM (日立)
検査仕様の設計	検査仕様を発生させて、自動検査機のシーケンスを制御するプログラム	FAIRTEST (Fairchild)

して構成するために各素子の構造と回路構成とから最適な素子配置配線を決める。このとき、ユニット・セルの面積を最小にすることが要求される。

(4) は論理図の各論理素子をチップ上の単位セルに割り当てるとともに配線パターン (通常多層配線) を決定するもので、実用価値から現在 LSI-CAD の中心的テーマとなっている。ここでは、大形計算機によるバッチ処理のほかに、グラフィック・ディスプレイを用いて、人間と機械の通信によりレイアウト設計を行なうシステム⁽⁴⁾も試みられているが実用には至っていない。

(5) は LSI の論理機能を外部端子から検査するためのプログラムを発生するもので、LSI の実用化に伴ってしだいに重要性が増してきている。

3. レイアウト設計

レイアウト設計の CAD が重要視される理由は、LSI になるとマスクパターンの複雑さが著しく高度となり、それが量的よりもむしろ質的な変化をもたらすからである。実際、数百〜一千素子または 100 ゲート以上の LSI になると従来の人手による設計方式は実用上不可能になってくる。図 4 は LSI 設計に要するターンアラウンド時間の比率⁽⁵⁾で、大きい順に、レイアウト設計、特性検査、論理設計である。なかでも大きな部分を占めるのはレイアウト設計で全体の 30〜50% を占めている。これよりみてレイアウト設計が、CAD 技術の最も重要な目標の一つであることがわかる。

具体的に数字をあげればマスク設計までに要する時間は人手で行なえば MSI レベルで 1,000 (時間×人) に達する。図 5 は、一つのデータであるがこの状況を示している。同図からもわかるように計算機の効果的導入によって設計時間が著しく短くなり、これによって初めて LSI の実用化ができることさえいえる。

レイアウト設計に関しては、(1) 設計手法の研究、と (2) CAD システムの研究が行なわれている。設計手法は、LSI の設計に計算機を利用しやすくすると同時に、LSI の品質を高めるための設計ルールを確立することをおもなテーマとしており、今までに提案されているものは、選択配線方式^{(6)~(8)}と固定パターン方式^{(7)(9)~(12)}、の二つの流れがある。一方、CAD システムは、従来、設計者の行なっていたレイアウト設計作業を計算機で行なうことにより、設計者の負担を軽くし、(1) 設計ミスの防止、(2) 設計ミスの早期発見、(3) 修正の簡単化を図るものである。

4. LSI の設計手法

4.1 各種方式の比較

LSI の設計方式は各社よりそれぞれ異なった方式が提案されてい

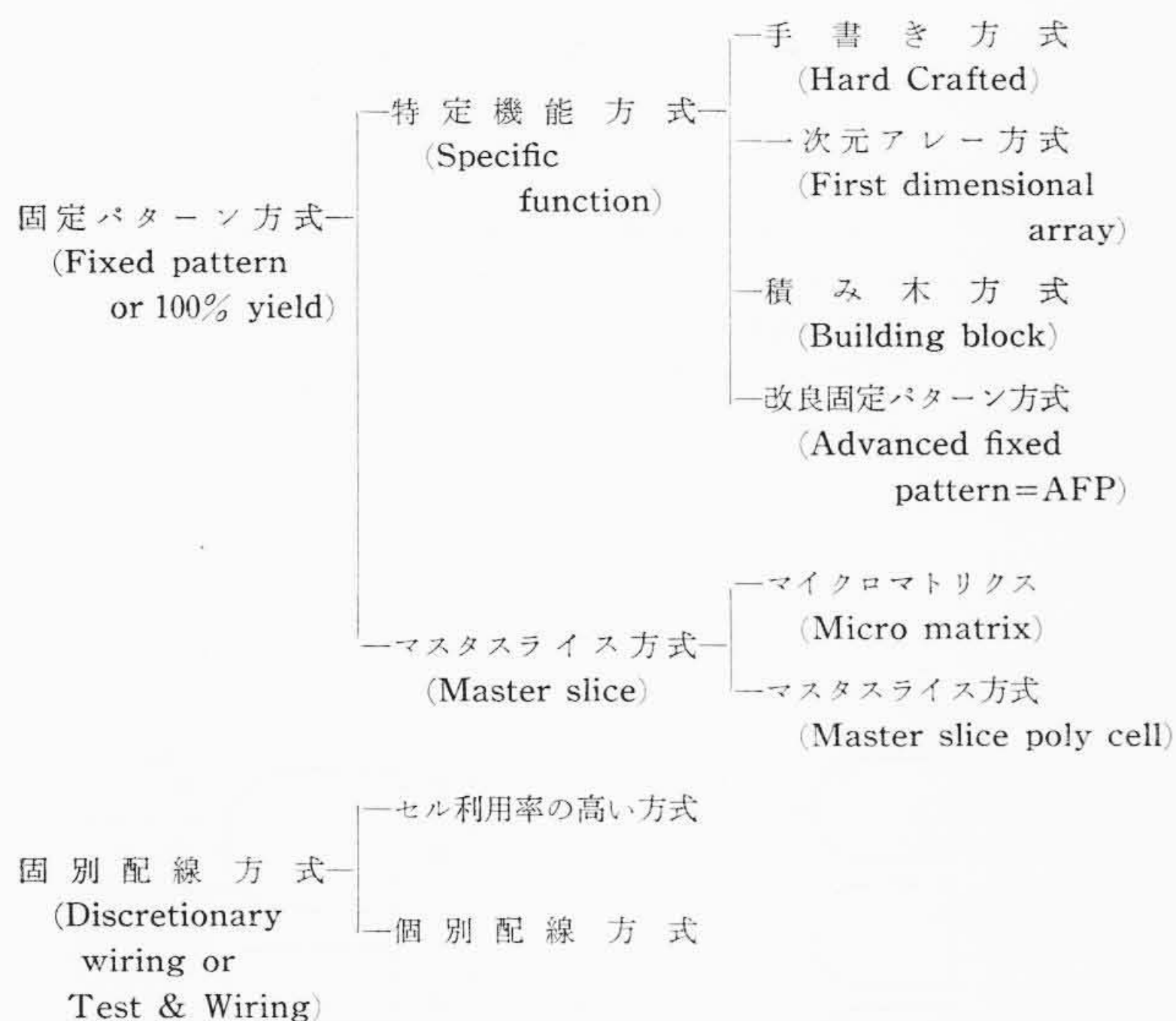


図6 LSIの各種方式の分類

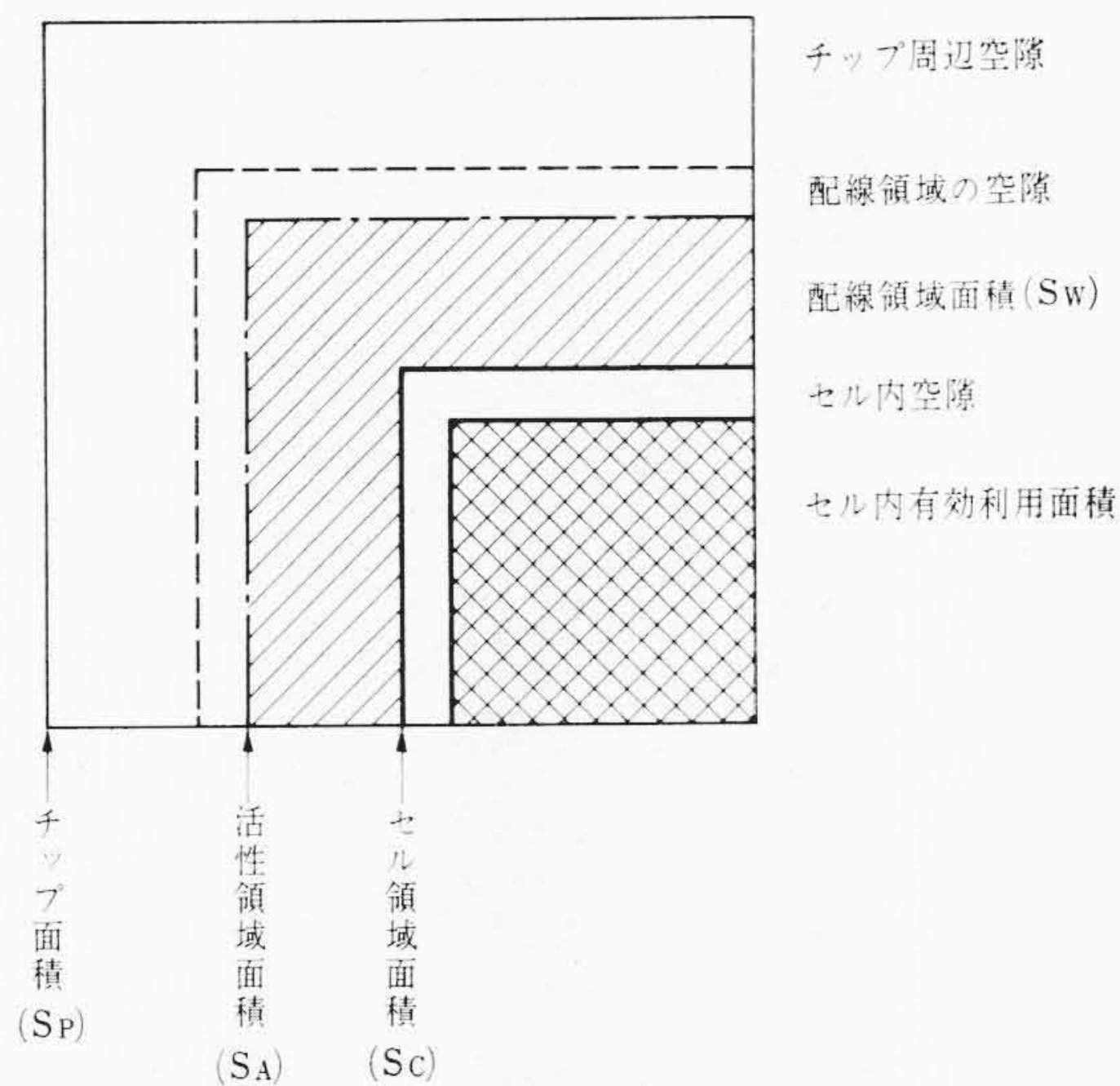


図7 チップ内諸領域面積の分類

表2 加減算回路をモデルとした各方式の比較

項 目 方 式	ユニット・セル		マスクの 枚数/ LSI	活性領域面積とセル利用率				正 規 化 単 位 (μ)	特 性 P_d (mW) t_{pd} (nS)	各 方 式 の 順 位			
	MOS と パイポーラ の 区 別	セルの 種 類		セル面積 S_C (mm ²)	配線面積 S_W (mm ²)	活性面積 $S_A = S_C + S_W$	セル 利用率 (%)			集積 密度	設簡 計単 のさ	性自 能由 の度	総 合
AFP 方 式	MOS	3	4~6	1.75	2.86	4.61	88	30	$P_d \approx 40 \sim 50$ $t_{pd} \approx 300$	3	2	1	1
積 み 木 方 式	MOS	26	4~6	1.52	2.09	3.61	100	1	$P_d \approx 30$ $t_{pd} \approx 200 \sim 300$	1	4	1	2
一 次 元 ア レ ー 方 式	MOS		4~6	2.55	1.17	3.72	80	セル ≈ 65 配線 35	$P_d \approx 54$ $t_{pd} > 300$	2	2	4	3
マイクロマトリクス方式	パイポーラ	1	3	3.71	1.82	5.53		30	$P_d \approx 144$ $t_{pd} \approx 20$	4	1	3	4

る^{(6)~(12)}。これらを定性的に整理分類すると図6のようになる。以下に各方式の概要を述べる。

固定パターン方式は、各LSIごとに別個のパターンを設計して、これらのパターンをレピートしたマスクを作ってプロセスに供する。この方式ではユニットセルの検査は行なわれないで、ウェハー処理の最後の工程でセル間の配線を終了したあとで検査を行なうものである。この方式の中で、プロセス中のあるレベルまで標準化しておくのが、“マスタスライス方式”，そうでないものを“特定機能方式”と呼んでいる。

選択配線方式は、まずユニット・セルの検査をしてセルの良否を選択したうえで良品だけについて配線を行ない所望のLSIを得ようとするものである。普通に呼ばれている選択配線方式はウェハーごとに良品となるユニット・セルの位置は異なるから、配線パターンは同一品種でウェハーごとに異なる。しかしセル利用率の高いLSI方式⁽³⁾ではウェハー上の良品の集まっている個所だけを選んで配線を行なってLSIを作成するので、配線パターンは同一品種には1種のパターンでよい。

さて、LSIの諸方式の得失を表わす因子としては、

- (a) 集積密度.....単位面積当たりの素子数
- (b) 集 積 度.....チップ上に集積できる素子数
- (c) 設計の自由度
- (d) 設計の簡単さ

などがあげられる。このような観点から、図6の諸方式について比較を行なうが、その前準備として、評価の基準について説明する。LSIの品質を評価する場合は、チップ面積と実際に動作している素子の占める面積の比率が重要である。チップ内における諸領域を図7に示すように分類し、比較の尺度とする。ここに、セル領域面積 S_C は、実際に論理機能を果たしているユニットセル領域の総和を表わしている。なお、セル領域の中でも一部未利用の部分があるので、これを除いて有効に使われているセル面積の S_C に対する比をセル利用率と呼ぶ。

以上のような尺度に従い、図6のうち、次元アレー方式⁽¹¹⁾、積み木方式⁽⁹⁾、筆者らの提案したAFP方式⁽²⁾およびマイクロマトリクス方式⁽¹⁰⁾の4者について、加減算回路をモデルとして比較を行なうと表2のようになる。なお、手書き方式については、(a)、(c)の点では最も良いが、(d)の点で非常に不利であること、また、選択配線方式については、(c)の自由度が劣ることと、(a)がきわめて悪い点から、この具体的な比較の対象からは除外した。

表2より明らかなように筆者らの提案したAFP方式は、固定パターン方式の長所である集積密度が高いという特長を生かしつつ、その欠点である設計の簡単化を図ったもので、ほかのどの方式よりもすぐれたものである。しかも、このAFP方式は、計算機への入力としても、扱いやすい形となっていることも大きな利点である。以下、本稿のCADシステムの理解を助けるために、AFP方式によ

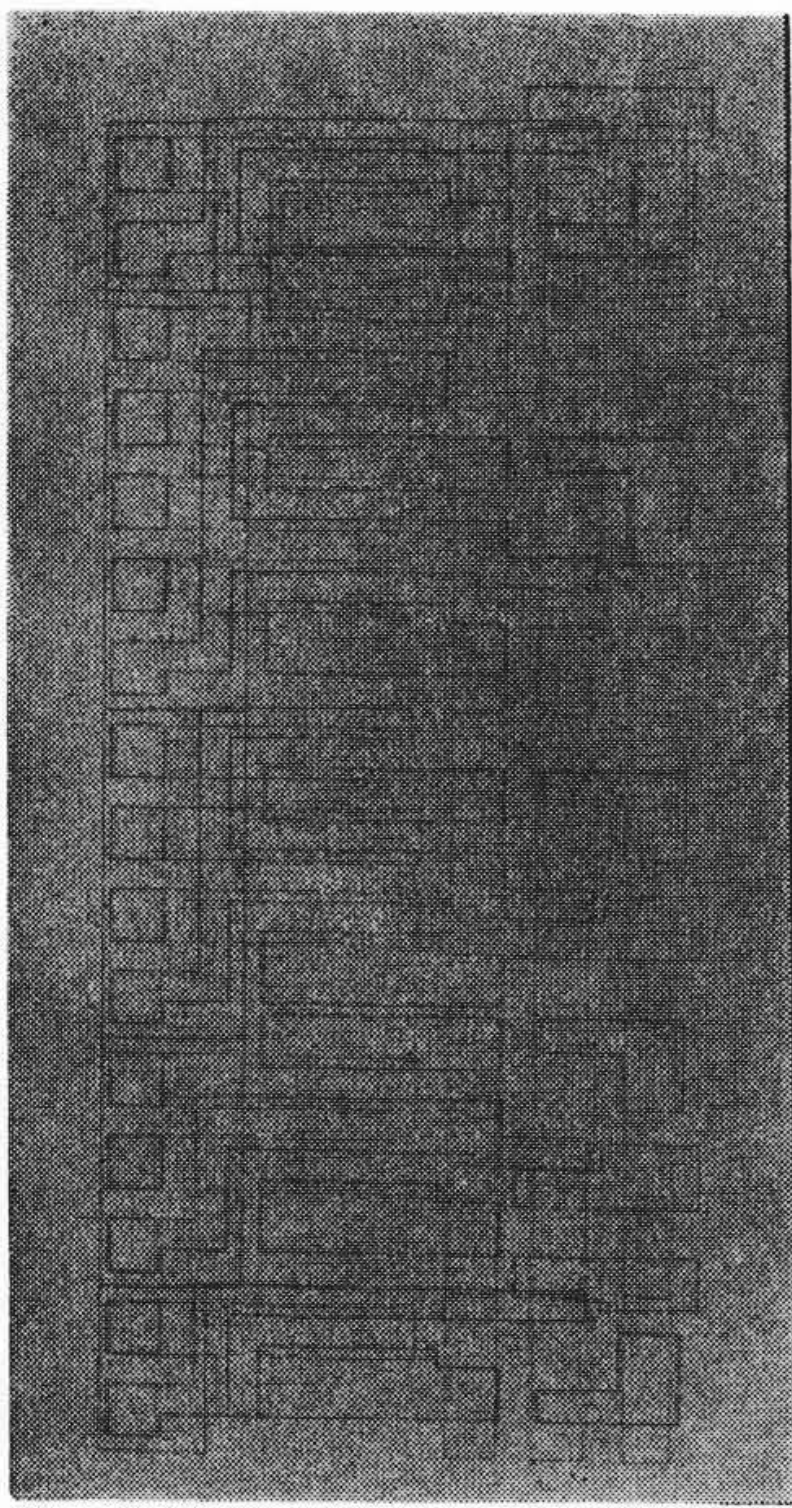


図8 ユニット・セルのパターン

る設計手法について詳細に述べておこう。

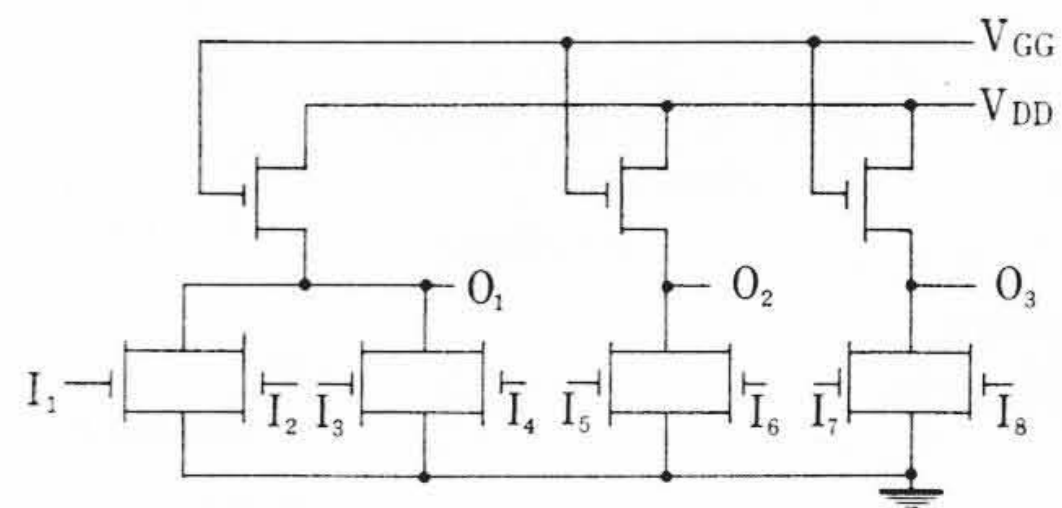
4.2 AFP 方式⁽²⁾

AFP方式は、LSIの将来必須の方向と思われる顧客仕様に即応できるような方式であると同時に、できるだけウェハの利用効率は落とさないようにした方式である。設計の簡単化のために、本方式ではできるかぎり計算機の利用を考慮しており、その詳細は次章で述べることにして、AFP方式によるLSI設計法を以下に述べる。

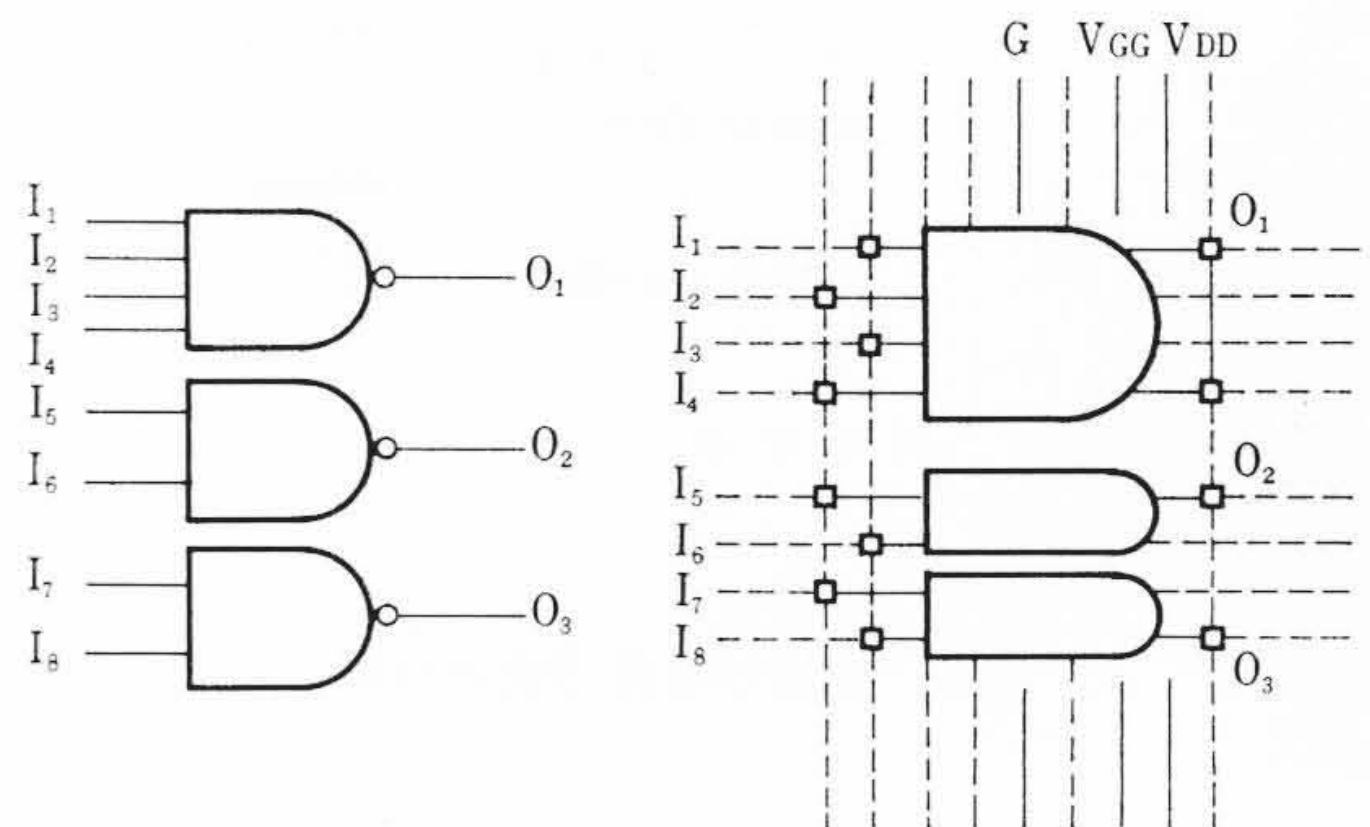
本方式では、論理、回路仕様に自由に応じられるようなユニット・セルをあらかじめ数種類用意する。これらのユニット・セルはLSIのレイアウトが容易に行なえるようにパターン形状が配慮されており、ライブラリに登録されている。LSIは網目状に正規化された設計シート上にシンボル化されたユニット・セルのレイアウトを行ない、レイアウト図を作成する。その後は、シンボル化されたレイアウト図をもとにして、自動製図機によりライブラリのユニット・セルを呼びだし、セルの配置、セル間の配線を描かせた検査用図面およびフォトマスク原図を出力させる。以下、ユニット・セルおよびレイアウト図について詳細に説明する。

ユニット・セルは、NANDゲート、フリップ、フロップ・バッファゲート、アナログスイッチなどのようにLSIの基本回路と考えられるものである。これらは、ほぼLSI用のICとも考えられるが、大きく異なる点はICでは実装、配線を施す基板がプリント板であるのに対してLSIでは、シリコンチップであること、つまり素子と配線が一体化していることである。シリコンチップの寸法はLSIの歩どまり、コストに密接に関係するから、これらユニット・セルの選定にあたっては、セルが占有する面積（セル面積 S_c ）およびセル間を配線するために要する面積（配線面積 S_w ）ができるだけ小さくなるように選ばなければならない。ユニット・セルは、論理回路として、オンレベル、オフレベル、スイッチング特性および消費電力などの回路仕様に従って特性設計が行なわれる。特性設計の結果から、ユニット・セルのパターン設計が行なわれる。ユニット・セルのパターン設計では、セルの入力および出力端子がレイアウト図における網目上に合致するよう考慮されている。セル・パターンの一例を示したものが図8である。セル・パターンの情報は符号化されて磁気テープライブラリに登録され、LSIパターンの描画の際に参照される。

レイアウト図は、論理図とLSIマスクパターンとの仲立ちをするもので、一つのユニット・セルを論理図の一記号に対応させた記号



(a) 回路構成



(b) 論理図

(c) セル・レイアウト(シンボル)図

図9 AFP方式によるレイアウト図の表現

で表わさる。レイアウト図の記号と論理図との対応を示したのが図9である。図9(a)は、4入力NANDゲートおよび2入力NANDゲート2個の回路構成であるが、論理図では、同図(b)のように表わされ、レイアウト図上では同図(c)のように表現される。同図(c)のセル記号は、セルの占有面積に比例するように決められ、入出力端子は網目上に配置される。LSIのレイアウト図は、ユニット・セルの配置のほか配線に関する情報も記入される。配線は網目上のみに施され、ユニット・セルとユニット・セルの接続および外部端子(Bonding Pad)とユニット・セルの接続が行なわれる。配線が2層以上になる場合は、層間接続(Through Hole)が必要になるが、これもレイアウト図上に記入される。こうして、レイアウト図には、LSIの製造工程で使用するマスクのすべての情報が記述されている。

LSIのマスクの製作にあたり、以上に述べたレイアウト図を作成すると、LSIのレイアウトをあたかも論理図と同じような図面で書き表わすことができるため、設計完了後の検図は、論理図の結線をチェックするのと同様に行なうことができ、通常のマスキング原図(LSIのパターンを100~200倍に拡大したもの)の検図に比べるとはるかに簡単になる。

5. レイアウトCADシステム

LSIの開発にCADシステムを導入するねらいは、作業を機械化することによる実質的な開発期間の短縮および低価格化であることは緒言に述べたとおりである。CADシステムを考えるにあたり、二つの基本的な考え方がある。一つは、設計のあらゆる作業をできるかぎり自動化し、設計者は最終結果に近い段階で製品としての良否を判断するというものである。この方式は、設計者との接触が少なく、自動設計の途中経過においては設計者が介入しがたい傾向があるため、もし、最適設計ができなかった場合は、最初の条件変更からやり直さなければならず、設計ターンアラウンドが長びくことおよび現在のところでは、100ゲートを越えるLSIのような複雑なものを対象とした、設計アルゴリズムが存在しないという重大な欠点がある。

第二の考え方⁽¹⁴⁾は、高度な思考および経験を要する部分は設計者に任せてしまい、機械化しやすい部分のみを自動化するというものである。この場合は、システムは何度か中間結果を出力し、その都度設計者が検査して、不都合なところは部分的に修正することとなる。したがって、システムと設計者の接触は頻繁(ひんばん)となるが、結果的には、LSIの設計開発期間を短縮することになる。この方式は、現在のLSIレイアウトCADシステムの主流をなす考え方である。ところで、このようなシステムを実現するためには、設計者の介入を容易にすることが最も強く要求されてくるため、設計者の理解しやすい入出力形式が問題となってくる。入力形式は、LSIのパターンを容易に表現する記述言語であり、出力形式は、設計者が検査しやすい中間結果としての図形および最終的なマスクパターンである。特に出力形式は、出力する図形が使用する自動製図機の制約を受けるので、その選択も重要な問題である。

以下に、この考え方に立脚して筆者らが開発したわが国最初の実用的LSIアートワークCADシステムであるMMM(MOS Mask Making)システムの概要とプログラムの構成について述べる。

5.1 システムの構成

本システムは、LSIのマスク原図を短期間に開発することを目標

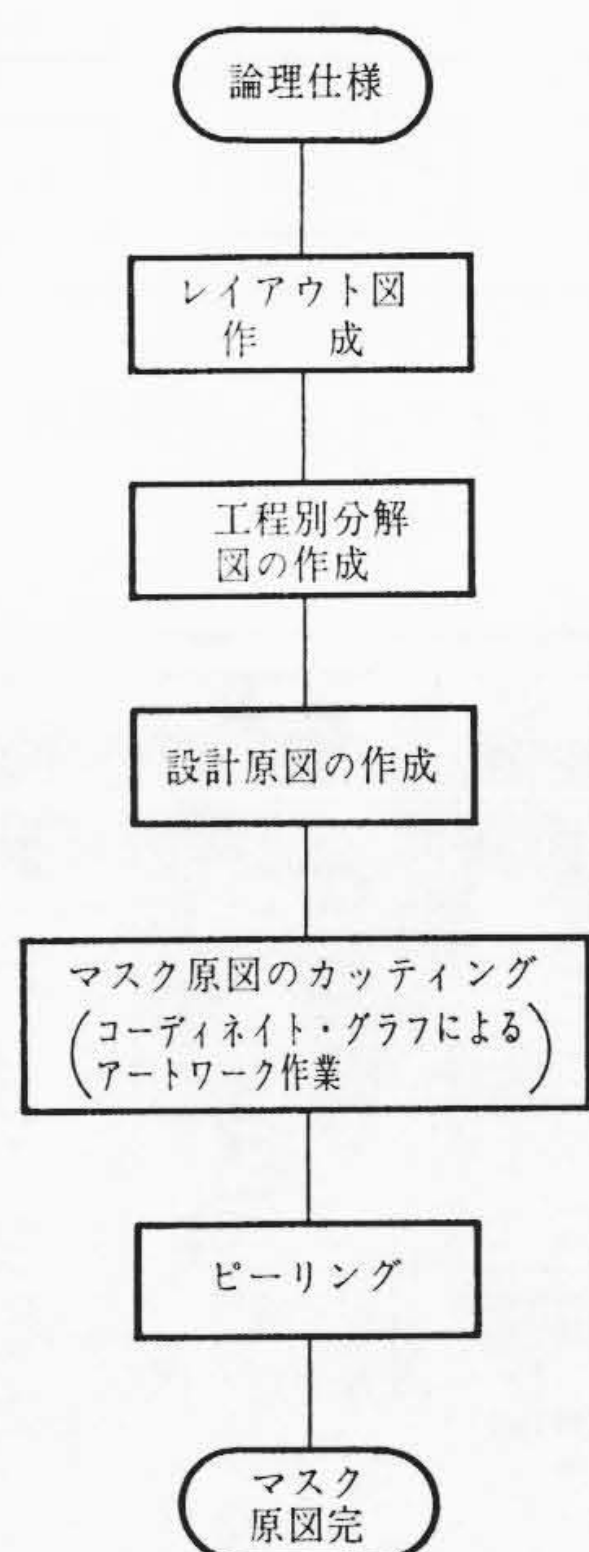


図10 従来のマスク原図作成工程

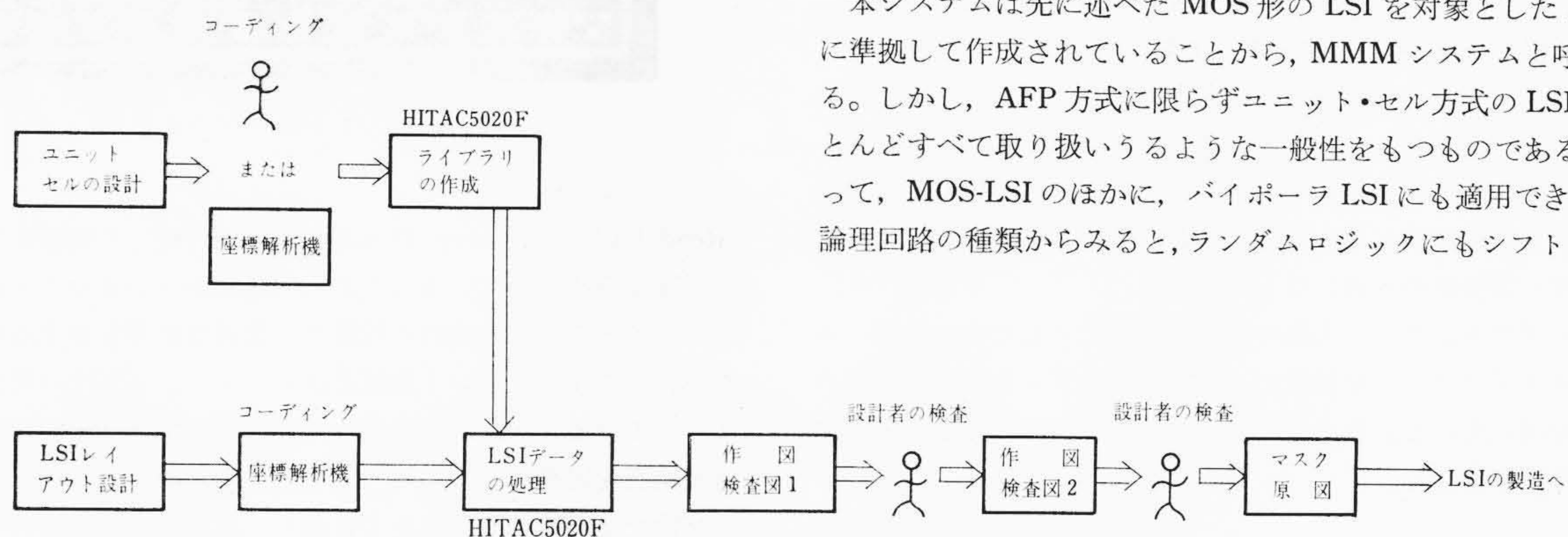


図11 CADシステムの働き

としている。まず説明の前に、従来どのような方法でマスク原図が作成されていたかについて簡単にふれることにする。従来の方法ですべての作業を人手で行なう場合には図10に示す手順で進められ、ICのマスク原図作成でごく普通に使われていたものである。しかし、LSIのように素子数が増加してきた場合は、レイアウト図作成、工程別分解図の作成および設計原図の作成などのようにパターン設計作業が多くなり設計者の負担が重くなると同時に、コーディネート・グラフによるアートワーク(カッティング)作業が膨大となり、誤りなく作業を終わらせることがほとんど不可能に近くなって来ている。また、部分的に自動製図機を導入して、アートワーク作業を自動化する試みも行なわれているが、先に述べた設計者の負担は軽減されていない。

筆者らは、このような状況にかんがみ、集積度の高いLSIを短期間に開発し実用に供するためには、LSI設計者の負担を極力減らすようにしなければならないと考え、システムの構成を決めるにあたり、下記の項目に留意した。

- (1) 従来設計者の行なっていた分解図、設計原図の作成は計算機で処理する。このため、新しい記述言語が必要である。
- (2) 計算機に入力するためのカード作成は、人手で行なうと誤りを発生する率が高いため、座標解析機を使用する。
- (3) 中間結果の出力とマスク原図の作成に自動製図機を使用する。
- (4) LSIにくり返し現われるユニット・セルのパターンは磁気テープライブラリに登録する。

こうした条件を満たすシステムの働きを示すと図11のようになる。

図11に示したシステムで使用する計算機は、LSIの膨大なデータを処理しなければならないから、高速で大容量の記憶を有する高性能大形計算機でなければならない。われわれは、サイクルタイム0.5 μ s コアメモリー65K語、ドラムメモリー260K語を有するHITAC 5020Fを使用した。人手作業による誤り発生を防止するため導入した座標解析機*は有効読取範囲100 $\times$ 100cm²、反復精度 $\pm 20\mu$ mであり、約200枚/時間程度のカード処理能力を有している。フォトマスク原図および検査用図面(中間出力)を作成する自動製図機**は、描画面積78 $\times$ 86cm²、反復精度 $\pm 50\mu$ mである。この自動製図機は、ボールペン、インクペンおよびスチールカッターの装着が可能で、検査用図面はボールペンで描かれる。フォトマスク原図にはスチールカッターを装着してルビリス紙をカットする。自動製図機の外観は図12に示すとおりである。

5.2 ソフトウェアの構成

本システムは先に述べたMOS形のLSIを対象としたAFP方式に準拠して作成されていることから、MMMシステムと呼称している。しかし、AFP方式に限らずユニット・セル方式のLSIならばほとんどすべて取り扱えるような一般性をもつものである。したがって、MOS-LSIのほかに、バイポーラLSIにも適用できる。また論理回路の種類からみると、ランダムロジックにもシフトレジスタ、

* 東洋電機製造株式会社製 TCA 201 形

** CALCOMP 社製 XY プロッタ 702 形

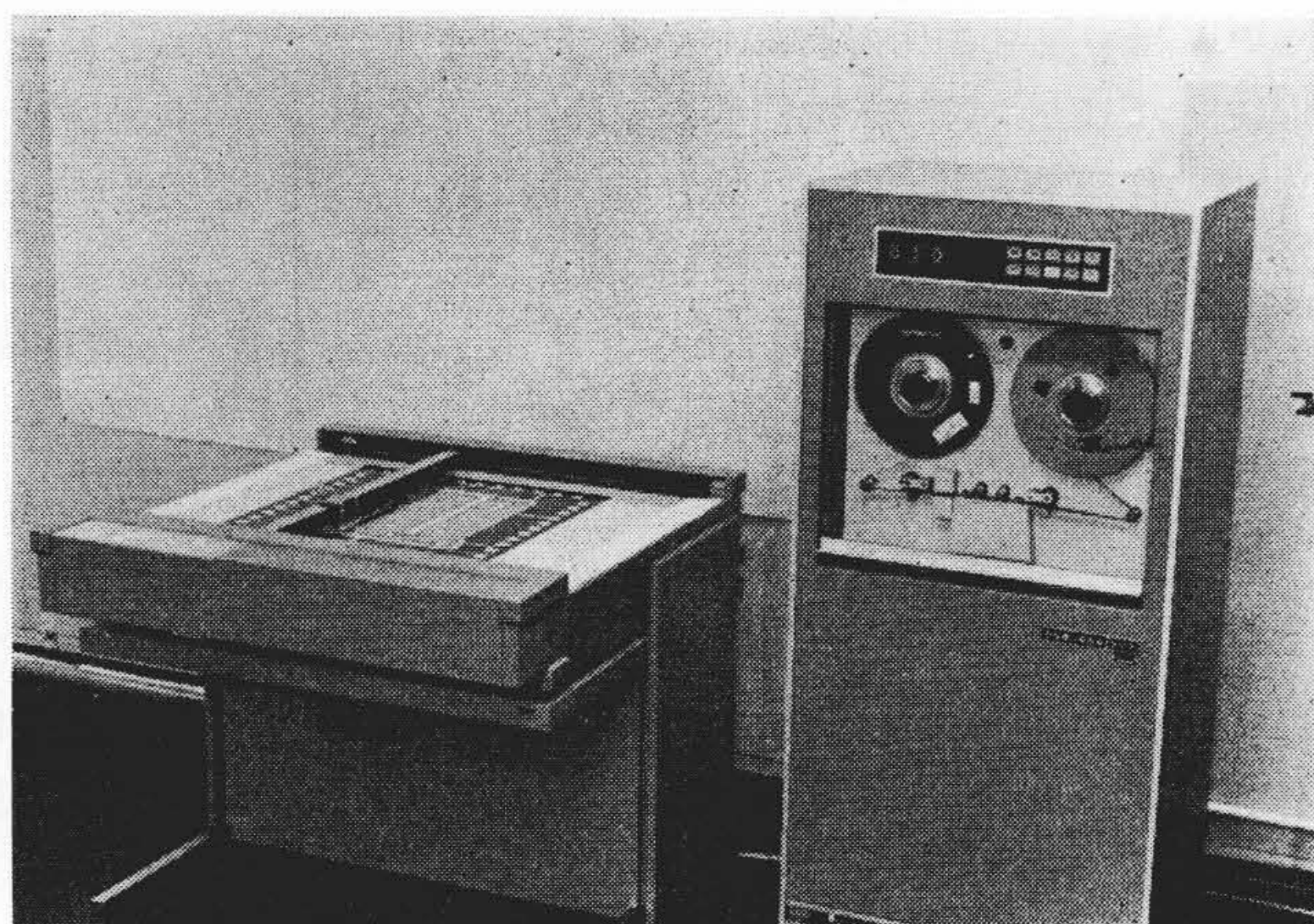


図12 自動製図機（カルコンプ702形）の外観

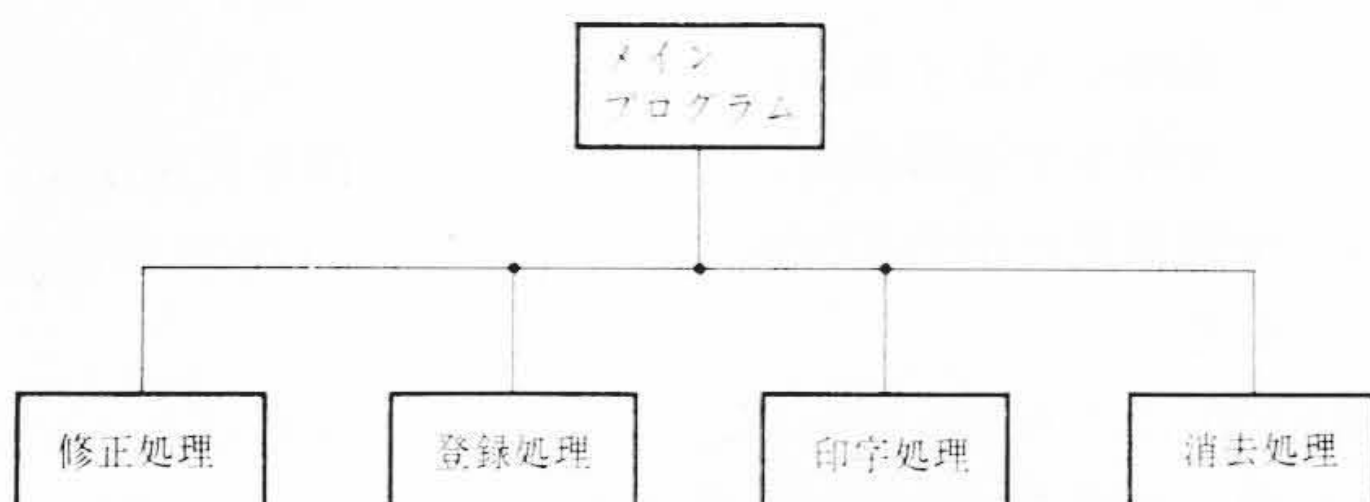


図13 ライブラリ・プログラムの構成

メモリーなどのようなアレー構造にも、ともに使いやすい形式となっている。

本システムのソフトウェアは、おもにライブラリ・プログラムとアートワーク・プログラムの二つから構成されている。

ライブラリ・プログラムは、ユニット・セルライブラリの登録、修正、消去およびデータダンプの機能を有しており、プログラムの構成は図13に示すとおりである。登録の場合のおもな仕事は、まず登録するユニット・セル名について二重登録か否かのチェックを行ない、次いで入力カードを読み込み、エラーチェックを行ないながら、データを各工程別に分解、編集し、描画データを作成してゆく。すべてのデータが正しいことが確認されると磁気テープに書き込まれて、一つのセル処理を終了する。アートワーク・プログラムはLSIデータを入力し、検査シンボル図、検査用マスク重ね合わせパターン、ピーリング用補助図面およびフォトマスク原図の4種を出力する。プログラム構成は図14に示すとおりである。このプログラムは、前述したライブラリ・プログラムの出力である磁気テープライブラリを参照して、実際のユニット・セルパターンを作画する磁気テープを出力する。これらプログラムの入力記述言語は、LSI用記述言語として新たに開発されたもので、LSIの設計者が理解しやすく、かつ複数枚の図形処理に適したものである。

上記プログラム以外に、実際の運用を円滑にするため、数種のユーティリティ・プログラムを開発し、設計者へのデータ提供と作業の効率向上を図っている。今までに述べたプログラムの性能を表にすると表3のようになる。

6. LSI設計の実例

今までに述べてきたレイアウトCADシステムには、200ゲートMOS-LSI、バイポーラLSI、シフトレジスタ、RAM(Random Access Memory)およびバッファ、デコーダを含む2,048ビットROM

表3 プログラム性能

	アートワーク・プログラム	ライブラリ・プログラム
入 力	LSI用記述言語で記述したプログラム	ユニット・セルのデータ
出 力	フォトマスク原図 検査用各種図面	磁気テープ
対象の最大規模	素子数にして 約10,000素子のLSI	約500素子までの ユニット・セル
使用計算機	HITAC 5020F (65kW以上) 相当の計算機	HITAC 5020F (65kW以上) 相当の計算機

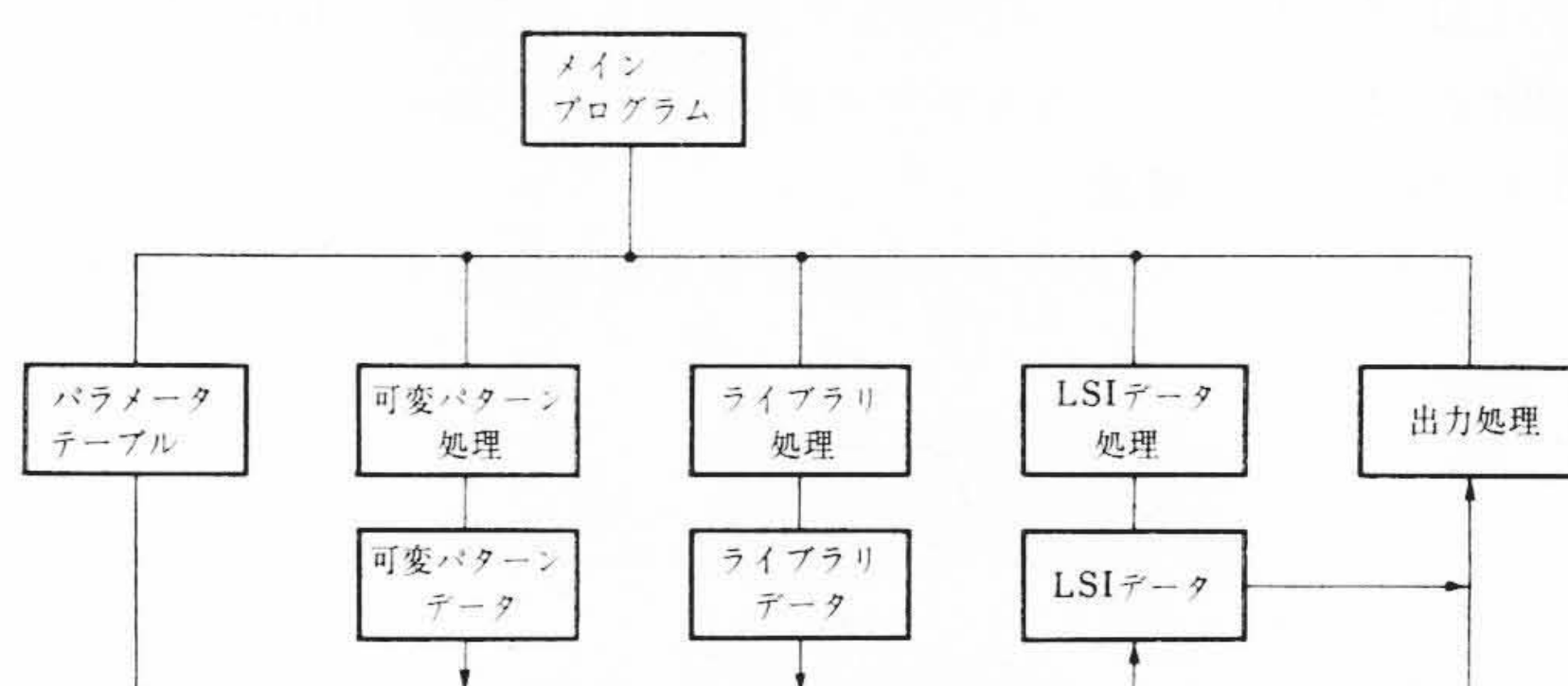


図14 アートワーク・プログラムの構成

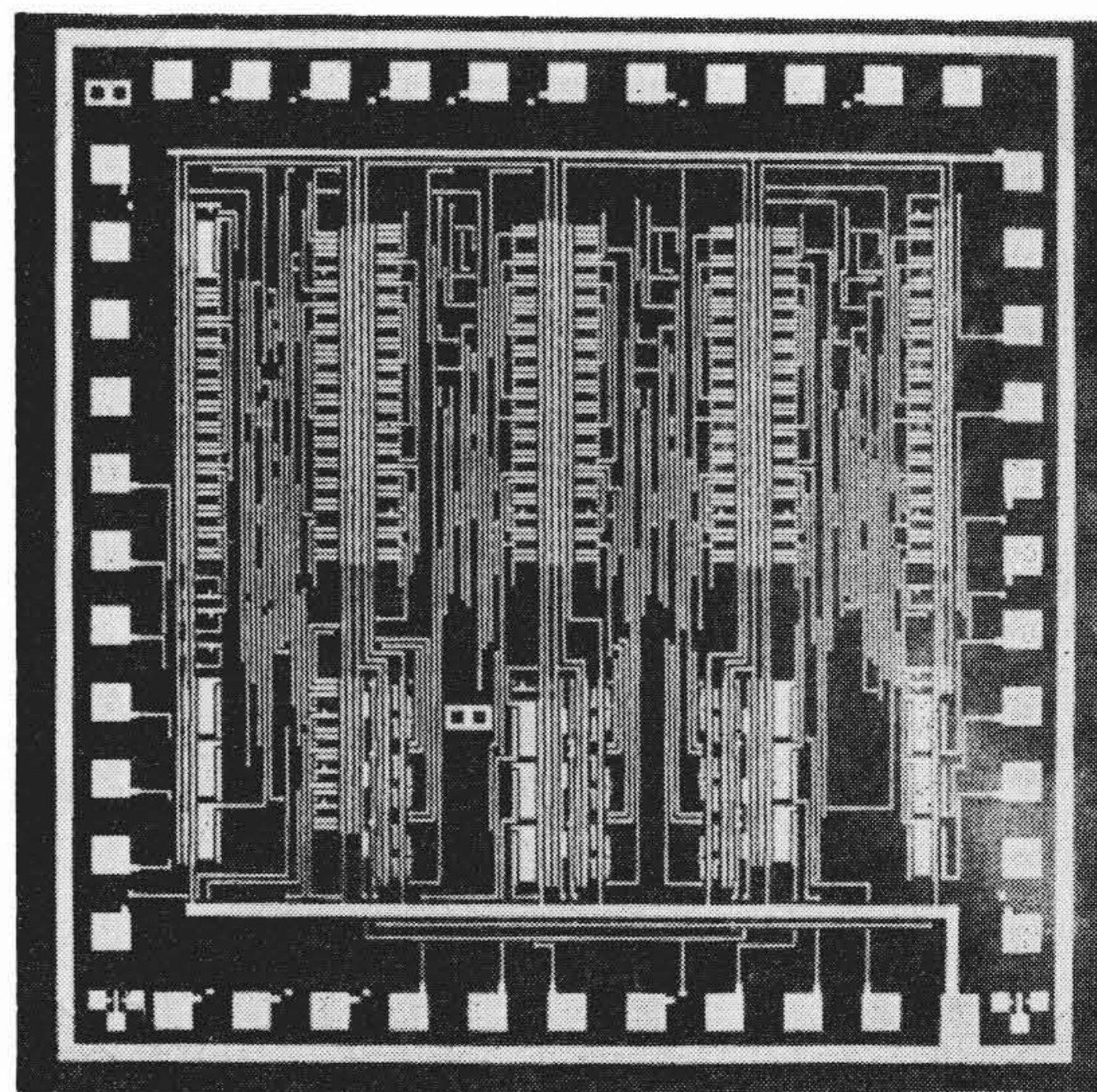


図15 MOS-LSIのマスク原図

(Read Only Memory)のマスク開発を行なった実績があり、その有用性は確認されている。これらの経験からいえることは、われわれがシステムの基本設計の段階で、複雑な思考を要する部分はすべて設計者に任せるという態度を決め、システムもその考えに徹して作られていること、設計の進行に伴い順次中間結果を出力し、設計者の検査を容易にしていることなどから、設計者の実質的な作業負担だけでなく精神的負担をも軽減し、設計の進行をスムーズにしていることである。

図15は、200ゲートMOS-LSIのアルミパターンのマスク原図であるが、このような複雑なパターンを従来方式で行なっていれば2ヶ月以上を要するであろうと思われるが、CADシステムを利用

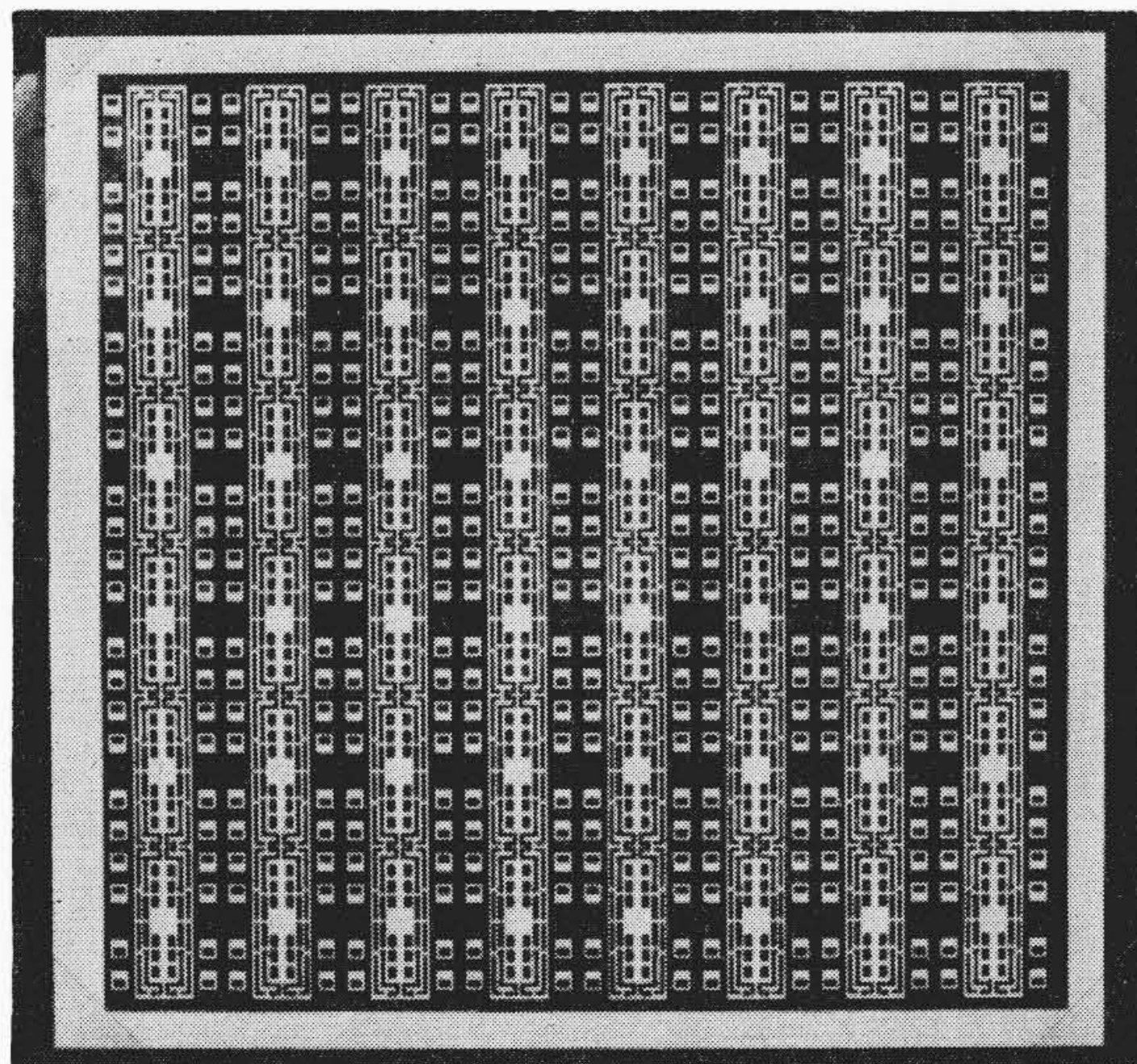


図 16 バイポーラ LSI のマスク原図

すると、1週間以内に処理できてしまう。また、規則性の高いパターンは素子の数が多くても処理は容易となる。たとえば、図 16 は、バイポーラによる 192 ビットシフトレジスタのパターンであるが、パターンがきわめて規則的に構成されているため、入力言語の FOR ループを使用すれば非常に簡単に記述され、コーディング時間もきわめて短い。したがって、このように大きなパターンも、CAD を利用すれば、わずか 2~3 日でマスク原図が作成できる。

このシステムで作成したマスクを使って開発された LSI の例を示したのが図 17 である。

7. 結 言

LSI における CAD システムは、設計原価の低減と設計ターンアラウンド時間の短縮の 2 点から強く望まれているが、本文では LSI に必要な CAD の種類を概観し、なかでも重要なレイアウト設計に関する設計手法と CAD システムについて筆者らの経験を述べた。CAD システムを実用化するには、まだまだ解決しなければならない問題が多くあるが、われわれの経験が今後この種の設計自動化システムの発展になんらか役だつならば幸いである。

終わりに臨み、終始ご鞭撻(べんたつ)いただいた日立製作所半導

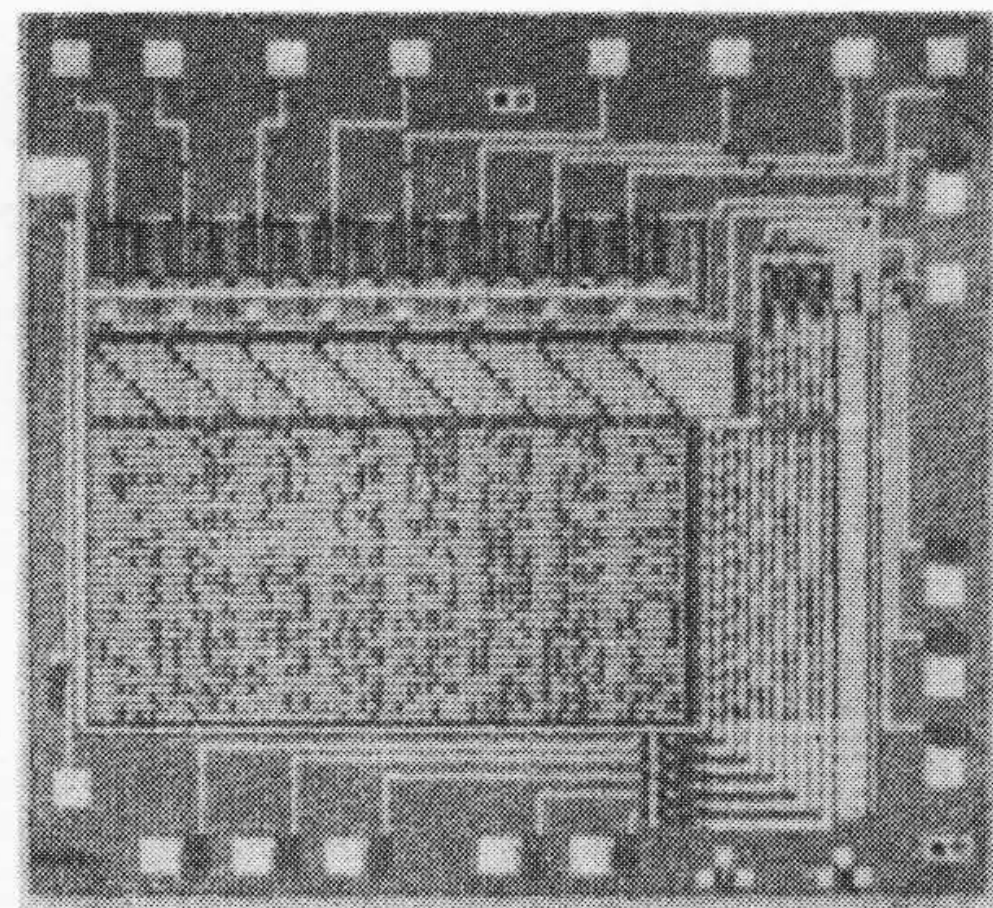


図 17 MOS-LSI のチップ

体事業部牧本部長、当所上妻部長およびコーディングに協力していただいた岡田敏昭、保坂祐子の両氏に深い謝意を表する。

参 考 文 献

- (1) 永田ほか：CAD による LSI の設計，電子材料 69 年 6 月
- (2) 藤本：実時間論理シミュレータ，昭 43 年電通学会全国大会 No. 918
- (3) H.K. Gummel: Self consistent iterative scheme for one dimensional steady state transistor calculation's, IEEE Trans ED-11, Oct. p 455. (1964)
- (4) 堀野ほか：集積回路マスクパターンのレイアウト設計システム，昭 44 年電通学会全国大会 S 2-7.
- (5) C.F. O'donnel: Engineering for systems using large scale integration, FJCC. p 867. (1968)
- (6) 浜田：大規模集積回路，電通誌 Vol. 51 No. 5 p 51 '68
- (7) 長船：LSI，電学誌 Vol. 88-6 No. 957. June. '68
- (8) J.W. Lathrop: A Discretionary Wiring as the Interface Between Design Automation and Semiconductor Array Manufacture, Proc. IEEE Vol. 55 No. 11, Nov. '67.
- (9) Custom MOS Building Blocks Handbook, Philcoford. Oct. '67
- (10) R.M. Walker: Fairchild Semiconductor 4,500 Micromatrix Array Design Handbook, Fairchild Co. '68
- (11) Weinberger: LSI a Layout Method of MOS Complex Logic, IEEE Trans. Vol. SC-2 No. 4, '67
- (12) 久保ほか：改良された固定パターン方式，昭 44 年電四連，No. 2205
- (13) 牧本ほか：セル利用率の高い LSI 方式の提案，昭 43 年電通学会全国大会 No. 800
- (14) 小澤ほか：CAD による LSI 設計システムとその効果，電通学会半・トラ研資料 SSD 69-41 (1970-1)