

電子式卓上計算機用 MOS LSI 製造技術の開発

Development of the Process Technology of MOS LSI
for Electronic Desk Top Calculators

牧 本 次 生* 小 佐 保 信*
Tsugio Makimoto Yasunobu Kosa
富 永 四 志 夫* 田 辺 功**
Yoshio Tominaga Isao Tanabe

要 旨

電子式卓上計算機用の MOS LSI を開発するにあたって必要な新しい製造技術の開発を行なった。開発にあたって特に意図した点は

- (i) しきい電圧を下げる（従来の MOS IC の約 1/2）
 - (ii) 寄生 MOS 効果の新しい防止法を導入すること
 - (iii) パターンの微細化を図り集積密度（単位面積当たりの素子数）を上げること
 - (iv) 多ピンプローバとファンクションテストの導入により、精度の高いウェハ検査法を確立すること
- などである。

このような製造技術の確立により、世界に先がけて高級機能をもつ電子式卓上計算機用 LSI 8 品種の開発に成功した。

1. 緒 言

電子式卓上計算機用 MOS IC として、日立製作所では HD 700 M シリーズおよび HD 3100 シリーズが量産されている。後者のシリーズには MSI (Medium Scale Integration) (HD 3109, HD 3112 など) が含まれている。さらに、電子式卓上計算機の経済化、機能の向上を目的として、LSI シリーズの開発を行なった。

LSI シリーズの開発にあたってはプロセス条件の全面的変更という大きな問題がある。従来の MOS/IC プロセスと比較して特に改善を必要とする点は次のようである。

(1) MOST のしきい電圧を下げる。

LSI になるとチップからの発熱量は集積度に比例して大きくなる。このようなことから生ずる不都合をさけるためには、しきい電圧を下げて発熱量を下げる必要がある。また、しきい電圧を下げることによって当然電源電圧を下げるができるから、後述の寄生チャンネル防止が容易になる。

(2) 寄生チャンネルの新しい防止法を導入する。

MOS IC は自己分離形であるとはいえ、素子と素子との間が寄生チャンネルでつながる可能性があり、通常、酸化膜を厚くすることにより防止している。しかしこの方式では、Si 上の SiO₂ の平坦度が害されるので、微細パターンの加工精度上問題がある。

(3) パターンの微細化を図る。

これまでの MOS IC の設計基準で集積度を上げるとチップサイズがきわめて大きくなる。LSI に対しては、新しい基準を作成しパターンの微細化を図らなければならない。

(4) 欠陥密度の減少を図る。

単結晶、拡散、ホトレジストの工程において、Si ウェハ内部または表面に各種の欠陥が生ずるためチップサイズが大きくなるとともに歩どまりが低下する現象はよく経験することである。これは欠陥密度が同じであれば、チップサイズが大きくなるに従ってチップ内に欠陥が含まれる確率が増すためである。欠陥密度を左右する原因は定量的によく解析されていないが、ホトレジスト加工時点ではいりこむ欠陥が最も多いことは従来の経験が教えるところである。

* 日立製作所半導体事業部

** 日立製作所武蔵工場

	LSI	IC
ウェハ テスト		
スクライブ		
マウント		
実 装		

図1 IC および LSI の製作から実装まで

上記(3)と(4)のためには新しいホトレジスト材料、工程の検討がぜひとも必要である。

2. LSI への 動き

IC から LSI へ移り変わる動機は、トランジスタから IC へ移り変わった動機とほとんど同じように考えられる。いずれの場合にも技術的要因および社会的要因が複雑にからみあっており単純ではないが、総合的に判断すれば、IC から LSI への動きには経済性に対する強い社会的必然性があるといえよう。

図1は IC と LSI の場合について、これらが作られてから実装されるまでの過程を概念的に記したものである。この図は、LSI の集積度が IC の 20 倍として書かれているが、実際は 50 倍以上になる

ことが多いから、LSI 化によるシステムの単純化は経済性に寄与すること大といえる。

製造の立場からみるとウェハ処理工程は“一括処理”，スクライプ以降の工程は“個別処理”とよぶことができる。図1からわかるように、LSI 化の本質は「個別処理工程を一括処理工程におきかえる」という点にある。ここで個別処理工程の問題点は

- (1) 量産性が悪い
- (2) 多くの人手を必要とする。
- (3) 信頼度の向上がむずかしい。

個別処理工程は作業指導，機器の点検，品質管理を確立して，特性および信頼度レベルを保障するだけでも決して簡単なことではない。この点一括処理工程では製造条件を確立することによって，でき上りの製品の特性をかなりよく制御することができ，さらに，人手に依存する度合いが少ないため，LSI は将来の方向として必然性のあるものと考えられるが，その進展を阻害している二，三の要因について考えてみたい。

- (1) 自由度が小さくなる。

システム設計の立場から半導体素子を見た場合，自由度は次のようになる。

(LSI) < (IC) < (個別素子) (1)

構成要素の単位が小さければ小さいほど，その組合せ方によって，いろいろ変化のあるものを作ることができるのは当然である。自由度が小さくなるために二つの問題が出てくる。その一つは LSI 設計の迅速化の問題であり，ほかの一つは機器の Repeatability の問題である。LSI 設計の迅速化のためには計算機の導入 (CAD: Computer Aided Design) が不可欠であるといわれている。MSI のレベルにおいても計算機を適用しなければ原図を作ることは至難の業となっている。さらに LSI では“迅速化”のほかにパターンの複雑さのために計算機なしでは正しい原図を作ることが困難になっているのである。

次に Repeatability について考えてみよう。自由度が小さくなることの結果として Repeatability は当然小さくなる。ここで LSI の開発設計費 (いわゆる Start up Cost) を x ，ゲート数を N ，Repeatability を M ，Start up Cost を除いた LSI のコストを y とする。また，ゲート当たりのコストを z としてこれを Figure of Merit と考えれば次のようになる。

$$z = \frac{x/M + y}{N} = \frac{y}{N} \left[1 + \frac{x}{My} \right] \quad \text{..... (2)}$$

ここでは大ざっぱなめやすをつけるために次のような数値をおいてみる。

$$x = 20,000 \$ \quad N = 100 \text{ Gates} \quad y = 10 \$$$

この場合

$$z = 0.1 \left[1 + \frac{2,000}{M} \right] \$/\text{Gate} \quad \text{..... (3)}$$

これからわかるように Start up Cost を製造 cost の 1% 以内に押えるためには 200 k 個以上が必要になってくる。

アメリカの T.I 社が進めている Discretionary Wiring 方式⁽¹⁾，Fairchild 社の Micromatrix 方式⁽²⁾が今のところ一般的に多く使用されないのは，このような大きな Repeatability を可能にするだけのマーケットに欠けているということが一因ではないかと推察される。この点から見る限り卓上計算機は Repeatability がきわめて高く，理想的な応用分野であるといえることができる。

- (2) 歩どまりの問題

チップサイズが大きくなるとともに歩どまりは急速に低下し，全体としての経済性が悪くなる。しかし製造技術の改善によってかなりの歩どまり向上の予地が残されていることは，IC の歩どま

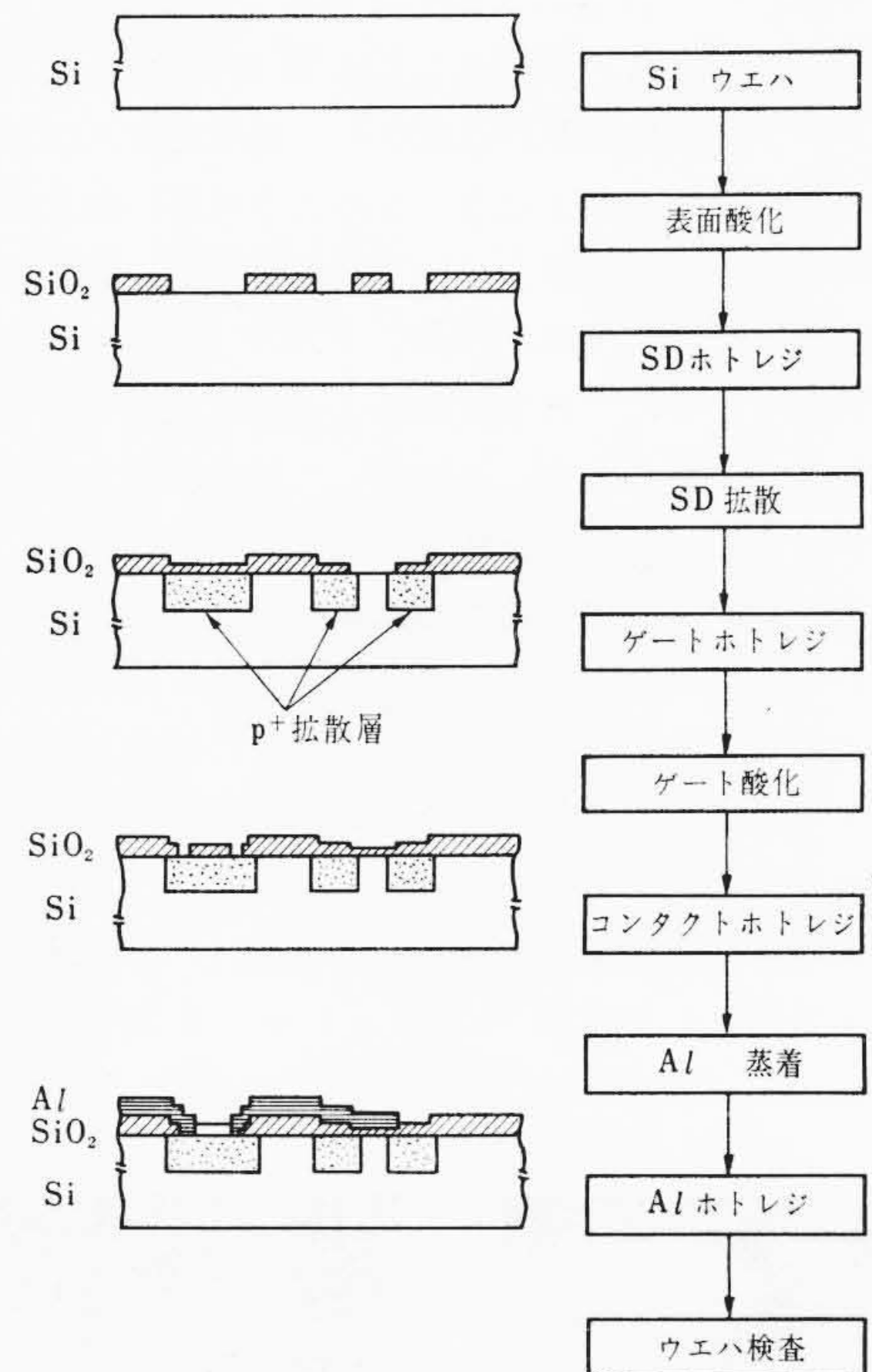


図2 MOS IC の基本プロセス

りの推移から想像されるところである。

しかし，IC から LSI への移行は非常に大きなステップアップであることを考えると，従来方式の小改善の積み上げではじゅうぶんでなく，LSI 専用のプロセスが必要になってくる。

- (3) 試験法の問題

外部端子からの応答のみを頼りにして LSI を“完全に”試験することはきわめてむずかしいことである。これはメーカーとユーザーの間の仕様の取り決めがむずかしいことをも同時に意味している。LSI の品種数が増してくれば，試験プログラムの種類も増加し，前述の集積度の増大による試験法の困難さも加えて計算機によるシミュレーションがどうしても必要になってくる。

このようにいくつかの困難があるとはいえ半導体メーカーはきそって LSI の開発に挑んでおり，これらの半導体産業が LSI のほうへ移っていくことは疑うことができない。

3. LSI 製造技術の概要

単位面積当たりの集積度を現在量産している MOS IC，MSI の 2.5 倍～3 倍にあげ，しきい電圧を 1/2 に低下させるためには種々の方法が考えられる。まずどのような製造工程の組合せをとれば実現できるか検討してみよう。

図2は MOS IC の製造に必要なウェハ処理工程の概略であるが幾つかの問題をもっている。その一つの問題は寄生チャンネルの発生である。ゲートに印加される電圧は，ゲート直下の n タイプ基板を反転させ，チャンネルを発生させる。同様な現象は電極配線にも発生し，電極配線下の n タイプ基板をも反転させて，互いに pn 接合で分離されるべき p タイプ拡散層間に電流の通路を発生させることがある (寄生チャンネルの発生)。この寄生チャンネルの発生は IC を動作させる場合の大きな制約となる。寄生チャンネルの発生を防止する方法としては

- (a) 基板の比抵抗を低くすること

(b) 電極配線と基板との間の SiO₂ の膜厚を厚くすることが考えられる。前者の方法では MOS トランジスタ (MOST) のしきい電圧 (以下 V_{th} という) も同時に，ほぼ同じ割合で高くなるの

で適用はむずかしい。後者の方法では基板上の SiO_2 膜厚を少なくともゲート膜厚の 10 倍以上(望ましくは 15 倍)にする必要がある。たとえば、ゲート部酸化膜厚が $1,600 \text{ \AA}$ であるとすれば基板上の膜厚としては $1.6 \mu \sim 2 \mu$ 必要となる。このように厚い酸化膜に対するホトエッチングの加工精度は 1μ 以下の比較的薄い酸化膜の加工精度に比較して著しく低下する。また、ゲートとほかの部分の SiO_2 の段差が、大きくなるにつれて段差による電極配線の断線の確率が大きくなるなどの欠点がある。したがって酸化膜厚を厚くする方法はホトエッチングの加工精度と相まって考えねばならない。

このような問題点を解決するために新しいプロセスを導入した。本方法を用いるにより、基板上の SiO_2 膜厚が比較的薄くても寄生チャンネルの V_{th} は高くなる。また酸化膜の凹凸が小さく、特にソース・ドレイン拡散の穴明けのホトレジでは、酸化膜の段がほとんどないので加工精度が得やすい。

図 3 に示す写真は、従来のプロセスで形成した MSI と前述の新しいプロセスで形成した LSI のユニットセルを同一倍率で比較し

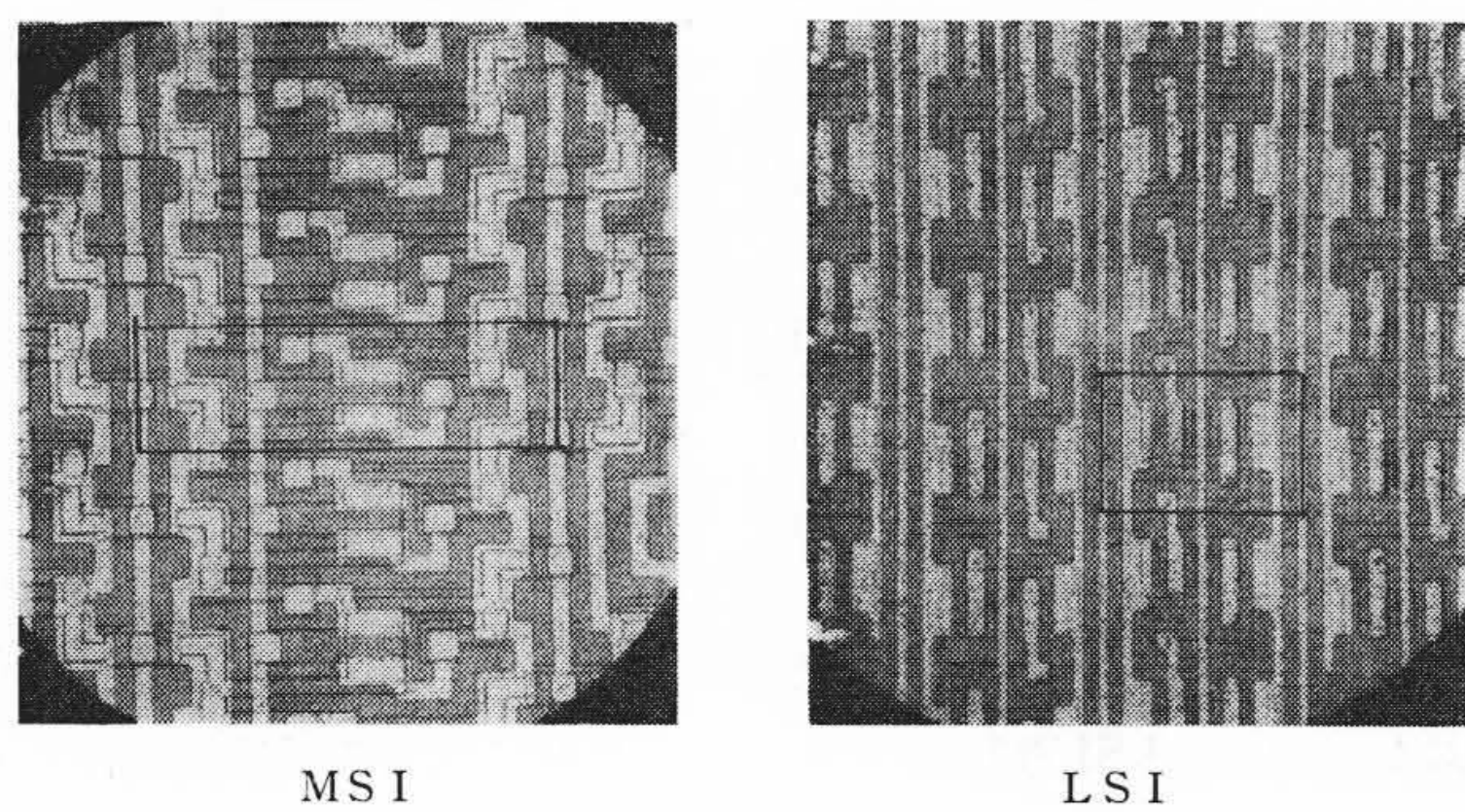
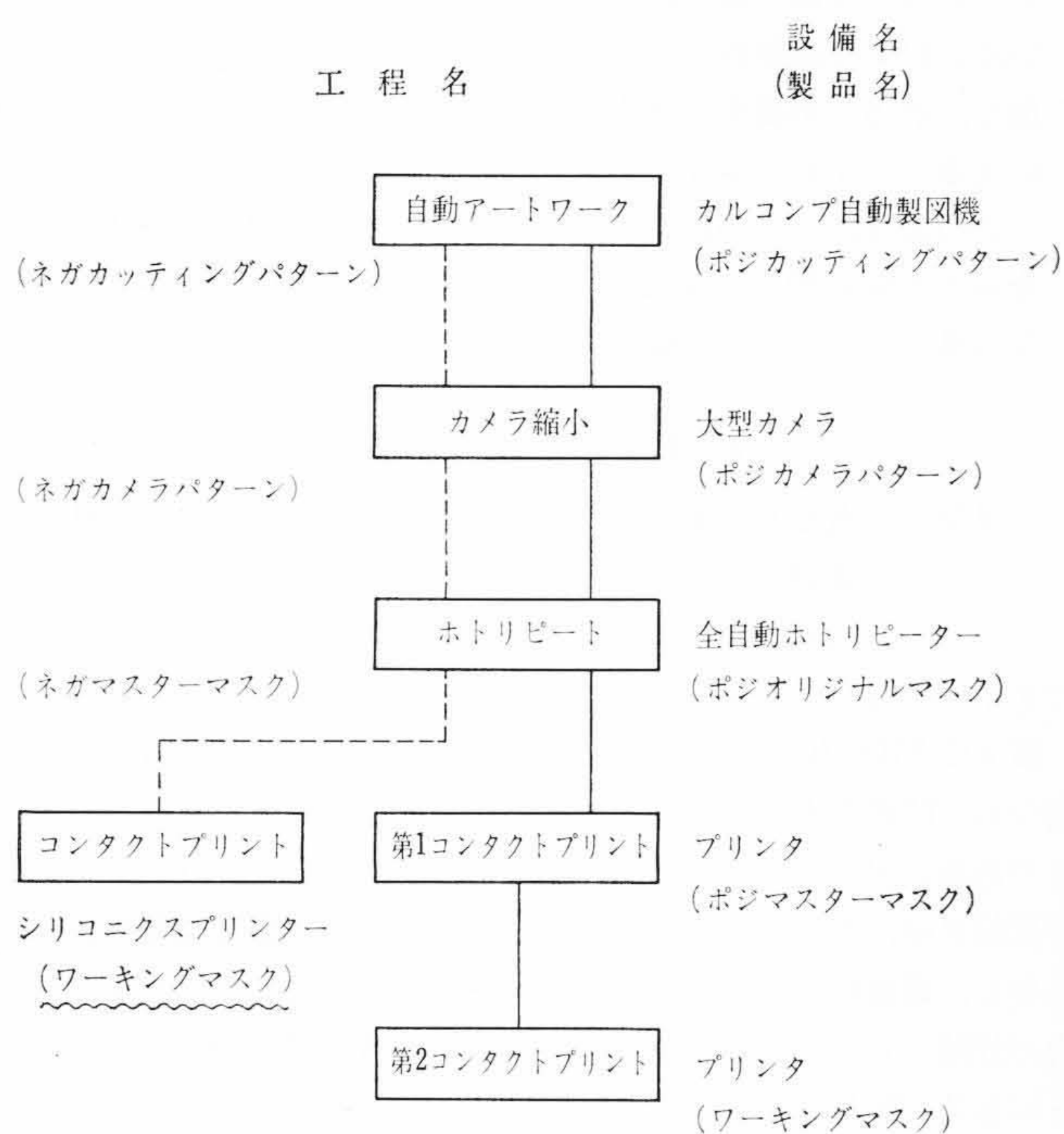


図 3 MSI と LSI のユニットセル比較



- 注: 1. ——— エマルジョンマスク製作工程
 2. - - - - - クロムマスク製作工程
 3. ~~~~~ 払出しマスク

図 4 LSI 用ホトマスク製造工程

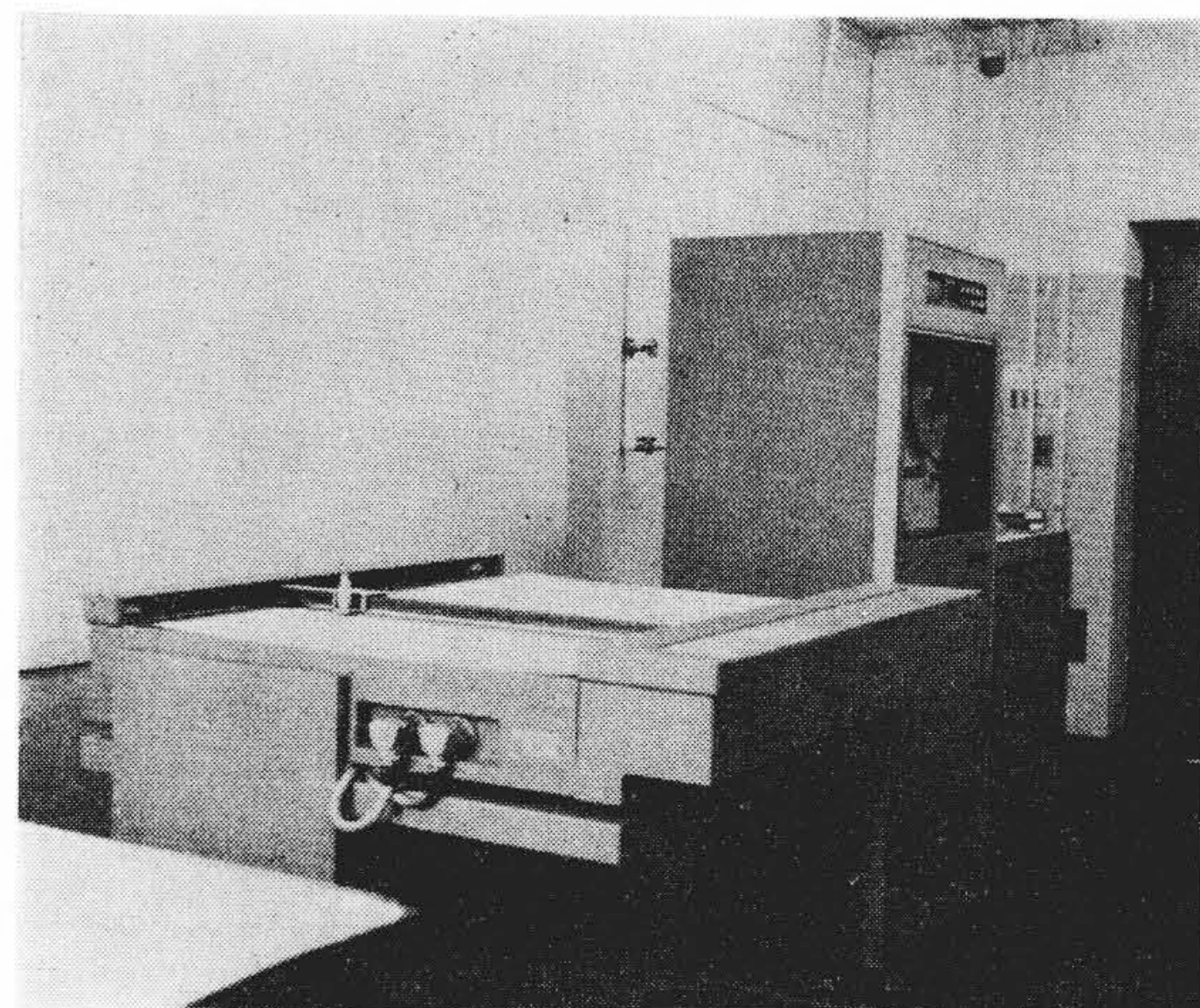
たものである。写真中のわくでかこまれた部分を比較すると、LSI プロセスがいかに高密度になっているかを理解できると思う。

次に MOS LSI を構成している p チャンネル形 MOST のしきい電圧 (V_{th}) を下げるプロセスについて簡単に検討する。 V_{th} は (4) 式で表わされる⁽³⁾。

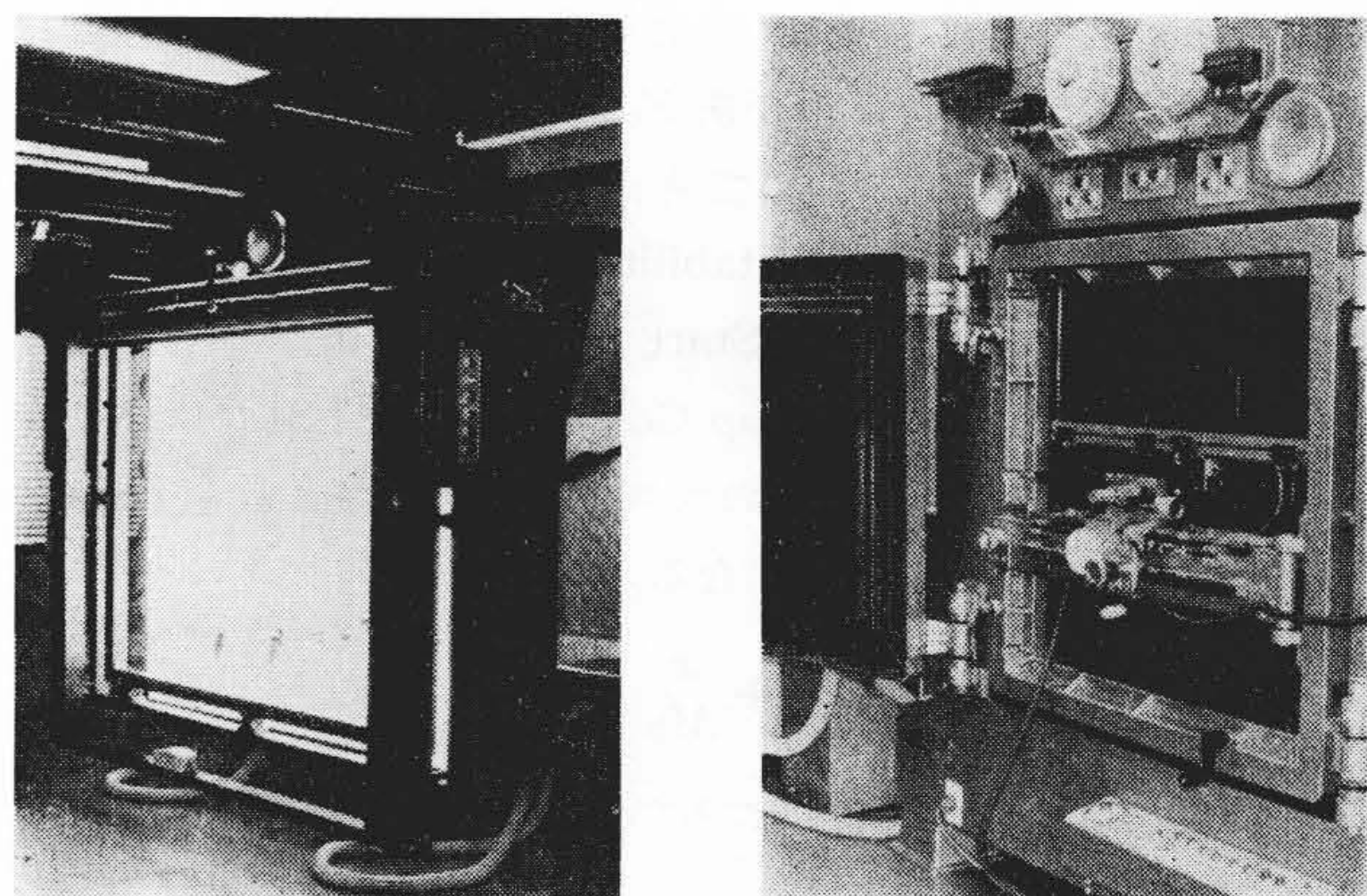
$$V_{th} = V_{FB} + 2\phi_{Fn} - \frac{\sqrt{2k_s\epsilon_0q|2\phi_{Fn}|}}{C_0} \dots\dots\dots (4)$$

$$\text{ここに, } V_{FB} = \phi_{MS} - \frac{Q_{SS}}{C_0}$$

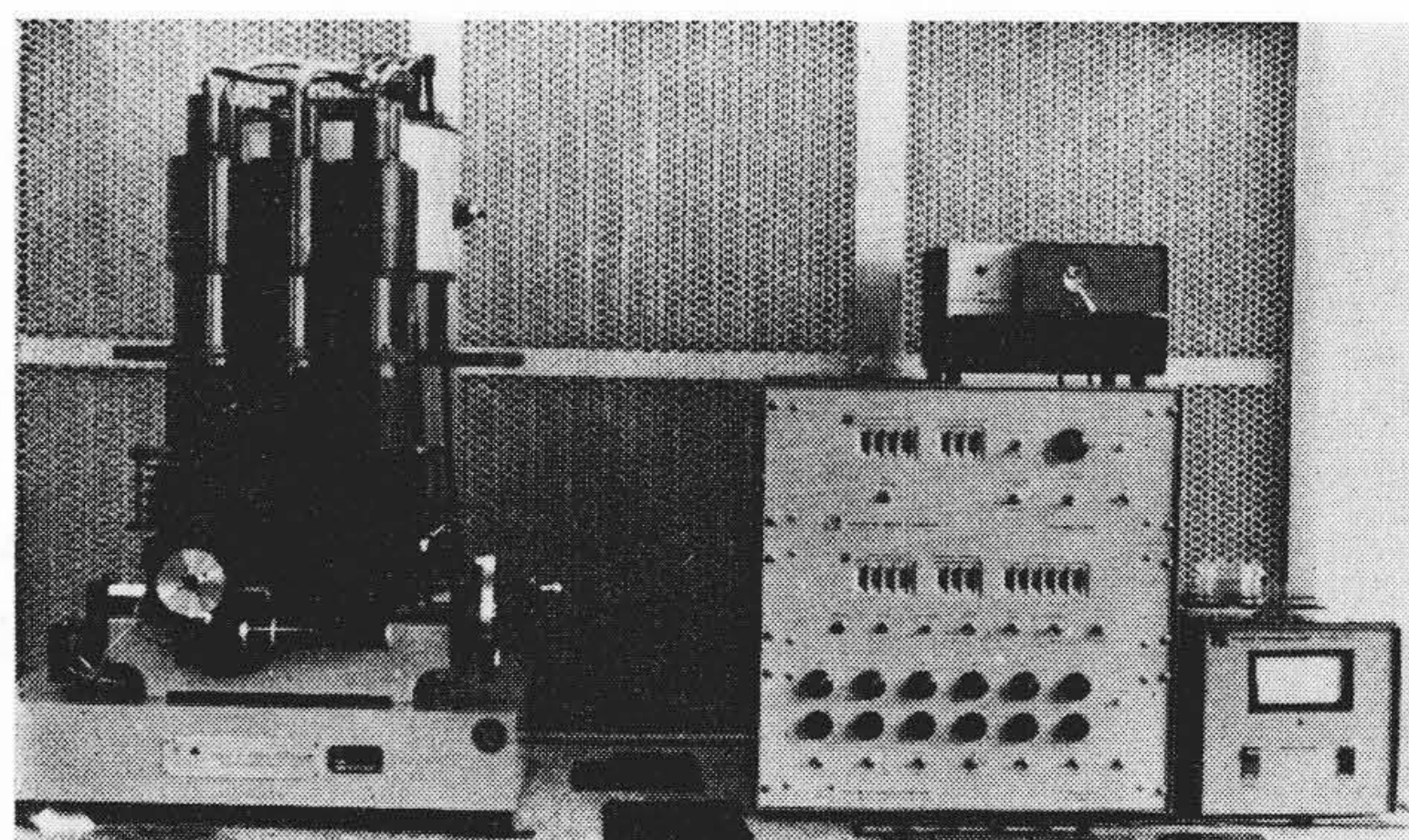
ϕ_{MS} : 金属-半導体間の仕事関数差



(A) カルコンプ



(B) 縮小カメラ



(C) 全自動ホトリビーター

図 5 LSI 用ホトマスク製造設備

- C_0 : MOS の単位面積当たりの容量
- Q_{ss} : 表面電荷密度
- ϕ_{Fn} : フェルミーポテンシャル
- k_s : 半導体の比誘電率
- ϵ_0 : 真空の誘電率
- q : 電子の電荷

(4)式より MOS として Al-SiO₂-Si 系を用いる場合には、 V_{th} を低下させる方法としては、SiO₂ 膜厚を薄くする方法および SiO₂ の表面電荷密度⁽⁴⁾を減少せしめる方法があることがわかる。SiO₂ の薄膜を薄くした場合、絶縁破壊電圧も低下するので、これには限界がある。今回の LSI の開発にあたっては、MSI に比較して、SiO₂ の膜厚を若干薄くすると同時に、清浄な酸化膜を形成することにより、 V_{th} を MSI のほぼ 1/2 に低下させることに成功した。

4. ホトマスク製造設備とマスク品質

図 4 は LSI マスクの製造工程を、図 5 は製造設備を示したものである。LSI を製作する場合、マスク製造設備で従来と大きく異なる点はアートワーク工程に Computer を導入し、いわゆる CAD 方式をとったことである。また縮小カメラ (図 5 B)、ホトリピータ (図 5 C) についても新たに大形、高精度の設備を用いた。設備の概要と効果を略記すると、

(1) 自動製図機

自動化によりミスをなくし、作業時間が大幅に短縮できた。

(2) 縮小カメラ

最大原稿サイズ、最大レティクルサイズで、レンズ解像力を考慮に入れた高精度大面積のものを使用した。

(3) ホトリピータ

X 方向、Y 方向とも送りは全自動とし、送り精度が高く、レンズ解像力も高い高性能装置を用いた。

ホトマスクとして、エマルジョンオリジナルマスク、エマルジョンワーキングマスク、クロムワーキングマスクの 3 種類のマスク (図 6) を試作した。図からわかるように像の鮮鋭度 (definition) はエマルジョンに比較してクロムのほうがすぐれている。これはエマルジョン層の厚さが 4 μ もあるのに対してクロムは 800 Å と極端に薄いためである。またエマルジョンとクロムの黒化度の比較を図 7 に示した。特に線幅の細い所でクロムの黒化度が高く、ホトレジの寸法再現に有利なマスクといえる。

5. LSI ウェハ検査について

5.1 LSI ウェハ検査の特徴

ウェハ検査工程は最終検査にも匹敵する重要な工程である。特に

集積度が高くなり、ウェハから取れる良品ペレット数が少なければ少ないほどウェハ検査でじゅうぶんな選別をしなければならない。ウェハ検査における問題は、

- (1) ウェハ上のボンディングパッドに針を立てて測定するため接触不良による誤判定の恐れがあること
- (2) ボンディングパッドは 120 ミクロン平方と小さく、傷がつきやすいこと
- (3) 検査中のふん開気、光、ごみなどに大きく影響を受けやすいこと
- (4) ウェハソータ部分から検査機までの配線が LSI の負荷容量となること

などである。そこで LSI としてのウェハ検査技術について検討してみよう。

5.2 ウェハ単位ユニットの歩どまり

ウェハ検査におけるチップの歩どまりは LSI の集積度が高くなれば低下する。歩どまりの基準になるのは点状欠陥がウェハ上にランダム分布しているとき、その分布密度と LSI の活性領域面積との関係で決まる⁽⁵⁾。いま、LSI の点状欠陥密度が D であり、活性領域面積が A であるとする歩どまり Y は、

$$Y = \int_0^{\infty} \exp(-DA) f(D) dD \dots\dots\dots (5)$$

となる。分布関数 $f(D)$ は実験的に求められるべきものであるが、Murphy⁽⁶⁾ は 3 個のモデルを考え計算している。図 8 の (i) の場合はデルタ関数で (6) 式となり歩どまりは指数関数的に低下する。(ii) の欠陥密度分布が D_0 を中心に両側で減少するような形であれば (7) 式となり A^{-2} の形で低下する。また、密度分布が一様に分布する場合は、(8) 式となり A^{-1} の形で歩どまりが低下する。

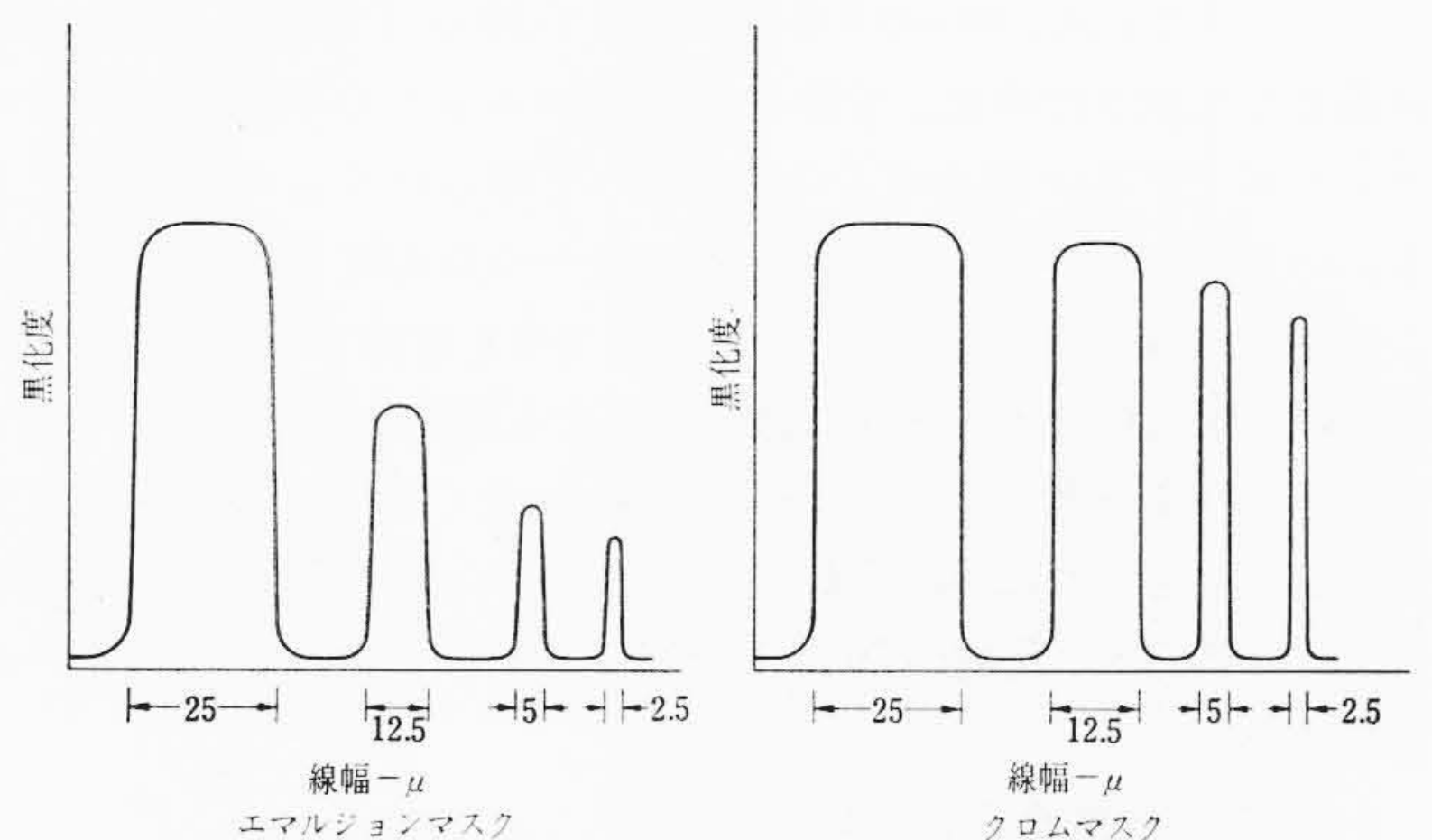
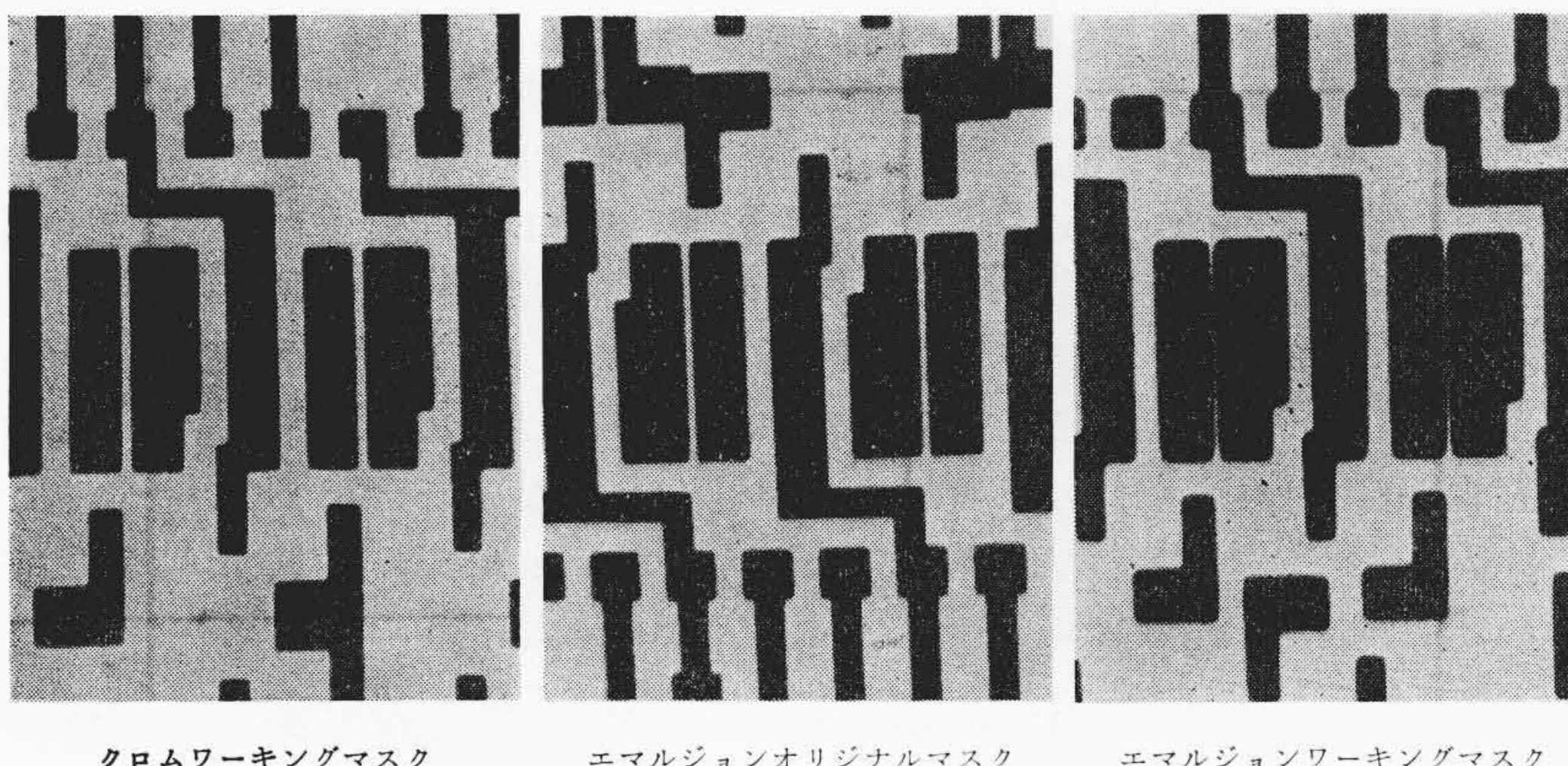


図 7 エマルジョンマスクとクロムマスクの線幅と黒化度の比較



クロムワーキングマスク エマルジョンオリジナルマスク エマルジョンワーキングマスク

図 6 ホトマスク拡大写真 (660)

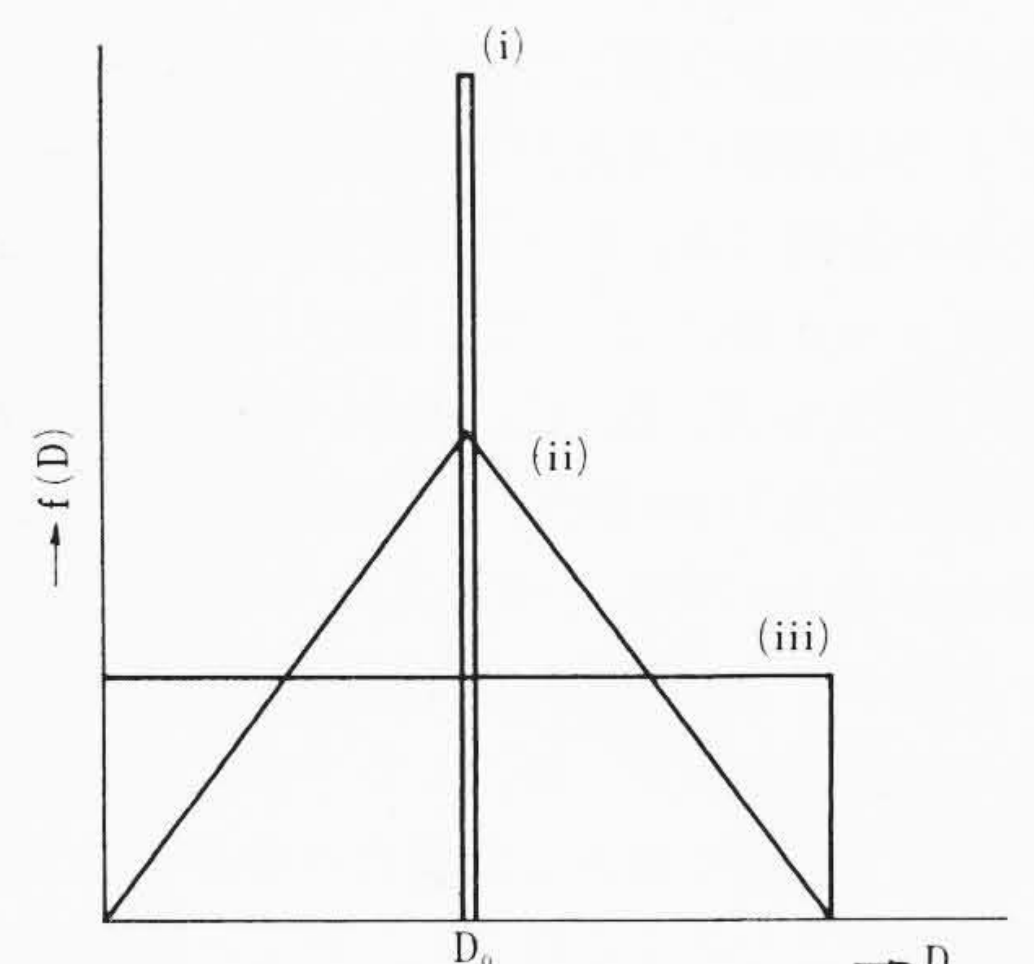


図 8 欠陥密度分布関数の模型

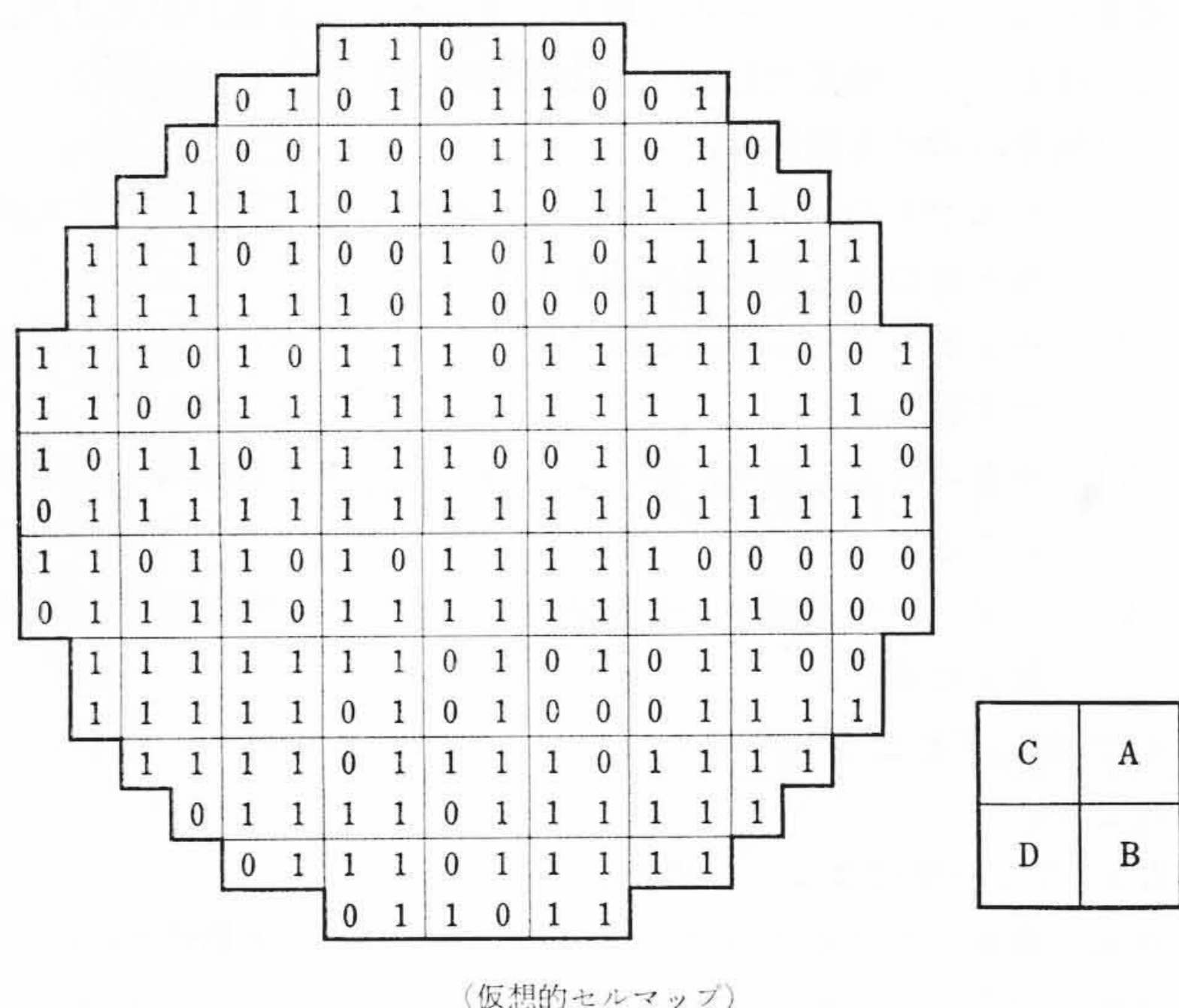


図9 ウェハ内ユニット良否分布

(i) の場合 $Y_1 = \exp(-D_0 A)$ (6)

(ii) の場合 $Y_2 = \left(\frac{1 - e^{-D_0 A}}{D_0 A} \right)^2$ (7)

(iii) の場合 $Y_3 = \frac{1 - e^{-2D_0 A}}{2D_0 A}$ (8)

Seeds の実験例では指数関数より歩どまり低下は小さく(6)式と(7)式の間であり A^{-3} に近い。そこで単位ユニットの不良が m のウェハを思考実験的に作ることを試みる。ここでは理論的考察を簡単にするため不良欠陥がポアソン分布に従う場合を考える。単位ユニットに2けたの乱数を割り付け一定の基準に従って良否を決めてゆく。すなわち、 $m=0.3$ の場合乱数が30以下を不良、30以上を良品として割り付けをしてゆけば単位ユニットの不良率が30%のウェハができる。図9はこのようにして作ったウェハの地図である。いま、このユニット4個を集めて一つのLSIを作ったとする。この場合、単位ユニットが実際のLSIで何を意味するかというと、LSIの活性領域で歩どまりに直接関係する面積を任意に等分してユニットを作ると考えるのが妥当である。全く同様にして乱数が10以下を不良とすれば $m=0.1$ となり単位ユニットの不良率が10%のウェハが得られ、乱数が50以下を不良とすれば $m=0.5$ のウェハが得られる。

5.3 ウェハ検査歩どまり

LSIのウェハ検査をする場合、集積度が高くなり、入力端子数を N フリップフロップ数を M とするとウェハ検査ステップ数は $2M+N$ となり、入力20, FF20のLSIでは $1\mu\text{s}/\text{ステップ}$ のスピードで測定しても13日を要することになる。このような検査をウェハ検査に適用することは得策でない。そこでウェハ検査と最終検査との関係を分析して最適なウェハ検査方法を考えるべきである。ここでは前章に考えたモデルを利用して統計的にどのような対応があるかを調べる。たとえば、 $m=0.3$ の場合のウェハについて単位ユニット4個によって1個のLSIになっているとすると、1個のLSIのうちA, B, C, Dのいずれかが検査されたときのペレット内検査率を $1/4=25\%$ 、2個検査した場合 $2/4=50\%$ 、3個検査した場合 $3/4=75\%$ とする。 m の変化に対するウェハ検査率とウェハ検査歩どまりの関係を示すと図10のようになる。このウェハ検査での良品を組立、封止したとき、途中工程の劣化がないとして最終検査で完全に検査した場合の歩どまりは、単位ユニットをすべて検査することにより得られ、ウェハ検査率と最終検査良品率の関係が求まる。これらの関係を示したのが図11である。この関係から

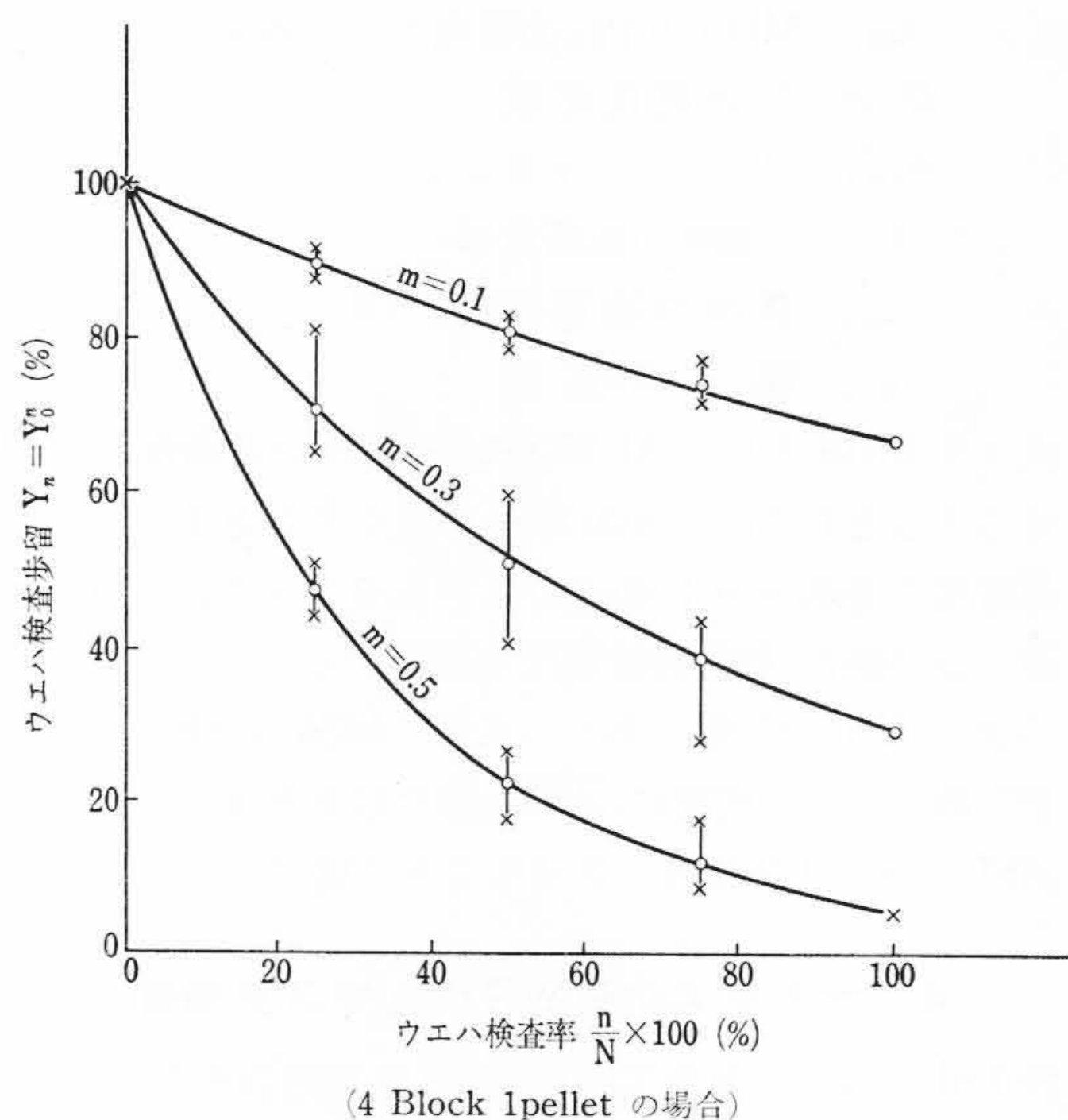


図10 ウェハ検査率とウェハ検査歩どまり

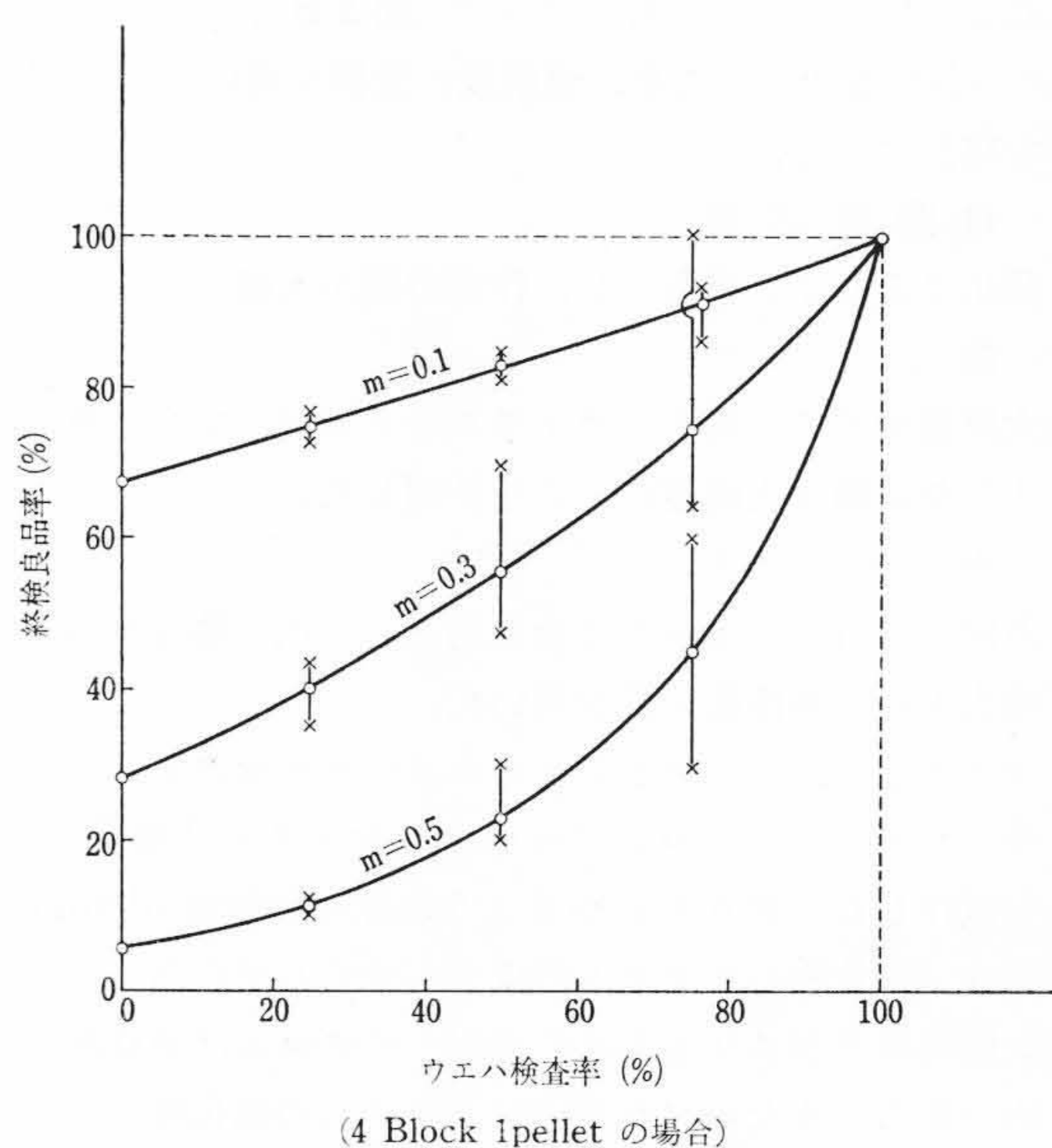


図11 ウェハ検査率と最終検査良品率

わかることは単位ユニット不良率 m の大きな ($m \geq 0.5$) ウェハはウェハ検査で75%の検査をしても最終検査で45%の歩どまりしか得られないのに対し、 $m=0.1$ のウェハでは90%の最終検査歩どまりを示している。したがって、単位ユニット歩どまりの悪いウェハは良いウェハよりも検査率を高めないと最終検査での歩どまりを同じにすることができない。これらの関係は単位ユニットを4個以上に拡張したLSIについても適用できる。不良欠陥密度がポアソン分布に従う場合、単位面積当たりの欠陥密度 D_0 はウェハにより決まり面積 A のユニットセル N 個使ったLSIの歩どまりは(9)式となる。

$$Y = \exp(-D_0 N A) \dots\dots\dots (9)$$

ここで単位ユニット A の歩どまりは、

$$Y_0 = \exp(-D_0 A) \dots\dots\dots (10)$$

であるから、単位ユニット N 個からなるLSIのうちウェハ検査で n 個、すなわち $\frac{n}{N} \times 100(\%)$ のユニットについて検査されたとすればこのときのウェハ検査歩どまりは、

$$Y_n = \exp\{(-D_0 A)k\} = Y_0^n \left(\frac{n}{N} \times 100\% \text{ 測定} \right) \dots\dots\dots (11)$$

となる。 N 個のユニットを完全に100%測定した場合は、

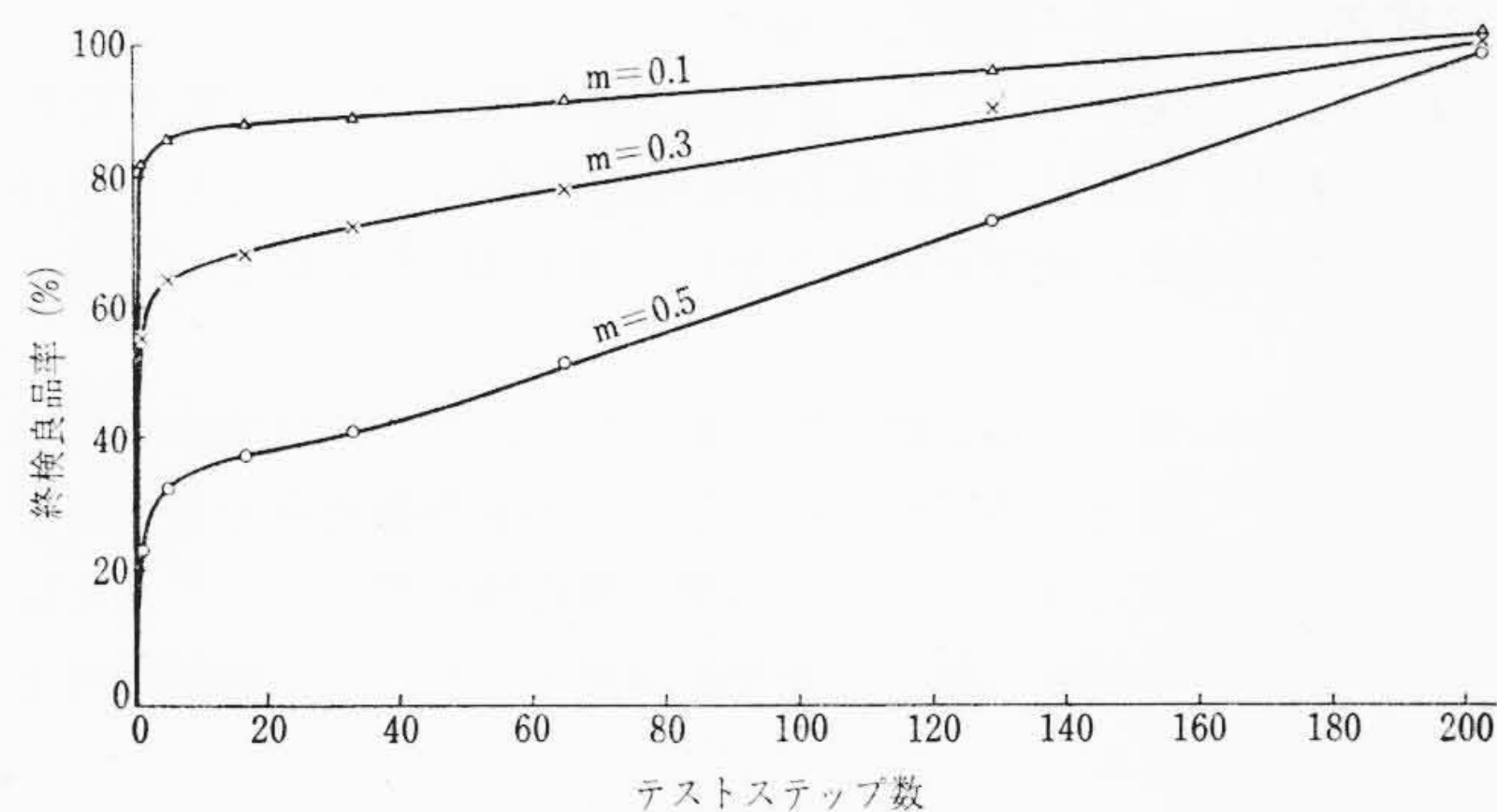
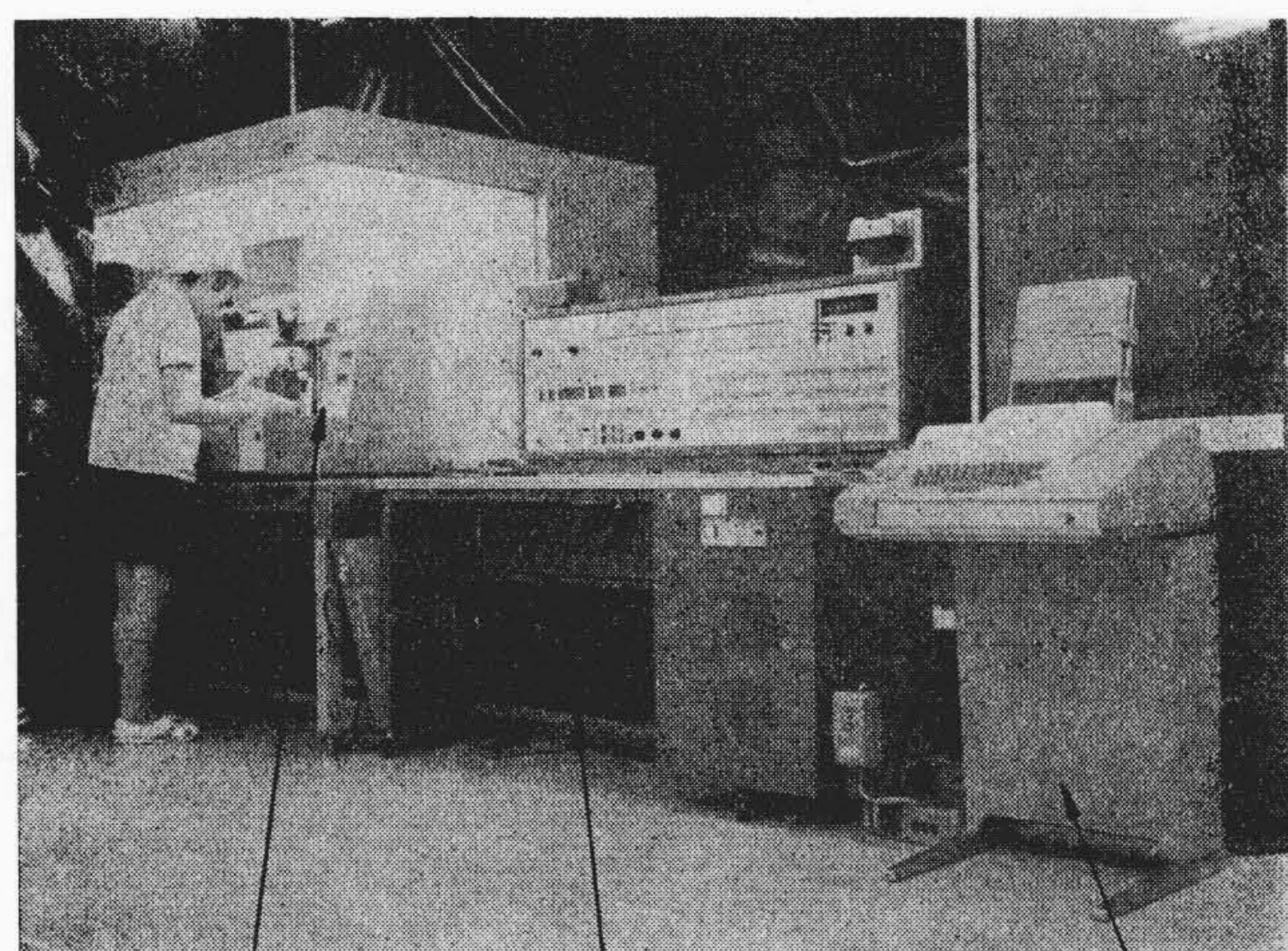


図 12 テストステップ数と最終良品率 (計算)

多ピンプローバ
max 46ピン

LSI テスタ

テスト入出力装置
(テストプログラムテープ作成用)

図 13 ウェハ検査装置

$$Y_N = \exp(-D_0 A) N = Y_0^N \dots\dots\dots (12)$$
 となる。 $N=4$ の場合についてウェハ検査率 $\frac{n}{N} \times 100$ ($n=0, 1, 2, 3, 4$) (%) と検査歩どまりの回路 m をパラメータとして求めた例は図 11 に示すとおりである。ところでウェハ検査率 $\frac{n}{N} \times 100$ (%) で検査した良品ペレットを組立封止したときの最終検査歩どまりは

$$Y_{NE} = Y_0^{N-n} \dots\dots\dots (13)$$
 となる。 $N=4$ の場合についてウェハ検査率と最終検査良品率との関係を示したのが図 11 である。以上の解析でウェハ検査率は、LSI を構成している全ユニット中何パーセントの活性領域がテストされるかで定義された。また、テストステップの数とウェハ検査率との関係を調べて (13) 式により最終検査歩どまりを計算したものが図 12 である。

5.4 装 置

ウェハ検査のための装置外観は図 13 に示すとおりである。図 14 は、実際の LSI ウェハ上のペレットに 42 本の針を立ててテストしている写真である。

6. 試 作 結 果

以上述べたように、LSI 製造技術の確立によって、電子式卓上計算機用に特別に設計された MOS LSI 8 品種の開発を行なった。このシステムは ROM (Read Only Memory) を中心にした広い用途に適した設計となっており、上記 8 品種によって 12~16 けたの高級機種シリーズをすべてカバーすることができる。これまでに簡易機能を有する電子式卓上計算機用 LSI は二、三アメリカのメーカーに

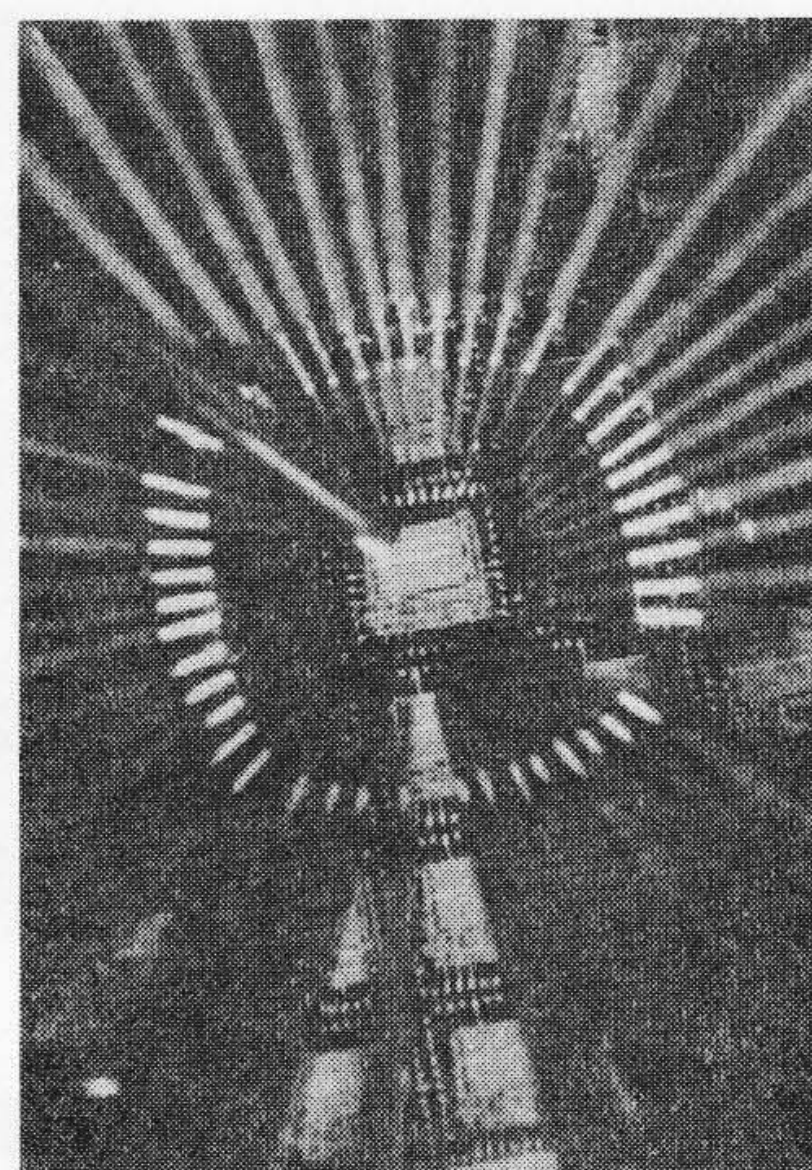


図 14 多ピンプローバの実測例

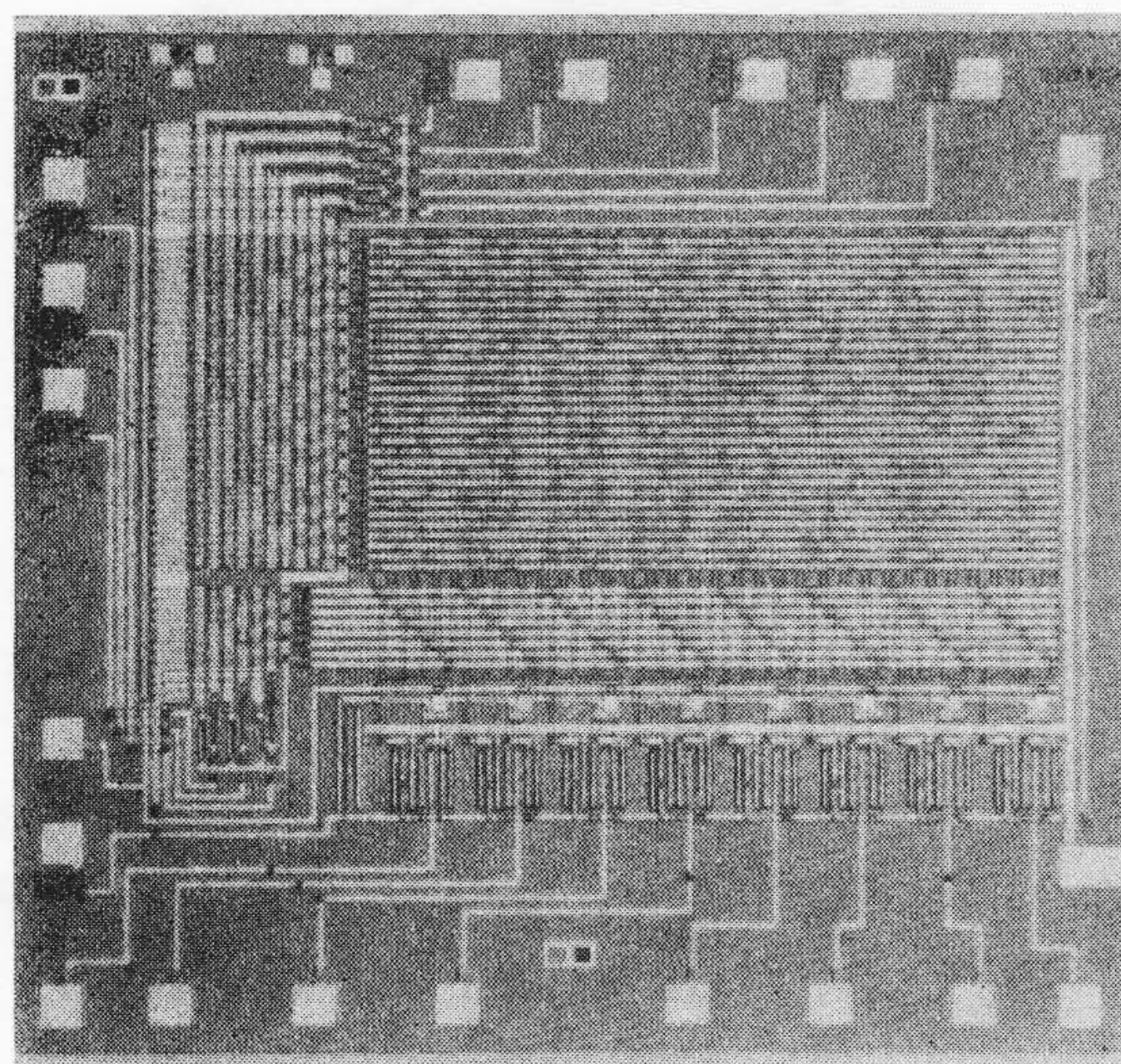


図 15 HD 3204 ペレット

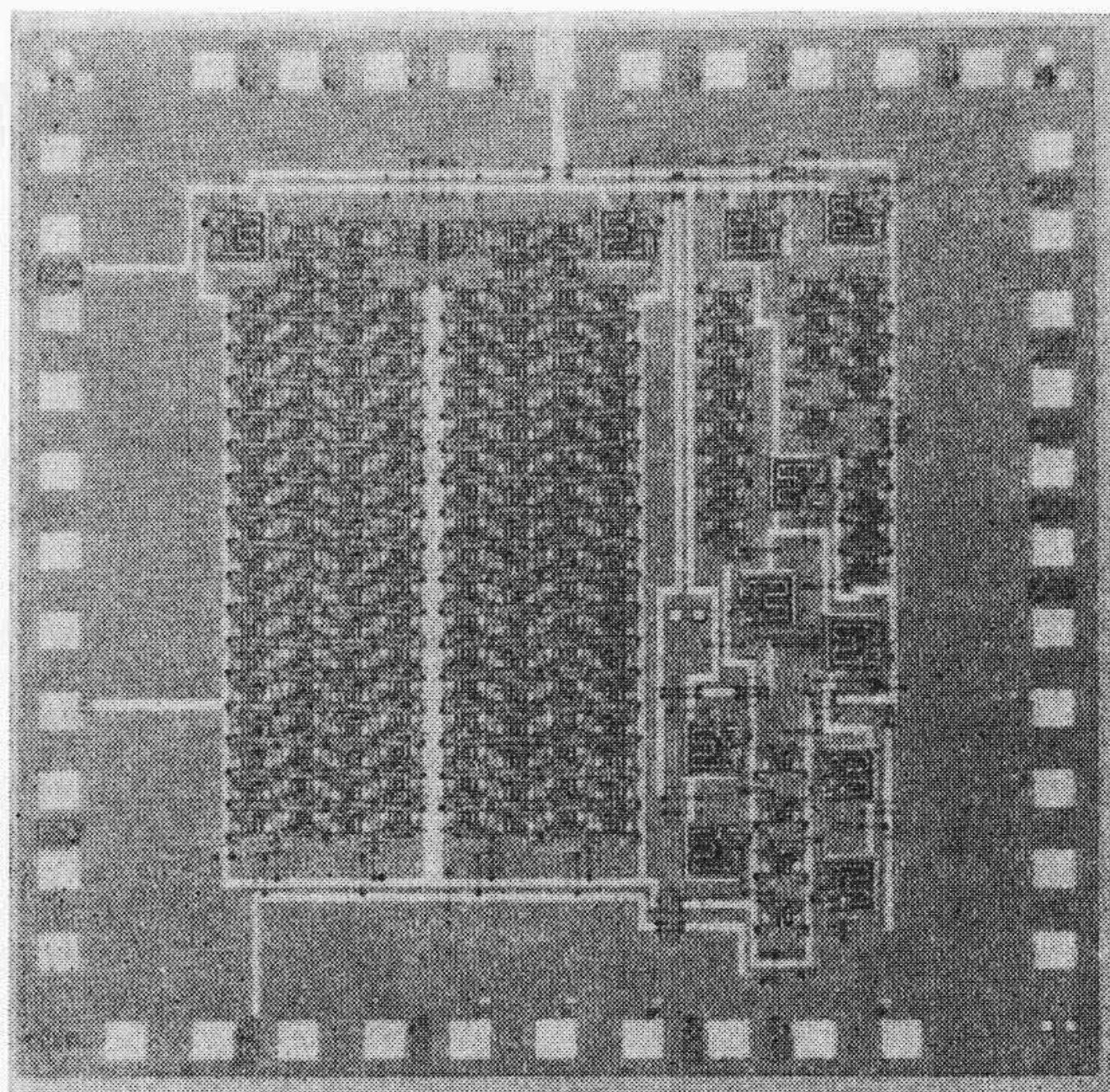


図 16 HD 3206 ペレット

よって開発されているが、高級機の LSI 化は世界に先がける成果である。

図 15 と図 16 は代表的な 2 品種のペレットの外観写真であり、図 17 と図 18 はそれぞれ組立後および封止後の外観写真である。

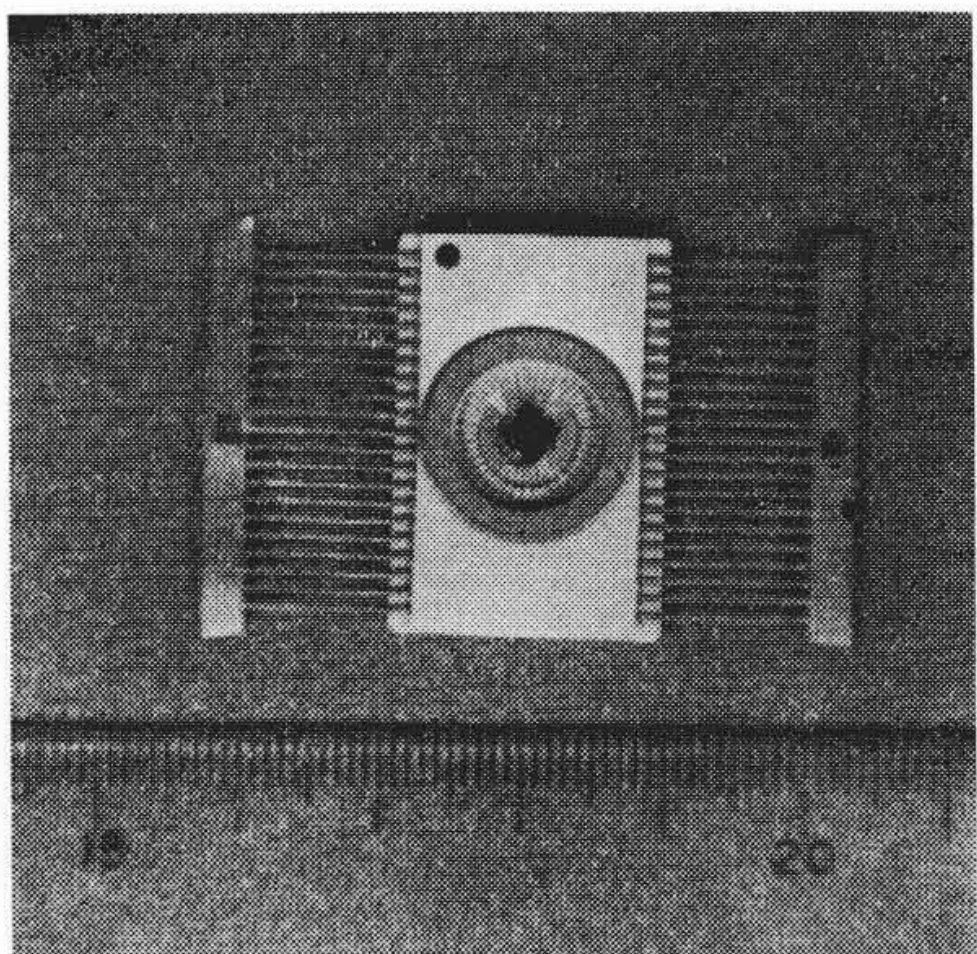


図 17 MOS LSI 組立後外観

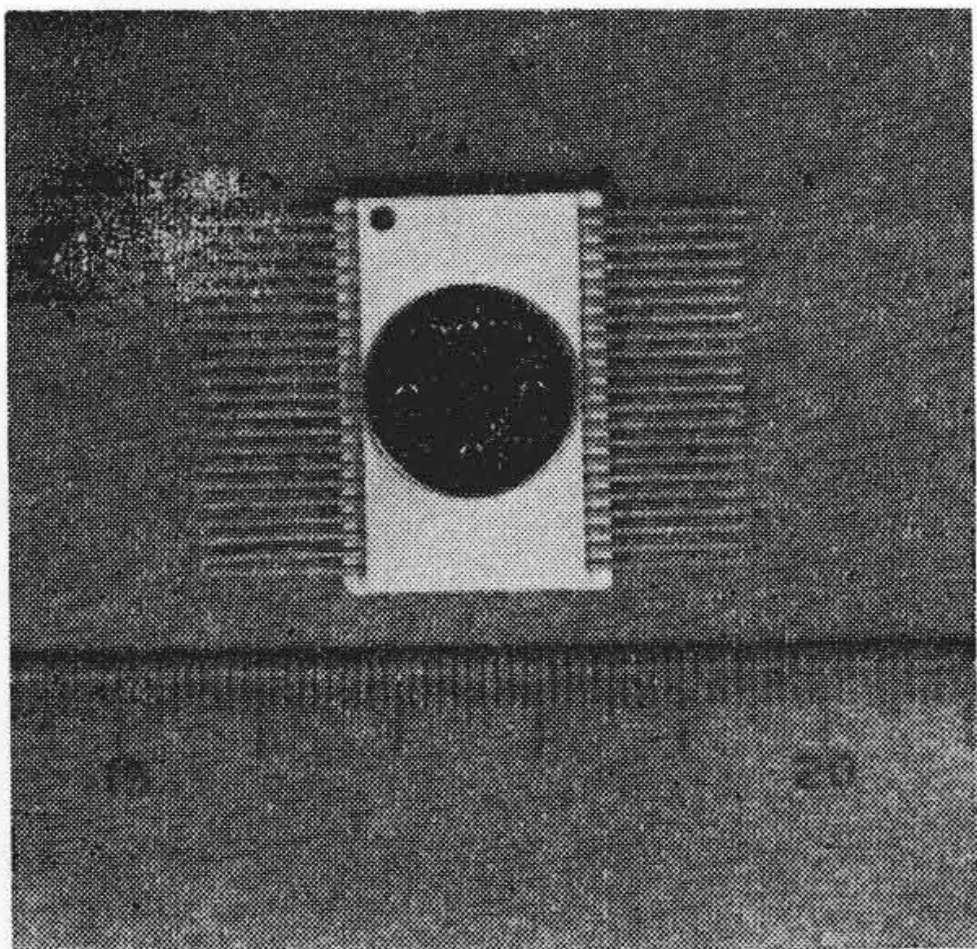


図 18 MOS LSI 完成品

7. 結 言

MOS LSI の開発のために要求される新しい製造技術上の諸問題について検討し、要求を満足する LSI 製造技術を開発した。製造技

術の確立において特に意図した点は、

- (i) しきい電圧の低下。従来の MOS IC のしきい電圧の約 1/2 を実現し、消費電力の低減を可能にした。また、動作電源電圧の低下が可能となり、寄生 MOS の防止を容易にした。
- (ii) 新しい寄生 MOS 防止法を導入した。N 形不純物拡散技術によって寄生 MOS を防止し、しかも集積密度を上げることが可能となった。この結果、酸化膜を厚くすることなしに寄生 MOS の防止の効果が可能となり、加工精度の向上に寄与した。
- (iii) パターンの微細化により集積密度を向上した。マスクパターンの精度向上、高性能マスクアライナーの導入により集積密度を格段に向上させることができた。
- (iv) 多ピンプローブおよびファンクションテスタの導入によりウェハテスト技術を確立した。

このような製造技術の確立により高級機能を有する電子式卓上計算機用 MOS LSI 8 品種の開発に成功した。

最後に終始ご指導ご鞭撻をいただいた日立製作所亀戸工場石垣副工場長、半導体事業部伴野事業部長に謝意を表わす次第である。

参 考 文 献

- (1) R. L. Petritz: Trans. Metall. Soc. AIME 236, 235 (1966-3)
- (2) C. E. Morvin, et al.: Electronics p. 157 (1967-2-20)
- (3) A. S. Grove: Physics and Technology of Semiconductor Devices, John Wiley and Sons, Inc., Chap. 11. (1967)
- (4) B. E. Deal, et al.: J. Electrochemical Soc., vol. 114. (March 1965)
- (5) 牧本ほか: 電気通信学会全国大会 (昭 38)
- (6) B. T. Murphy: Proc. IEEE, 52, 12 (Dec. 1964)



特 許 の 紹 介



特許第515175号 (特公昭42-23210号)

小 杉 哲 夫

半 導 体 素 子 の 製 造 法

この発明は半導体板表面に合金接着した金を主体とする溶剤 (Au, Au-Sb 合金など) の表面を、溶剤中の金は溶解しないで半導体のみを溶解する混酸で処理した後、溶剤面に電極端子をハンダ付けすることにより次のような効果を奏する半導体素子の製造法を提供するものである。

この発明によれば、溶剤面に共晶を作って存在する半導体が混酸で除去されるのでハンダのぬれが良くなり、従来のロウ付けに代わって電極端子を溶剤面へハンダ付けに強固に接着することができる。また電極端子と溶剤面とをハンダ付けにより接着することができるので、ロウ付けに比較して素子へ与える熱的影響が小さくなり、素子の電気的特性の劣化を防止することができる。

(諸角)

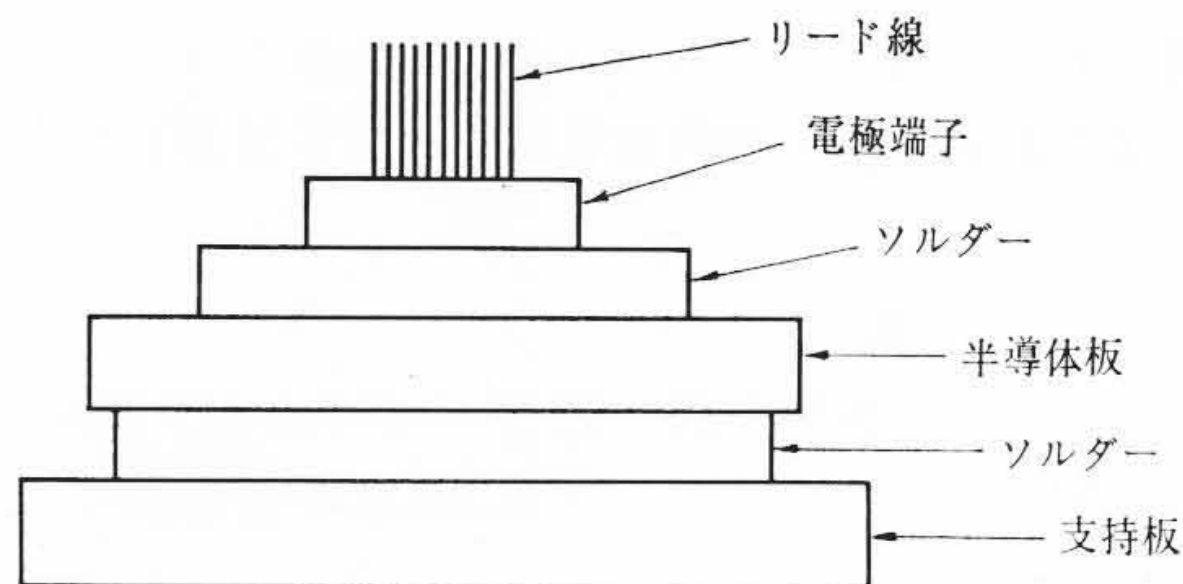


図 1