

MOS LSI の 試 験 法

Testing Technique for MOS LSI's

小林 貞 男*
Sadao Kobayashi初鹿野 凱 一*
Yoshikazu Hatsukano野 宮 紘 靖*
Kôsei Nomiya

要 旨

LSIの機能および特性試験には高度の自動テストが必要であるが、MOS LSIの信号振幅が10~30Vと大きくダイナミックメモリを利用しており、方式も2相、3相、4相クロックなど多種にわたるため、これまで市販されているテストには適当なものがなかった。

今回電子式卓上計算機用 MOS LSIの開発に並行して測定可能 LSI ピン数 48, 10k~50k test/s の高速度の論理機能試験および論理レベルの go, no go 判定を行なう自動試験機を開発したのでここに報告する。

1. LSI テストプログラムの作成

集積度が増大し複雑なサブシステムレベルを構成した LSI になると、単純なゲート類と異なり、オンレベル、オフレベルといったパラメータ試験だけではなく、その LSI が所定の論理的な機能を満足しているかどうかを確認する必要がある。

現在の入力のみで出力の状態が一義的に決定する組合せ回路 (Combinatorial circuit) に関しては、 2^n の入力 (n は入力の数) のすべての組合せに対して試験をしなくとも、起こりうる不良モードを仮定できれば、テストステップ数を大幅に減らしうるアルゴリズムが開発されている。

しかし、今回開発した電子式卓上計算機 (以下電卓と略す) 用 MOS LSI HD3200 シリーズは、比較的簡単にテストパターンを決定できる ROM (HD3204) および Shift Register (HD3206) を除いて、きわめて複雑な順序回路 (sequential circuit) からなっている。このような順序回路は、組合せ回路と違って出力の状態が現在の入力の状態のみではなく、過去にどのような入力があったという順序ではいつてきたかという過去の履歴に依存するため、仮定された不良を検出するには、その不良を検出できるような状態になるまで一連の入力パターンをはじめにあたえてやらねばならない。このような順序回路における不良を効率よく検出できるテストパターンを自動的に発生させることは困難であるが、ここでは各ゲートの入力および出力における“0”レベルおよび“1”レベルへの固定を仮定してプログラムを作成した。

図1は代表的な品種について故障検出率とテストステップ数の関係を示したものである。これによれば、たとえば HD3207 についてテストステップ数が50を越ええると故障検出率が急激に飽和することがわかる。故障検出率が85%と低いのは次の理由による。

このシリーズで採用しているフリップフロップは図2に示すような二相クロックで、ゲート容量Cに蓄積された情報を所定の周期で書きなおす準スタティック方式であるが、これを図3に示すようなマスタースレイブ方式のスタティックフリップフロップに変換したために生じたものである。

すなわち、図3に示すA点が回路的に“0”レベルに固定された場合、この故障を検出するにはD入力を“1”レベルにして故障のない場合の出力と比較する必要がある。ところがD点が“1”レベルとなったときには、G3、G4で構成するマスターフリップフロップの出力は定まらず、したがって、スレイブフリップフロップの出力Q、 $\bar{Q}$ も当然不定となりこの故障は検出できない。しかも、図2に示すMOSのD形フリップでは、このような故障は実際には起こり得ない。これらを除いて、あらためて故障率を算定すると97.2%となる。

* 日立製作所半導体事業部 応用回路部

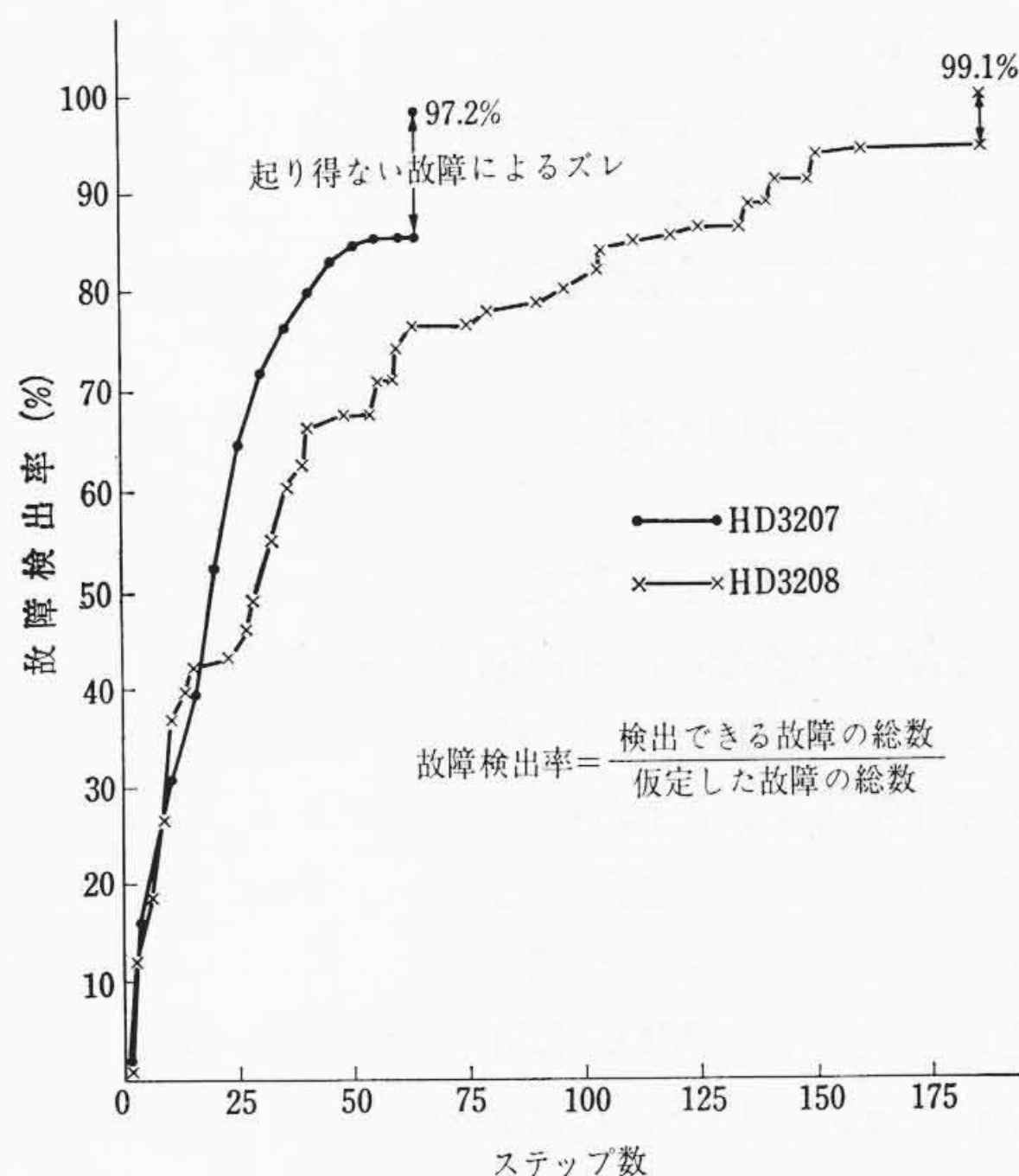


図1 テストステップ数対故障検出率

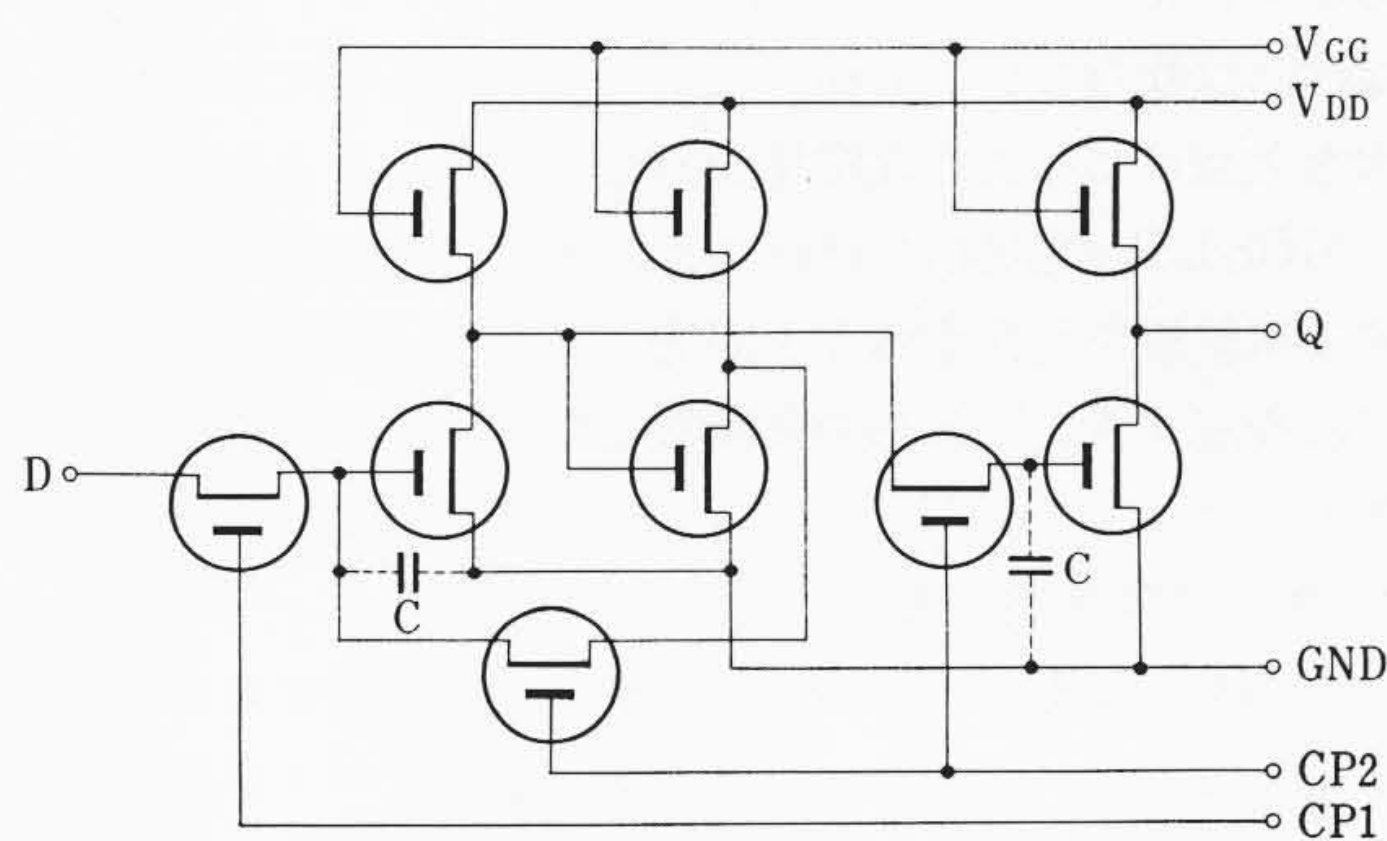


図2 MOSゲートで構成したD形フリップフロップ回路例

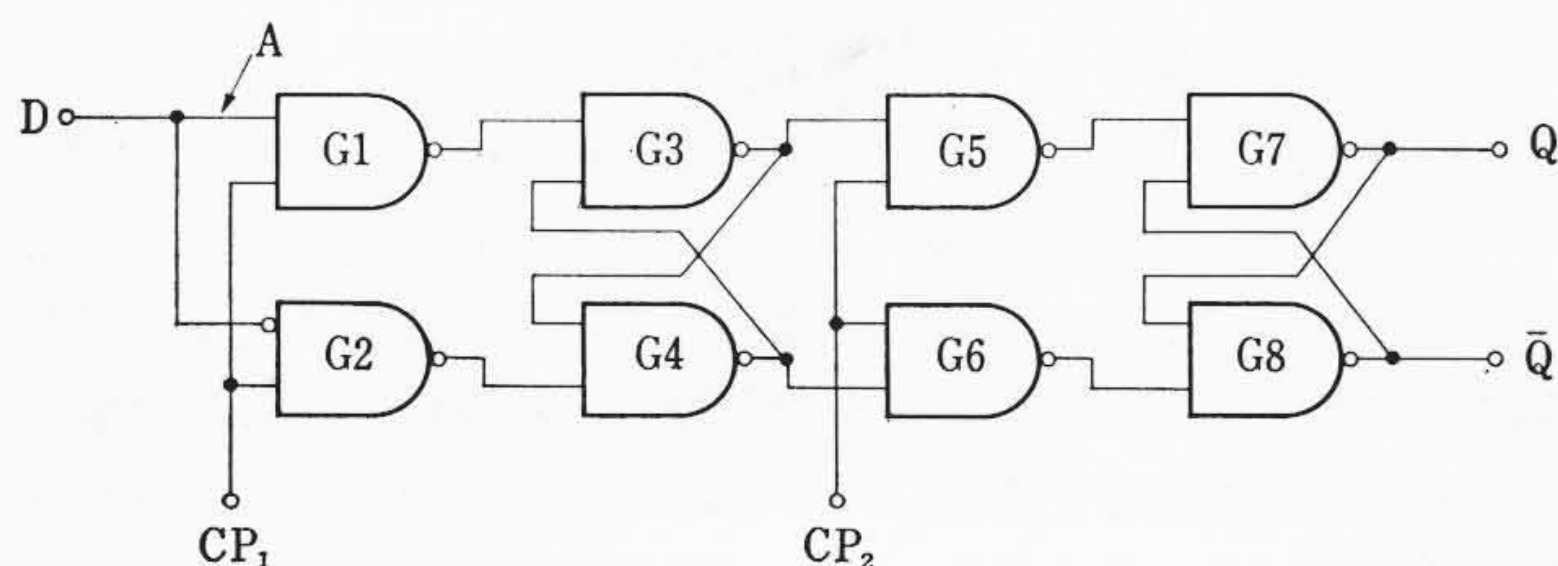


図3 通常のゲートで構成したD形フリップフロップ回路例

また、HD3207とHD3208はゲート数がそれぞれ225 gates, 216 gatesとほぼ同じ集積度であるにもかかわらず、同一ステップ数に対する故障検出率にかなり大きな差があるのは、HD3207は、加減

算回路とタイミングパルス発生回路という比較的信号の流れが単純でテストパターンの作成がやりやすい回路であり、HD3208は数字keyの読み込み、演算制御その他と各種機能が混在しているため思考がむずかしい回路であるためである。

いずれにしても、故障検出率を100%とするプログラムを作成することはむずかしいため、後述するような実装試験法を併用することにした。

2. MOS LSIの試験

2.1 MOS LSIの特性

MOS LSIに限らずLSIの試験にあたっては、すでに述べたように、どのようにテストパターンを発生させるかという大きな問題のほかに、入出力、クロック、電源などの余裕を含めてその試験を実行すべき試験機についても現段階では容易に入手できないのが実状である。特にMOS LSIについては、LSIの多入力、多出力、高機能のほかに次に示すような特性上の問題があり、試験機に対する要求特性をきびしくしている。

- (1) クロック入力が高振幅であり、しかも高速の立上り時間を必要とする。
- (2) クロックは多相が要求されしかも回路方式により位相関係が異なる。
- (3) 回路がダイナミック方式であることが多く直流的に入出力の評価ができない。また回路の応答範囲を試験するためにはテスト周波数は可変でなければならない。
- (4) 回路は高入力、高出力インピーダンス、高振幅であるために測定系に雑音を誘導しやすい。また、負荷容量によるテストスピードの減少が著しい。

以上の問題は、主としてMOS LSIの回路特性に起因するものである。特に最近では、高速、低消費電力の面から(2)項のクロック信号の多相化に進んでおりその例を図4に示す。したがって、クロック入力としては、振幅(V_{IL})、オフセット(V_{IH})のほかに、データ入力に対する位相(ϕ_d)、パルス幅(ϕ_w)などがプログラムにより変更できなければならない。しかしながら、現在入手できるテストで最も重大な欠点はこのような機能を有していないことである。したがって、MOS LSIの試験においては、まずこのようなクロック信号を有する試験機を製作することが先決である。試験機の試作結果については後述するがこれらの試験機を用いての試験方法は次のとおりである。

2.2 MOS LSI試験方法

電卓用MOS LSIのテストフローチャートは図5に示すとおりである。通常は、ファンクションテストと論理レベルが同時に実行されるべきであるが、ここでおのおのを分離しているのは試作された試験機のコンパレータが出力High, Lowの一組しかないためである。また、LSIの場合には、回路機能が複雑であるために、論理機能を果たすうえで必要な入出力端子以外にテスト端子と称し、単にテスト系列を簡単化するだけの目的で付加する端子が多く、HD3200シリーズでもこの手法を採り入れている。これらの端子は原則として論理レベルを保証する必要がない。このような端子を有する場合には、テスト端子の論理レベルを無視して論理機能のみの試験と、テスト端子を無視して論理レベルのみの試験を行なうこととを分離する必要がある。最近発表されているような試験機では、出力コンパレータとしてHigh, Lowの二組を有するものもあり、その場合には論理機能とレベル試験を同時に行なうことができる。

直流試験は、端子耐圧、リーク電流などの試験を目的としている。

実装試験は、ファンクション試験における論理機能試験の不じゅうぶんさを補うことと、システム全体としての周波数および電源余

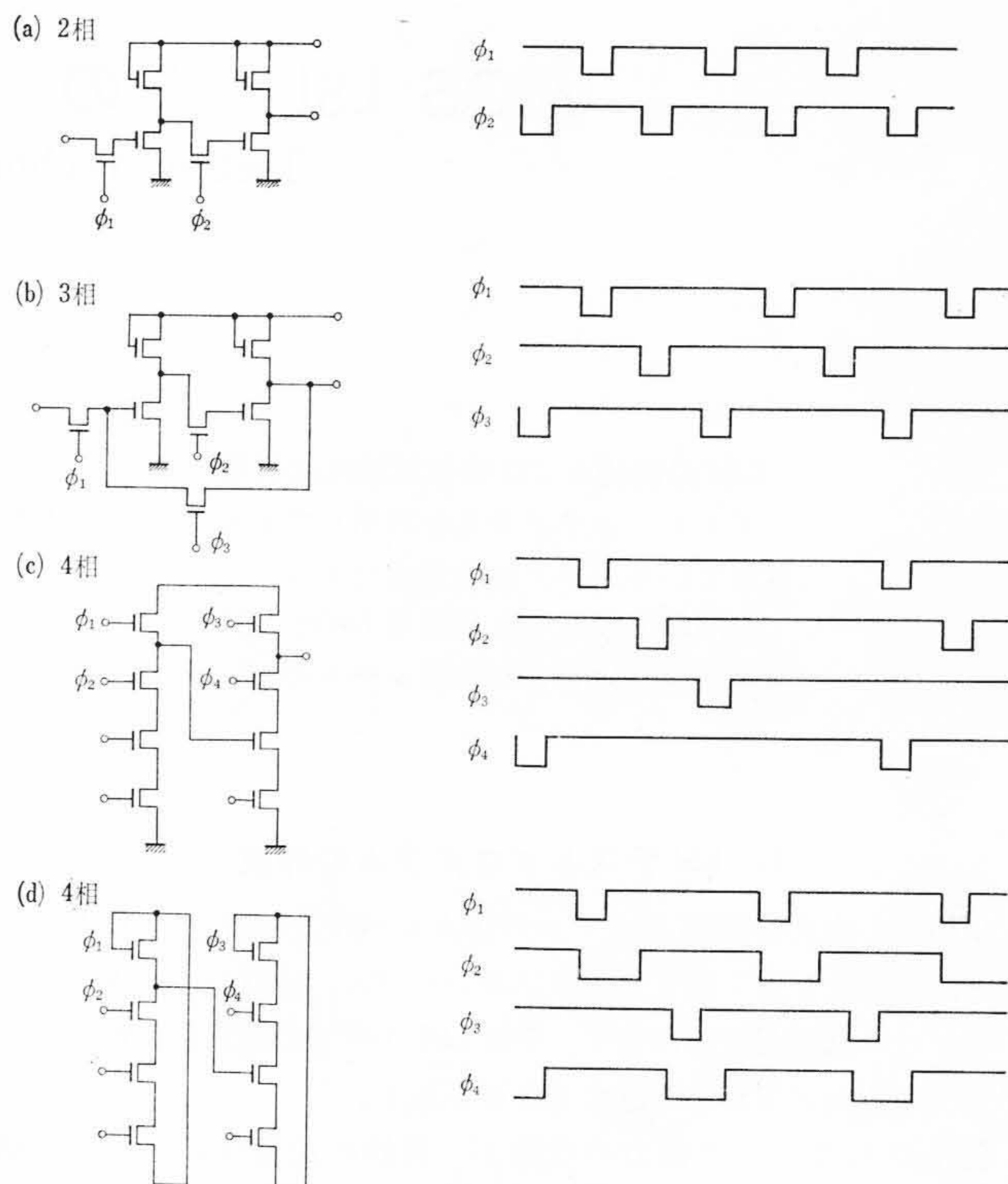


図4 回路方式とクロックパルス

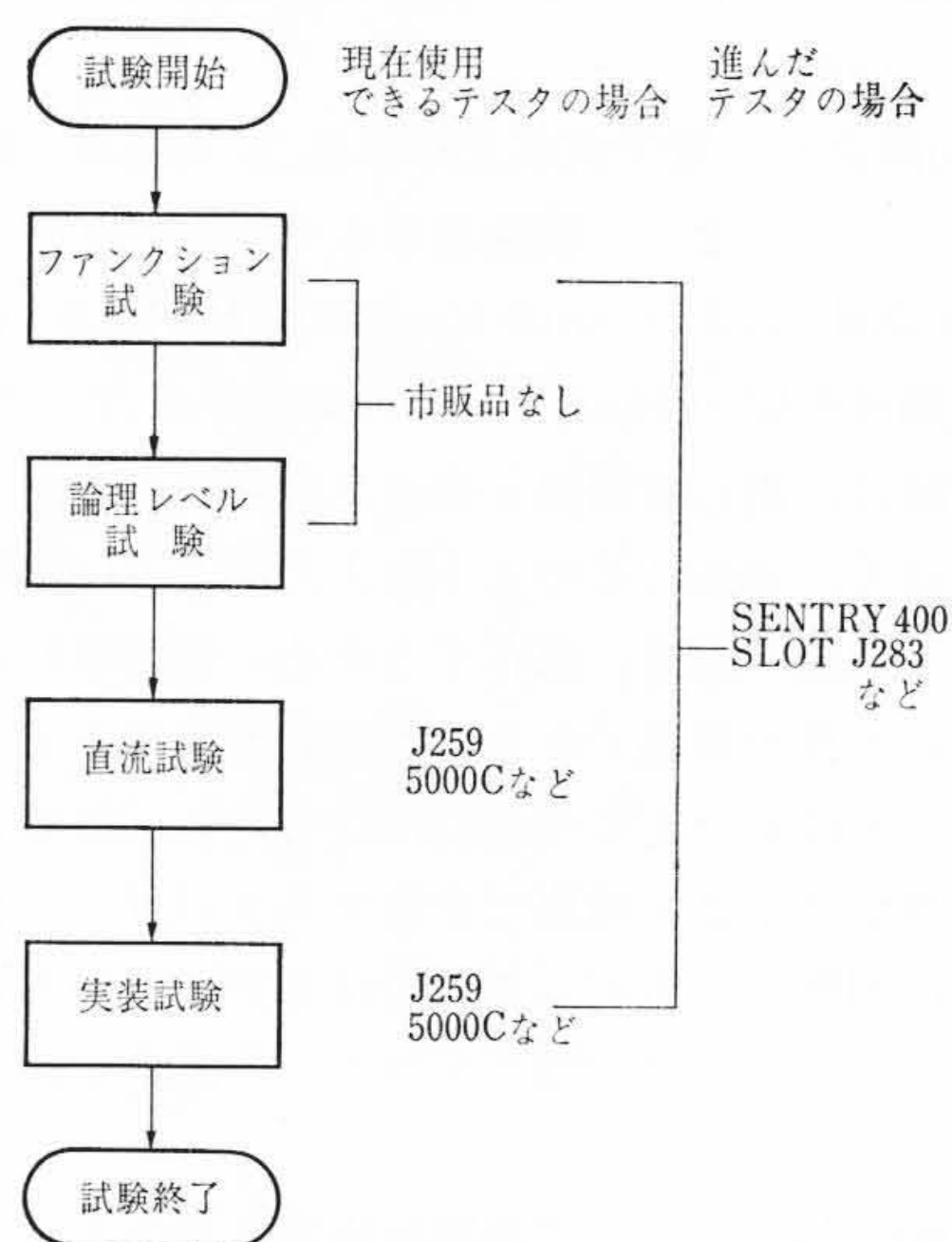
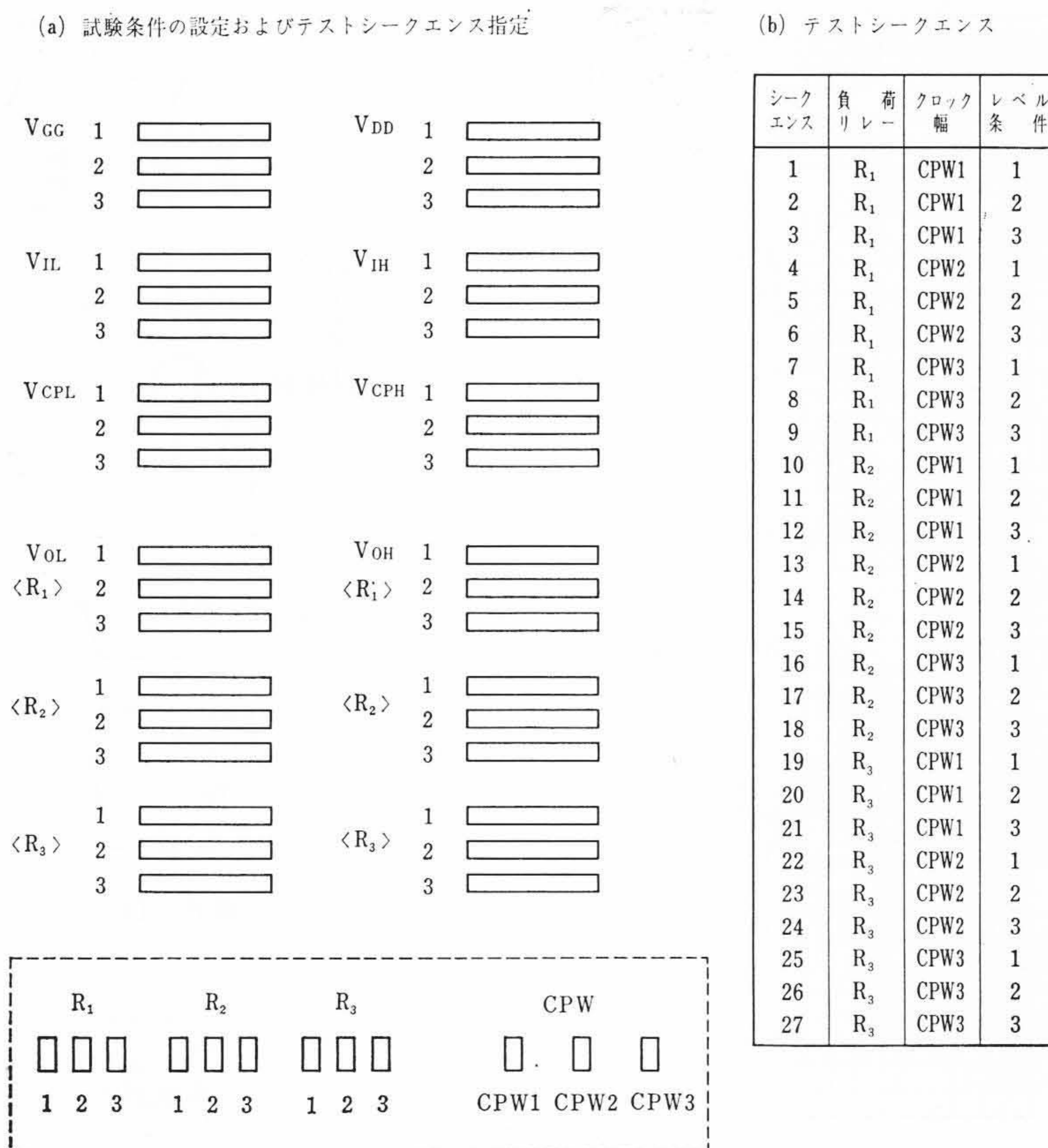


図5 MOS LSIテストフローチャート

裕度を試験しようとするものである。しかし、実装試験については、システムが大きくなり過ぎると試験不可能となること、および顧客ごとに異なる実装試験機を製作しなければならない煩雑さもあるが、電卓のように限定された小規模のシステムでは、簡便で有効な試験となりうる。図5に示したフローチャートは、現に使用できる試験機を基本にして記述してあるが、より進んだ試験機では1台でほとんどすべての試験ができるようになるはずである。したがって現時点では、目的に合致したLSIテストの自社開発が種々行なわれている。ここでは、特にMOS LSIテストシステムの一部として開発した試験機について述べる。

2.3 試作したファンクションテスト

ファンクションテストは、高度に集積されたLSIが、期待された論理機能を実現しているか否かの試験を行なうものであり、LSIの試験においては最も重要な項目である。原則的には、回路に起こりうるすべての故障を検出しようとするものであり、テスト入力とし



ル (V_{IH} , V_{IL}), クロックレベル (V_{CPH} , V_{CPL}) の設定は, ピンボードによりデジタル的に設定される。この回路の特性は,

立上り時間 $0.2 \mu s$ 以下
 設定精度 $\pm 100 mV$ (最大振幅 $-30 V$)
 オーバシュート $20 mV$ 以下

である。

(4) テストヘッド

被測定 LSI のピンに供給する情報を決定する。各ピンには図 9 に示すテストヘッドが接続されており, 各ピンは入力, クロック, 電源, GND, 出口端子のいずれにもなりうる。この指定は, IBM カードにより行なわれ, column は被測定 LSI の端子番号, Row はピン情報に対応する。したがって異なる LSI に対しておのおの 1 枚のピン情報カードを用意すればよい。コンパレータに対しては, $1 M\Omega$ の直列抵抗を介して接続されており入力インピーダンスは $1 M\Omega$ である。コンパレータの特性は

入力インピーダンス $1 M\Omega$
 精度 $10 mV$
 スルーレイト (slew rate) $1 \mu s/V$

である。また, 各出力端子には 1 個のコンパレータしか有しておらず, 論理レベルは High, Low 2 回に分けて比較判定されている。論理レベル試験における出力端子への電流 Forcing は不可能であるがその代わりをするものとしてパフォーマンスボードがある。各端子には, 3 個の負荷接続リレーがあり, 3 種類の負荷抵抗の接続が可能である。

(5) 試験条件の設定およびテストシーケンス

ここでは, 電源 (V_{GG} , V_{DD}), 入力レベル (V_{IH} , V_{IL}), クロックレベル (V_{CPH} , V_{CPL}), クロック位相 (ϕ_D), 幅 (ϕ_W) の入力条件および出力判定レベル (V_{OH} , V_{OL}) を設定するものである。これらのパラメータはすべて三値設定が可能である。設定ピンボードを

示したのが図 10 である。レベルはすべて 10 進 4 けたのピンによりデジタル的に設定されるがクロックの位相およびパルス幅だけは可変抵抗器によってアナログ的にあらかじめ設定しておかなければならない。

テストシーケンスは点線で囲まれた部分のトグルスイッチで指定される。指定は, 負荷抵抗リレー, クロックパルス幅, レベルの 3 個のパラメータの組合せから成りすべての組合せが指定された場合には, 同図 (b) に示すシーケンスでテストが実行される。ここで指定されないテストは実行されない。レベル条件は条件 1 について (V_{GG1} , V_{DD1} , V_{IH1} , V_{IL1} , V_{CPH1} , V_{CPL1}) と選択され, 条件 2 および 3 についても同様である。出力判定レベルは, 電源, 入力条件により異なるが, これが同じ条件であっても負荷抵抗を付加するか否かで全く異なってくる。たとえば, 負荷 MOS を内蔵する出力端子の出力開放および負荷抵抗 (R_L) 接続時のオフレベル (V_{OL}) は

$$V_{OL} = V_{GG} - V_{TH} \text{ (出力開放)}$$

$$V_{OL} = V_L \text{ (負荷抵抗を } V_L \text{ に接続)}$$

であって判定レベルは負荷抵抗によって変更する必要がある。この理由から出力判定レベルは, 負荷抵抗によって分けられる。

(6) 表示およびテストモード

テスト結果の表示は

テストステップ, メモリアドレス, 不良ピン,
 不良内容 (High か Low か), ピン情報,
 GO/NO GO, 不良となったテスト条件

などである。テストモードは

自動, 不良停止, くり返し, データログ,
 シングルステップ

が選択できる。

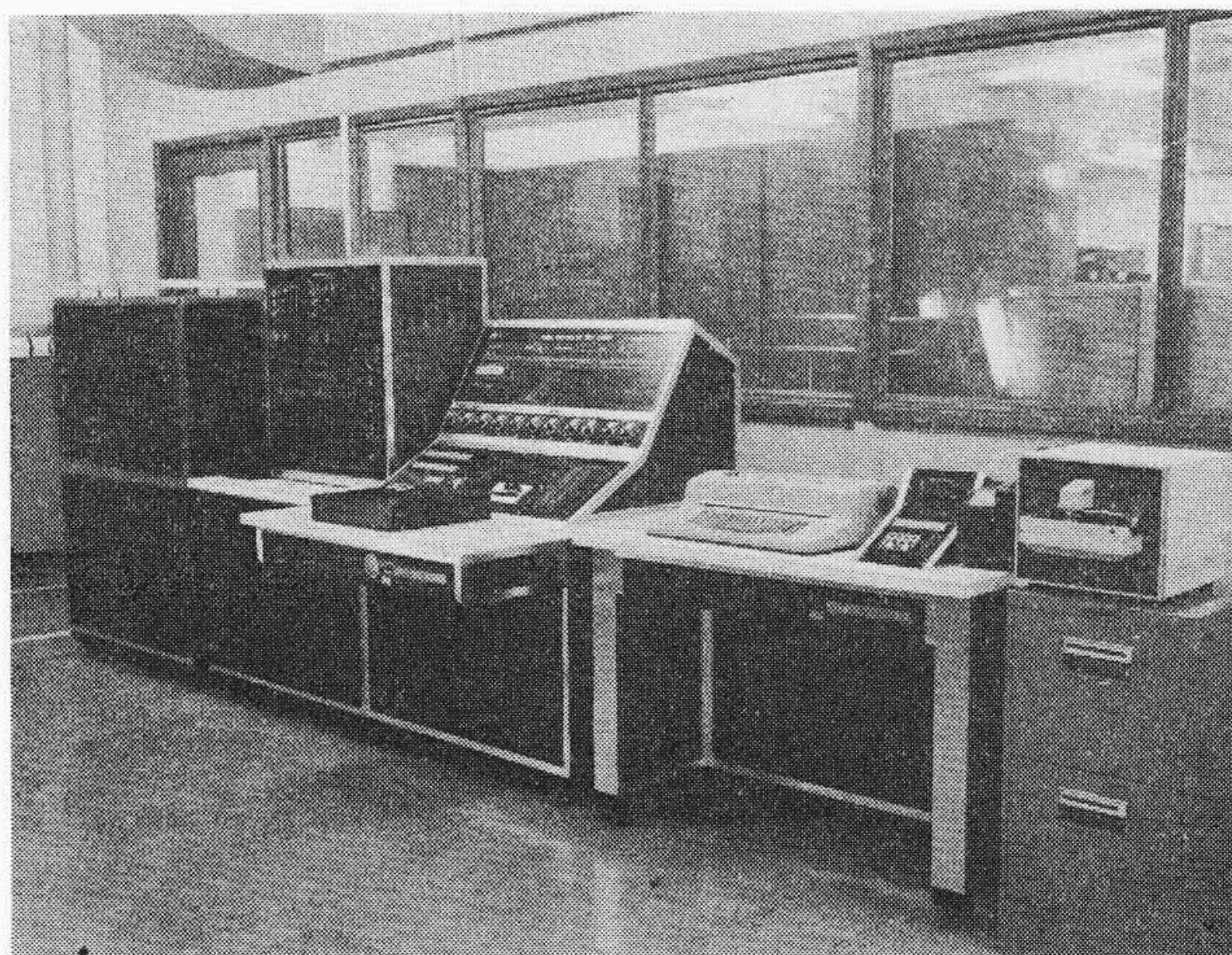
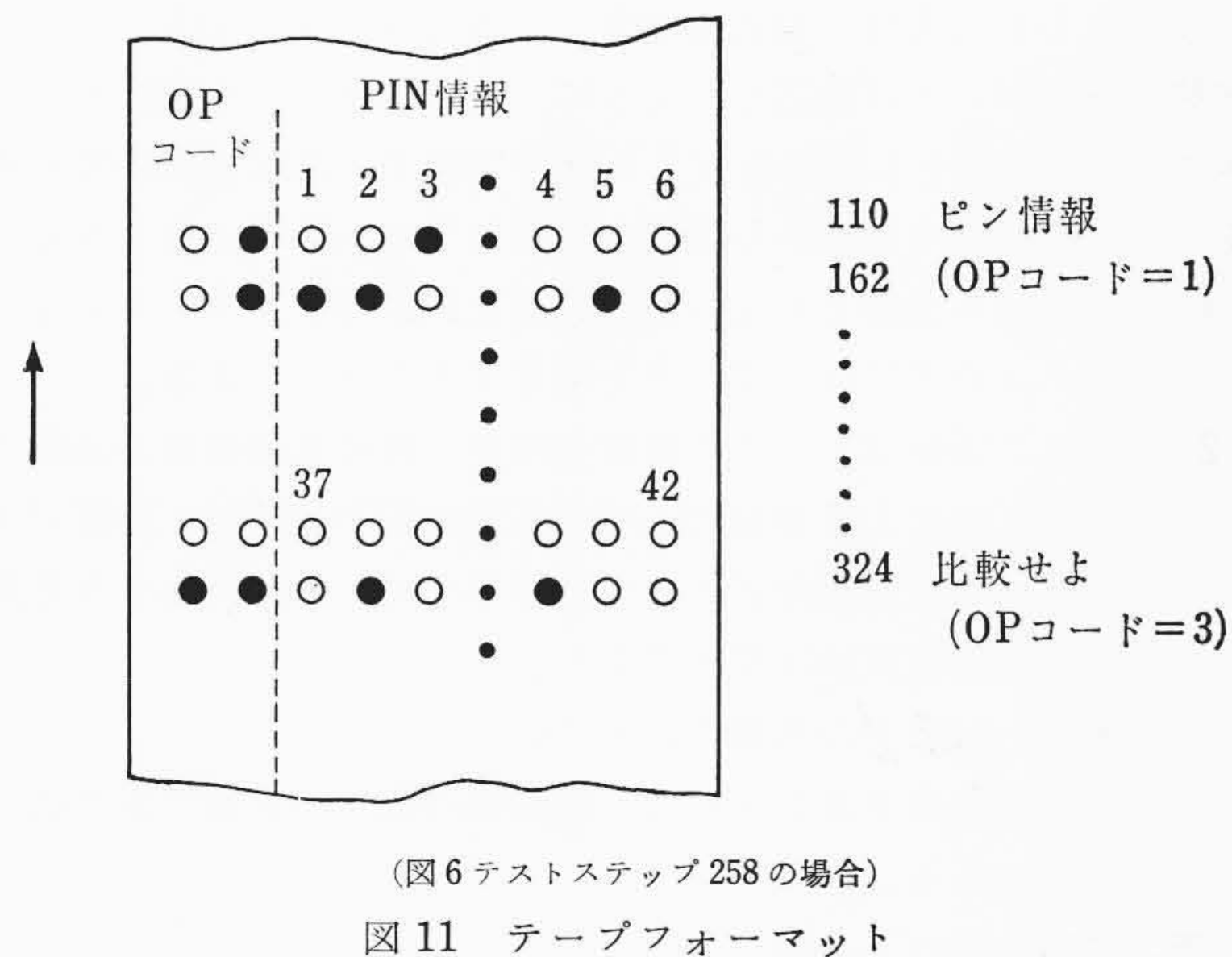
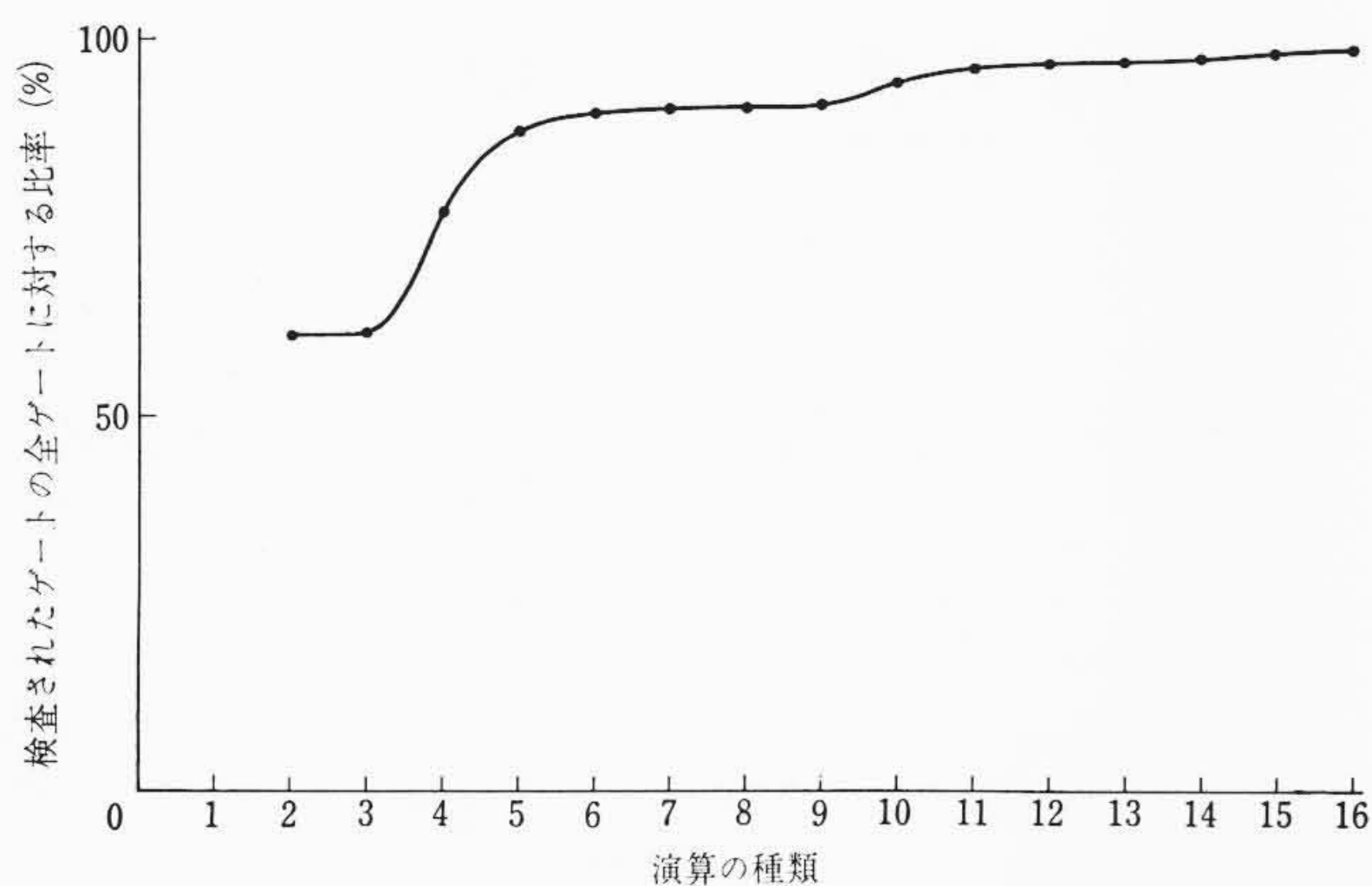


図12 LSI テスタ



- No.1 電源投入 No.3 小数点シフト
No.2 置数表示およびアンロード演算 No.4 加減算

図13 電卓の演算実行により検査されるゲート数の割合
演算の種類

(7) 入出力装置

品種ごとのテストパターンは、紙テープ(8 bit)で保存されており、テープリーダー(80 キャラクタ/分)で読み込まれる。このテープは、計算機によるシミュレーションが終了したテストのフォーマットに変換して打ち出すことができるし、テレタイプ(ASR 33)のアスキーコードからの変換プログラムも用意されている。図11はテープフォーマットを示したものである。

テープパンチャは主としてコアの内容をテープ出力する場合に使用されている。

表1 ファンクションテスタ性能一覧

項 目	性 能
ピン 数	48 ピン
テ ス ト 能 力	MOS IC, LSI ファンクションテスト
テストスピード	約 10 kHz (48 ピン)
最大ステップ数	455 ステップ (48 ピン)
電 源	2台 0~-35V, (100 mV) (V _{GG} , V _{DD})
入出力論理レベル	ド ライ バ V _{IL} V _{IH} コレ ン パ タ V _{OL} V _{OH}
クロックパルス	相 数 4 相 パルス幅 CPW 1 0.5~30 μs CPW 2 0.5~30 μs CPW 3 0.5~30 μs 立上り -30 V/0.2 μs V _{CPL} V _{IL} に 同 じ V _{CPH} V _{IH} に 同 じ
外付負荷抵抗	全端子3値までプリント基板に実装可
テストモード	AUTO STOP FAIL STOP REPEAT SINGLE STEP
データログ	NG のピン番号, ステップと NG の内容をプリントする

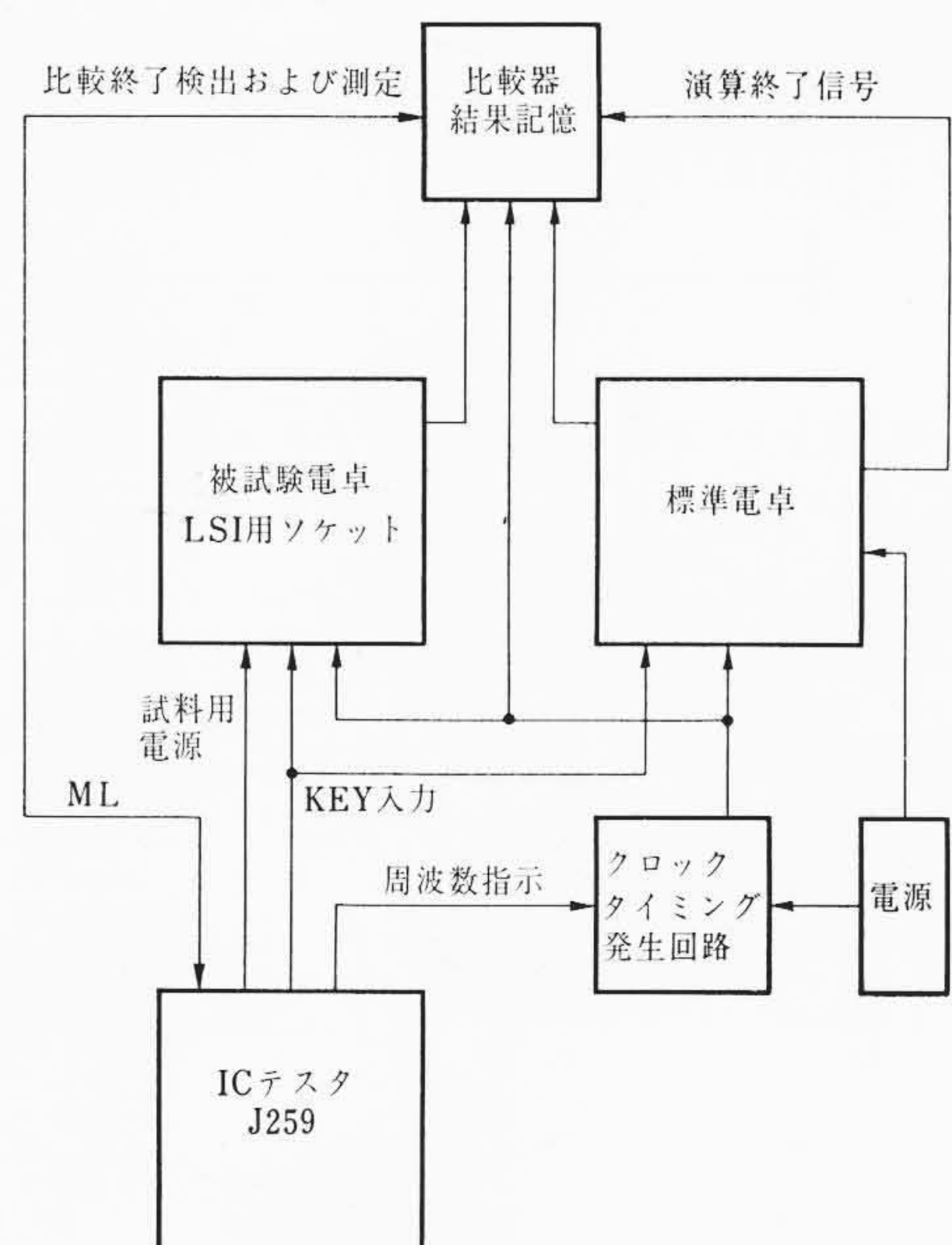


図14 IC テスタによる実装試験

タイプライタは、ピン情報、不良パターン、試験条件などのタイプアウトに使用される。

これまで述べてきたファンクションテスタの完成図を示したのが図12である。写真のレイアウトは左からシステム電源、試験条件設定ピンボード、表示パネルおよびテストヘッド、タイプライタ、テープパンチャ、テープリーダーである。

表1は試作したファンクションテスタの性能をまとめて示したものである。

2.4 実装試験機

実装試験機は、あらかじめLSI化される各ブロックごとにまとめてシステムを作っておき、試験されるLSIをそのブロックと置き換えたあとで、システムが正常に動作するか否かを試験することによ

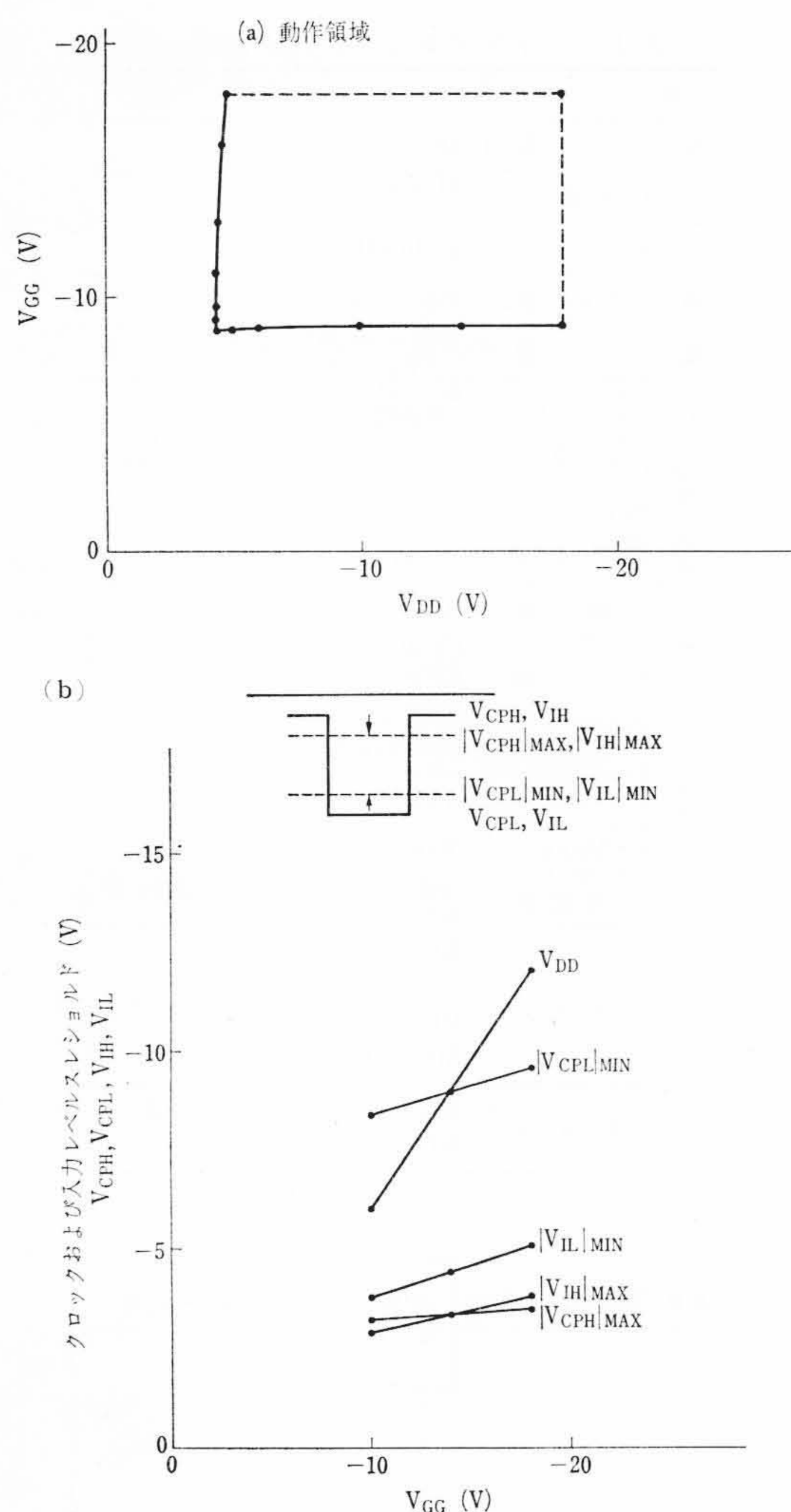


図 15(b) 入力およびクロックスレシヨルド

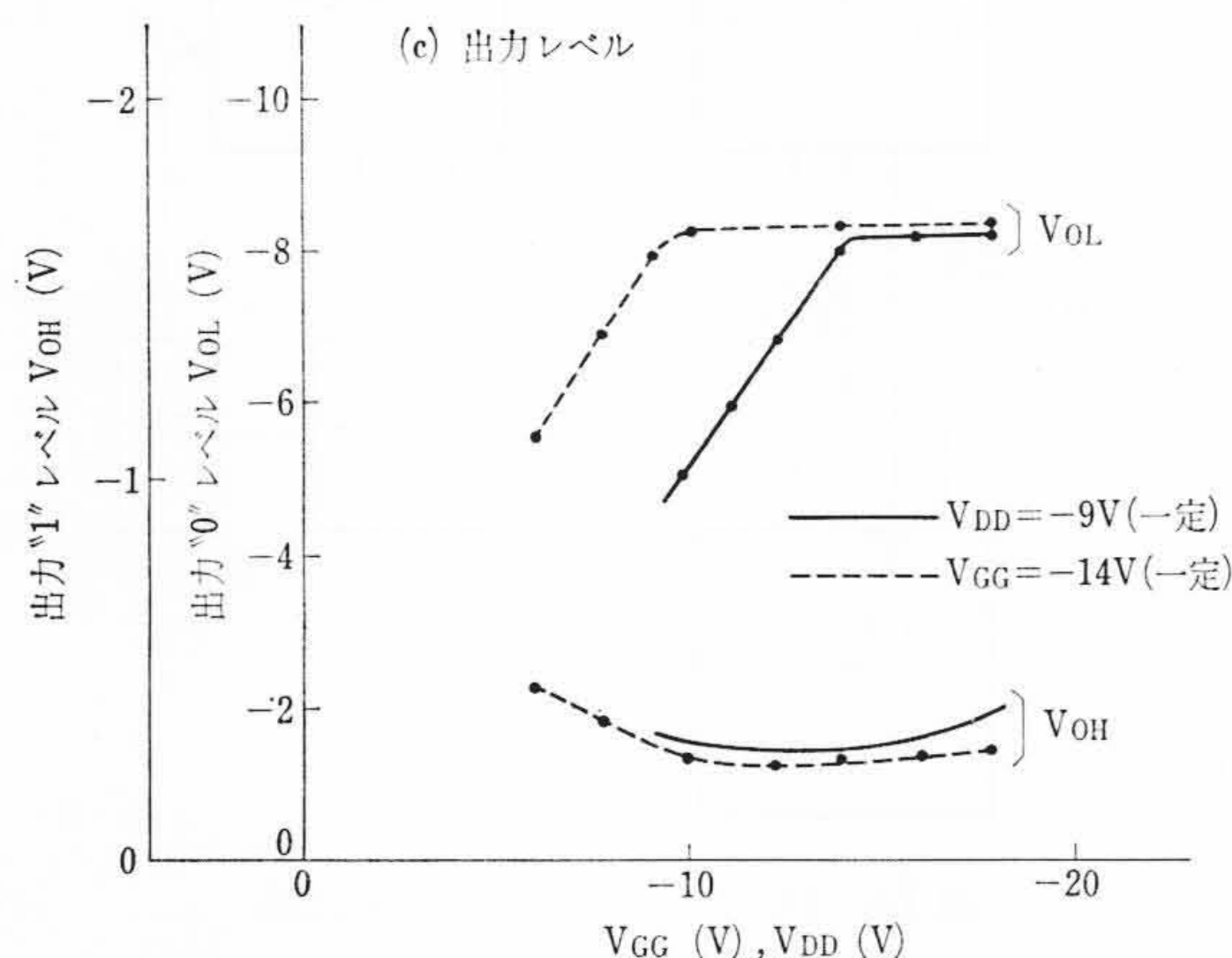


図 15(a, c) MOS LSI の特集 (HD3205)

り置き換えられた LSI の良否を判定しようとするものである。

実装試験については前述したように、電卓のような小規模のシステムでは、試験機としての製作も LSI ができてくればきわめて容易であり、次にあげる理由から簡便で有効なテスト手段となりうる。

- (1) システム全体としての論理機能を試験できファンクションテストの不じゅうぶんさを補足することができる。
- (2) システム全体としての電源余裕度、周波数余裕度が試験できる。特に LSI 単独での信号伝達時間の測定は、最悪パスの検出測定機器などの点でむずかしくこれに代わりうる周波数余裕度試験は有効である。
- (3) 顧客と試験上の相関を得やすい。
- (4) LSI を使用することにより試験機の製作が容易であり低コストである。

一方、問題とされる点は

- (5) テスト時間が長い。電卓としての各種演算を実行してもくり返し使用される回路の部分が多く不良検出という面から見れば冗長度の大きいテストパターンを印加していることになる。HD3200 シリーズを例に電卓として実行させる演算とその演算を実行することによって検査されているゲート数のシステム全体のゲート数に占める割合を求めてみると図 13 のようになる。演算の種類に対する取れん性は良くないが、おのおののゲートが演算機能に対して割り付けられていることから実装試験としては当然の結果である。
- (6) LSI 単独でのパラメータを規定できない。
- (7) 顧客の異なるシステムのためにおのおのの試験機を製作しなければならない。
- (8) システムの規模が限定される。

実装試験機の最も簡単な方法は、人手による key 操作と表示管による結果の判定であるが、この方法では熟練者が行なっても 10 分程

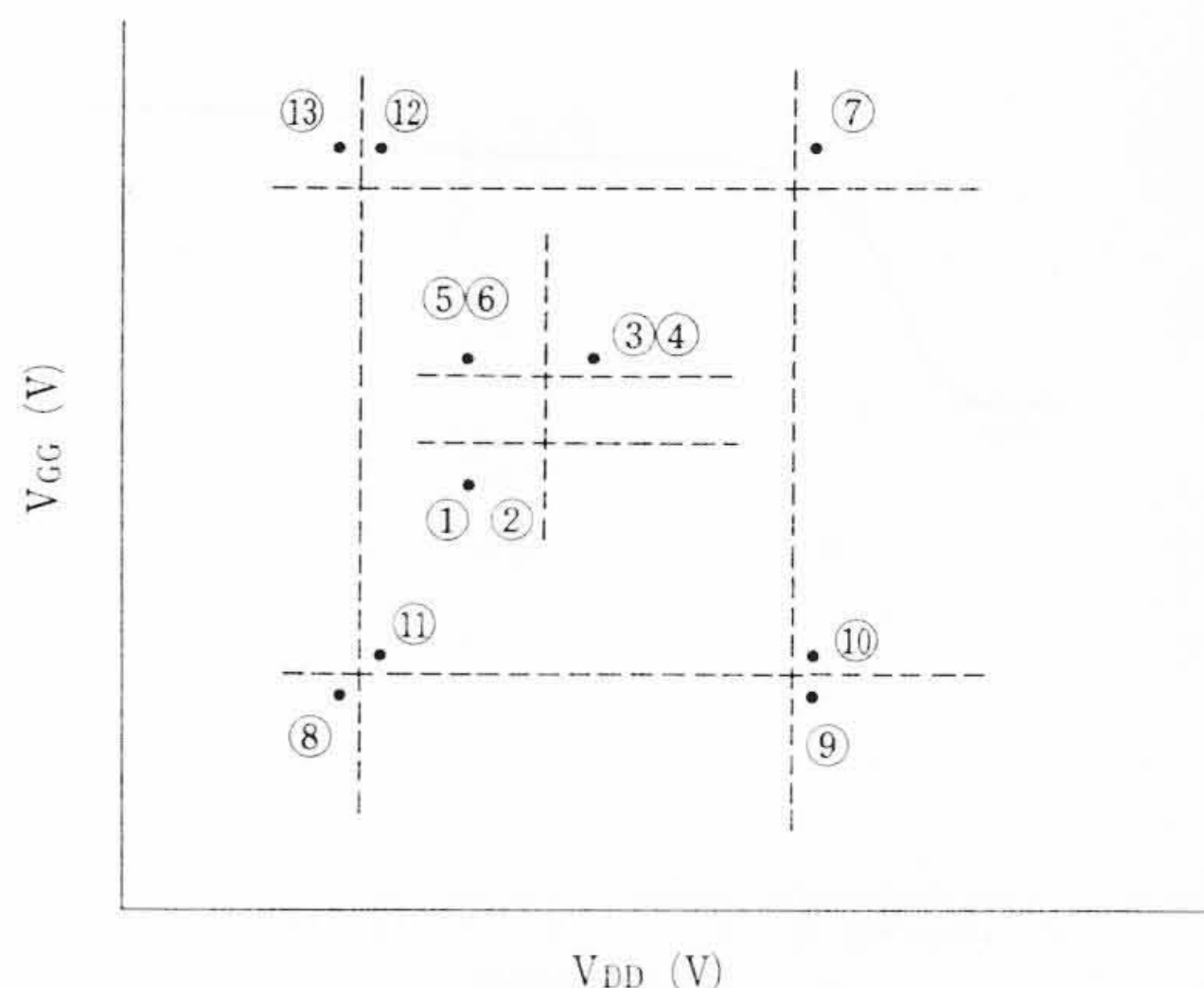


図 16 動作領域チェックポイント

表 2 HD 3208 チェックポイントに基づく測定結果

	判定	動作範囲												V _{IL}			V _{CPL}			V _{IH}	V _{CPH}		
TEST No.		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
B 1		○	○	○	○	○	○	○	×	×	○	○	×	×	○	○	○	○	○	○	○	○	○
B 2		○	○	○	○	○	○	○	○	○	○	○	×	×	○	○	○	○	○	○	○	○	○
B 3		○	○	○	○	○	○	○	×	○	○	○	×	×	○	○	○	○	○	○	○	○	○
B 4		○	○	○	○	○	○	○	○	○	○	○	×	×	○	○	○	○	○	○	○	○	○
B 5		○	○	○	○	○	○	○	○	○	○	○	×	×	○	○	○	○	○	○	○	○	○
B 6		○	○	○	○	○	○	○	×	×	○	×	×	×	×	×	○	○	○	○	○	○	○
B 7		○	○	○	○	○	○	○	×	○	○	○	×	×	○	○	○	○	○	○	○	○	○
B 8		○	○	○	○	○	○	○	×	×	○	○	×	×	○	○	○	○	○	○	○	○	○
B 9		○	○	○	○	○	○	○	×	○	○	○	×	×	○	○	○	○	○	○	○	○	○
B 10		○	○	○	○	○	○	○	×	×	○	○	×	×	○	○	○	○	○	○	○	○	○

度のテスト時間を必要とする。そこで、実装試験の自動化が必要であるが、既存のテストの応用という形で図 14 に示す実装試験機を実用化した。試験は標準の電卓と被試験機の比較で行なわれる。

まず 2 台の電卓を用意しそれぞれの電卓は共通のクロックと同期信号により完全に同期して並列運転される。1 台は、期待値を発生するための標準となる電卓でありほかの 1 台は、被試験用 LSI を装着するためのテストソケットを有している。IC テスタ J259 (テラデザイン社) から供給する信号は、被試験用 LSI への電源電圧、2 台の電卓への共通の key 信号、クロック発生回路への周波数変更信号である。比較判定回路は、電卓の演算終了を検出したあとで両方の電卓の表示レジスタ、オーバーフロー、負号などを比較しその結果を記憶する。したがって J259 は比較終了の信号を検出し記憶した結果を読み取ればよい。

この実装試験機では、人手による操作が全く含まれず、電源余裕度、周波数余裕度の試験が可能であり、テスト時間は約 30 秒である。

3. MOS LSI の特性

前述のファンクションテスタで測定された MOS LSI の特性例を図 15 に示す。同図 (a) は電源余裕度、(b) は入力スレシールド、(c) は論理レベルである。これらの結果は、電源、入出力、クロックレベルを入手により変化させながら、テストを Repeat 動作させテスト結果が不良となるか否かにより求めることができる。しかしこの方法では、時間的、労力的に大量のデータを得るのが困難であり、これに対する一つの解決策として次のような方法を採用している。

すなわち、試験しようとする素子の特性を把握(はあく)しようとする場合必ずしも一つの条件における精度のきわめて高い値そのものより、範囲とか、傾向のほうがより重要であることが多い。

この方法では、そのような考えに基づいて特性把握の機械化、単

純化、高速化を目的とするものである。たとえば、素子の電源電圧の範囲を把握する場合には、あらかじめ期待される限界の付近を小領域に分割しその小領域での試験を実行し、GO/NO GO の判定結果から動作領域としての全体的把握が可能となるようにしたものである。

図 15 (a) はこのように分割された小領域を示し、表 2 は測定された結果を示している。この方法は、前者に比較すると大幅なテスト時間の短縮となる。しかも測定者に特別の知識を必要としないが、いずれにしても条件の変更が人手であることに問題が残っている。今後、テストのコンピュータ制御、あるいは単なるテープ制御による能率向上が可能となるよう検討中である。

4. 結 言

MOS LSI の試験法を特に試験機を中心に記してきたが、これまで述べてきた試験機について当面量産上の問題となる点は、

- (1) テストステーションの増設
- (2) テスタの信頼度、測定精度向上
- (3) テストデータの処理能力

であり、技術的には特に大きな問題はない。

しかし、さらに重要な点は LSI の開発、特性解析などのための、より進んだ試験法、試験機の実現である。LSI の特性評価における、電源余裕度、入力、クロックスレシールド、周波数余裕度、出力波形チェックなどは、もはや人手で処理可能な限界を越えつつある。この問題を解決するためにはハードウェアの開発と同時に高度な試験機のコンピュータ制御が可能なソフトウェアを開発する必要がある。

最後にファンクションテスタの完成にご協力いただいた中央電子株式会社の皆様に謝意を表する。



米国特許 第 3504430 号

特 許 の 紹 介



久 保 征 治

絶縁被膜を有する半導体装置の製造方法

MOS 電界効果トランジスタを作る際、半導体表面上の絶縁層を耐腐食性マスクでおおい、マスクでおおわれない絶縁層部分を腐食によって除去する。これによって半導体基板内に作られたソース、ドレイン両領域に達する穴をあけ、この穴内に電極を取り付ける。一方ソース、ドレイン間の絶縁層上にゲート電極を形成する。このゲート電極下の絶縁層の厚さは 0.1 ミクロン程度できわめて薄い。しかしこの薄い絶縁層にはしばしばピンホールと呼ばれる微細な穴が発生し、このピンホールを通してゲート電極が半導体表面と短絡することがあった。これはマスク材料を通して腐食液がしみこみ、マスクでおおわれた絶縁層部分も腐食されることがあるからである。

この発明では穴をあけるべき絶縁層部分の厚さを、ゲート電極を設けるべき絶縁層部分の厚さに等しいかそれよりも薄くした状態で上記の腐食処理を施し、ピンホールの発生を防止する。

その具体的な一方法は次のとおりである。まず図 1 に示すように酸化物層にソース、ドレイン両領域およびゲート部分の半導体表面に達する穴をあける。次に図 2 のように半導体表面を酸化して孔内に再び酸化物層を作る。そして図 3 のように上述の腐食処理を施し、マスク層でおおわれない薄い酸化物層にソース、ドレイン両領域に達する穴をあける。このとき薄い酸化物層を除去するのに要する時間は短いので、マスク材料内にしみこんできた腐食液によってマスクでおおわれた薄い酸化物層が侵されることは少なく、したがってピンホールの発生する可能性もきわめて少ない。

さらにこの発明では、ゲート電極を設けるべき部分以外の絶縁層を厚くすることができる。したがって本発明を MOSIC に適用することにより、厚い絶縁層上を走る金属酸化層と半導体表面との間に寄生する電気容量を小さくすることができる。

(半導体事業部特許課 薄田幸治)

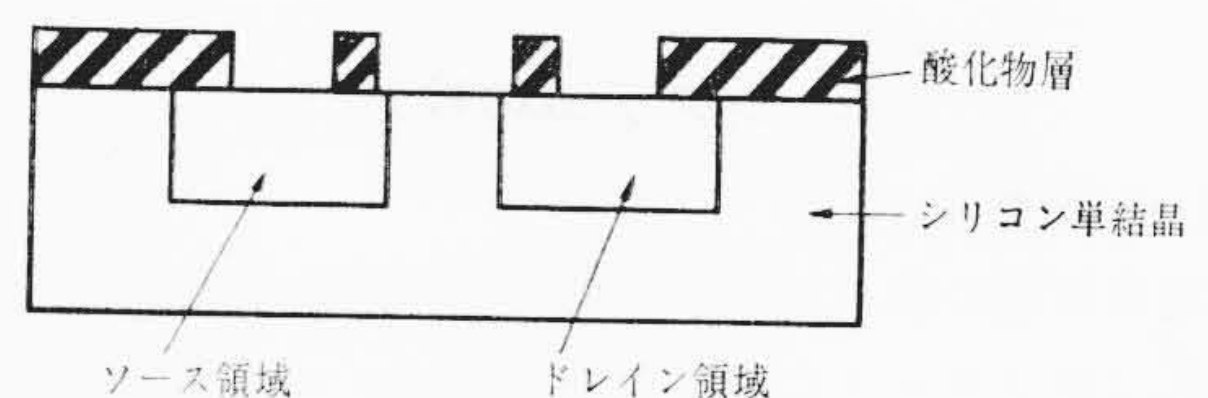


図 1

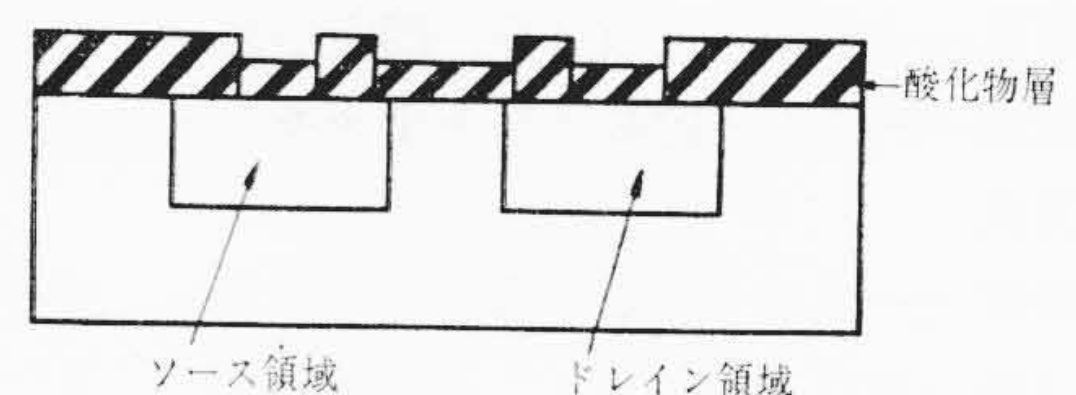


図 2

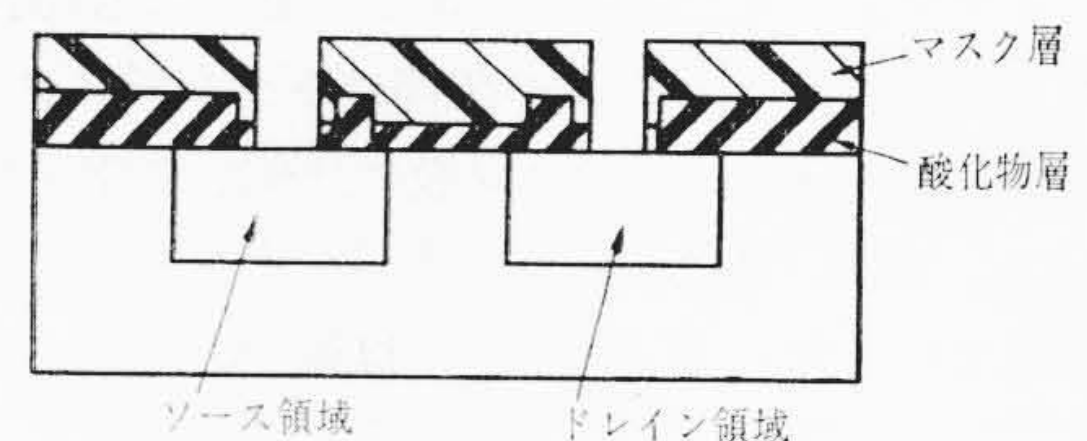


図 3