

電子式卓上計算機の LSI 化

System Design of LSI Desk Top Calculator

桐野 憲二*
Kenji Kirino

上原 洋*
Hiroshi Uehara

遠藤 裕英**
Hirohide Endô

要 旨

LSI 卓上計算機のシステムとして、ROM 方式を業界に先がけて開発した。演算機能の追加変更を自由に行なう汎用化システムおよび汎用化回路により、LSI のコストダウン化と設計、生産および検査の合理化を図った。標準機は、8 品種 9 個の LSI で構成され、ROM のパターン変更により機能が自由に変えられる。さらに LSI 1 品種の追加により、開平計算などを含む高級機能へ拡張することができる。

1. 緒 言

電子式卓上計算機(電卓)は、使用素子の発展とともに小形化、低廉化が実現し生産が急激に増大した。現在の電卓市場には 20 社近くのメーカーがある。各社演算機能がまちまちで同一社のものでも機能の組合せにより 10 機種から 20 機種近く生産されているのが実情である。従来の IC の段階では、電卓のシステムは既成の IC の組合せで構成されるので、このような種々の機種に適応可能であった。しかし、昨今では時代の要求により各社の LSI 化が進められすでに簡易形(四則のみ)の分野では、製品化が実現されている。LSI 化に際して従来のシステムを延長すると、LSI はそのシステム固有のものとなり、ほかのシステムでは使用できない。したがって自社内での機種のシリーズ化のためには、機種別の開発が要求されコスト的にも、また製品化時期にも支障をきたすものと予想されていた。LSI システムの汎用化解決のため、筆者らは電卓用に ROM (Read Only Memory) によるマイクロプログラム方式を開発した。標準機用 LSI 8 品種に、汎用性をもたせ従来のシステムにも使用できるようにした。標準機構成では、ROM パターン変更または特殊回路の追加のみで、各種の演算機能の追加変更を容易にした。本文では、エルカ 40 シリーズとして一連の機種構成を完成させた LSI システムについて述べる。図 1 はエルカ 40 シリーズの一つであるエルカ 46 の外観である。

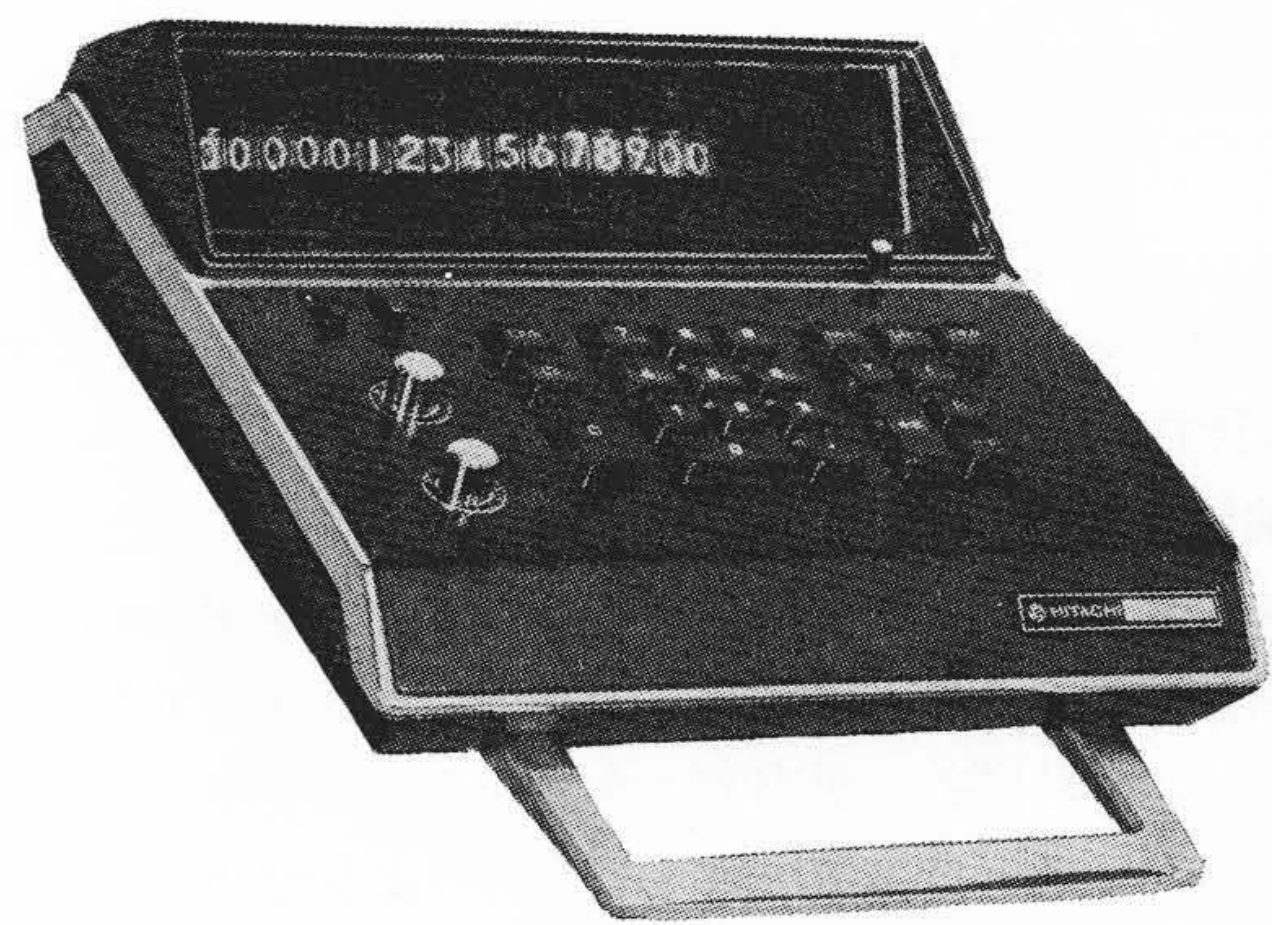


図 1 電子式卓上計算機“エルカ 46”

2. システムの検討

2.1 仕様面の検討

図 2 は電卓市場の動向を示したもので、横軸に機能を取り、電卓の機能を五つのブロックに分け、さらにブロック内で表示けた数を分類した。各ブロックの機能は次の分類に従っている。

- (1) 簡易形——四則、小数点方式不問
- (2) 普及機——四則+定数計算、固定小数点方式
- (3) 中級機——四則+定数計算+1 メモリー、指定式自動小数点方式
- (4) 高級機——四則+定数計算+2 メモリー、開平計算、指定式自動小数点方式
- (5) プログラム機——プログラムが可能な計算機

たて軸には体積×重量をとり、取扱性を示した。図中にプロットした各点は、トランジスタ→IC→LSI と推移した各時代の各社の電卓を示したものである。図中 A の矢印はトランジスタ (Tr) 時代の機能の推移である。A ではレジスタ数に比例して素子数が増大するため、12 けた、四則、自動小数点方式が主流を占め、しだいに高級機へと推移していった。B は 1968 年以後 IC 時代へと突入して

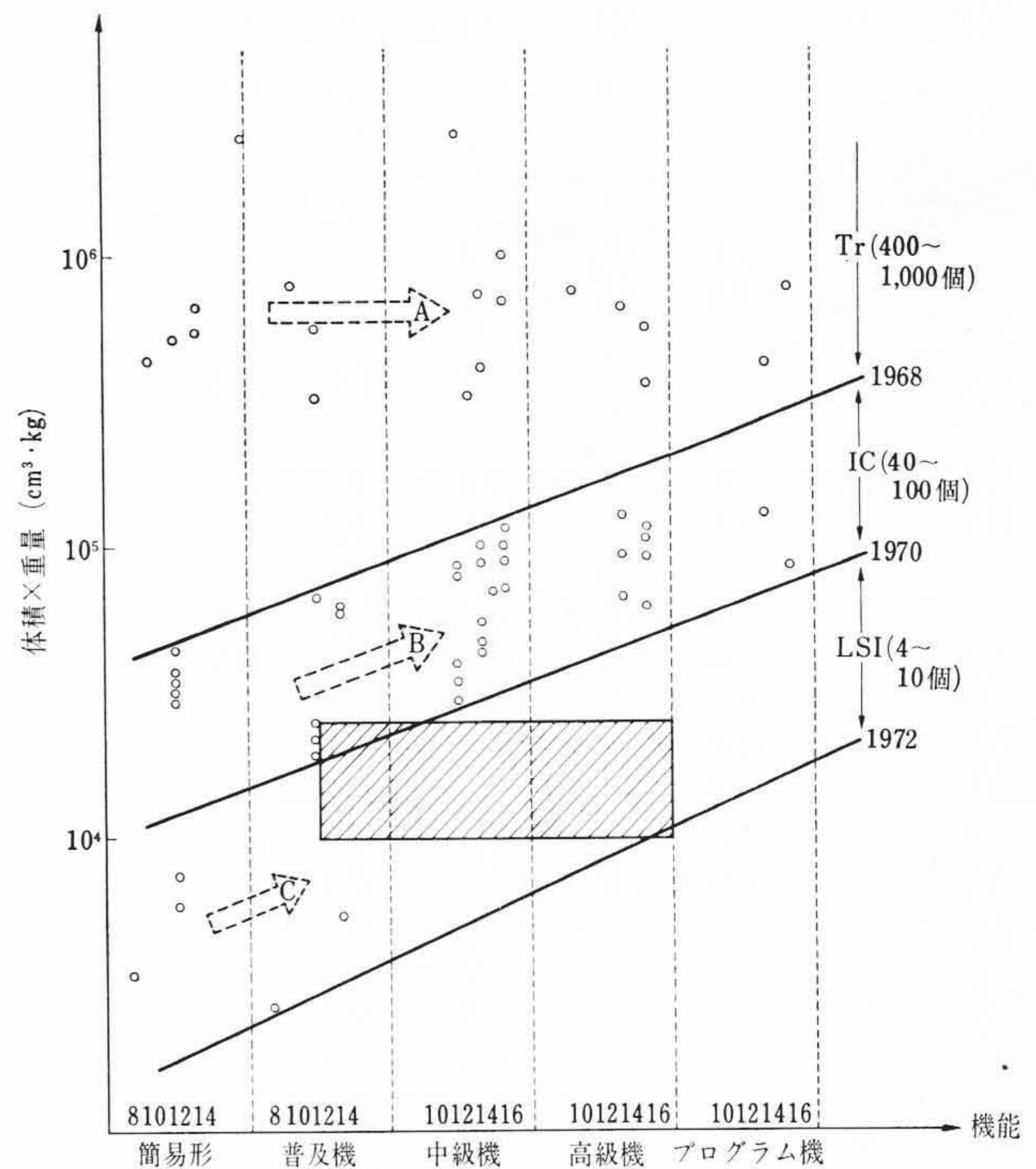


図 2 電卓市場の動向

からの機能の推移である。B ではレジスタ数はさほど価格に影響しないため、14 けた、定数計算、 Σ 計算付の機能が主流となり、小数点方式も自動小数点から固定小数点へと移行し、さらに指定式自動小数点方式へと推移している。C は 1970 年以後の LSI 時代の推定である。C でもやはり開発の初期は 8~12 けた、四則クラスから出発するものと思われるが、従来に増して速いピッチで機能の充実が

* 日立製作所亀戸工場

** 日立製作所中央研究所

表1 システム仕様

表示	数字表示放電管による 12~16 けたまで任意に切換可能 マイナス符号表示, アンダーフロー表示, メモリー使用表示
小数点方式	0~9 指定 指定式自動小数点方式 オートシフト方式 アンダーフロー方式
計算内容	加減乗除(四則計算)連乗連除, 混合計算, 定数乗除算, べき計算, 個々の積と積和積差, 個々の商と商和商差 (Σ 計算), メモリー1個利用の混合計算
高級機 追加機能	開平計算 個々の積と被乗数和差 (Σ_2 計算) 個々の商と被除数和差 (Σ_2 計算) メモリー2個利用の混合計算

表2 LSI 8品種の構成

品 種	内 容	汎 用 性
HD 3201	入 力 回 路	○
HD 3202	アドレスレジスタ	○
HD 3203	レジスタ制御	△
HD 3204	ROM	○
HD 3205	ジャンプ判断	△
HD 3206	レジスタ	○
HD 3207	タイミング・加算器	○
HD 3208	アドレス制御	△

なされるものと思われる。さらにけた数においても、現在主流となっている 12~16 けたクラスが主流となるものと予想される。LSI システムの検討に先だって、以上の分析から普及機、中級機、高級機の各分野を包含し、けた数および機能が種々変えられるシステムとして図2斜線わくを設定した。

2.2 システム設計上の制限事項

(i) 仕様面より

- (1) 表1に示すように標準機構成はエルカ24 (14けた1メモリー機)と同程度の機能をもつこと。
- (2) 標準機構成+LSI 1~2 個で、高級機エルカ26D (16けた2メモリー開平付き)程度の機能に拡張されること。
- (3) 個々のLSIに、汎用性をもたせ低機能機も構成できる。

(ii) 素子面より

- (1) 個々のLSIは40ピン以下。
- (2) 個々のLSIの集積度200ゲート(機能換算)以下。
- (3) テストが容易であること。

仕様および素子面より、上記6大目標を設定した。これは機能に汎用性をもたせることにより、日立電卓の全機種を構成できるようにするということと、製品化時点で最適な集積度にするのが目的である。

2.3 機能の拡張性

使用素子がICの段階では、計算機のシステムは既成のICの組合せで構成されるので、あらゆる種類のシステムが構成でき、また、システムの一部を変更するために、回路を変更することも可能であった。LSIでは、逆にシステムを分割して素子としてのLSIを作るので、そのLSIはシステム固定の回路となり、システムの一部の変更もLSI内部の変更となり非常にむずかしい。そこで、理想的LSIシステムとしては、できるだけ多くの計算機のシステムに使用でき、LSI回路の変更なしに簡単に演算方式が変えられるシステムが望ましい。しかし、それによってLSIの数が増加したのでは、コストアップになり意味をなさない。そこで次の二つの方向から可能性を検討した。

(1) 従来の論理方式

従来の直接論理方式は、構成素子数ではほぼ理想的なものと考えられるが、分割に際して汎用性が失われ回路が固定化される。したがって、最初の試みとして電卓共通の回路とそのシステム固定の回路を分離し、固定回路部分をマトリックスゲートなどで、汎用性をもたせる方法を検討した。しかし、この方法は200ゲート40ピンの条件で分割するのがやっとで、表1の機能を満足させるには、とても機能的に汎用性をもたせるとか、回路に汎用性をもたせられるものは実現できなかった。

(2) ROM方式

四則演算を満足する基本命令があれば、それ以上の拡張機能に用いる命令のほとんどは、この基本命令が使用できる。さらに、演算プログラムそのものも、ROMで行なうことができる。したがって、機能の変更拡張に際しては、ROMパターンのみを変えればよい。しかし、ROM方式は、従来論理と比較して使用素子数が多いのと、演算時間が長くなるという欠点をもっている。したがって、素子数および演算時間の減少化に目標をおき、電卓固有の制御方式、命令単位の開発に重点をおいた。

2.4 設計期間の短縮

(1) 変更修正期間の短縮

設計途中、またはボードテスト調整時に新たな問題があったり、仕様の変更があった場合、従来の直接論理方式では変更が別の演算にも影響し変更個所が波及するケースが多い。したがって、単純なミスに対して1個のLSIで処理できない場合が多く、1個のLSI内の変更でも、パターンの全面的な変更になることは必至である。マイクロプログラム方式では、マイクロ命令自体にミスがなければあとの変更、修正はマトリックスパターンの修正のみでよい。変更、修正の影響が波及することがなく、プログラムの変更だけで対処できるので変更、修正期間を大幅に短縮できるのである。

(2) シリーズ機種構成による設計期間短縮

日立の現流製品を考えても、国内用および輸出用として十数種の機種がある。機種はそれぞれ機能が異なるため、部品の管理、生産および検査工程が複雑化していた。さらに、LSI化にあたって問題になることは、それぞれの機種を別々にLSI化を試みる場合、LSI設計から量産化まで約1年の期間が必要とされるため、膨大な時間と工数が必要とされることである。今回の設計で、特に重点を置いたのは、1回の設計で日立全製品に使用できるLSIを開発することであった。2.3の説明のように、電卓用ROM方式の開発によってこれは実現される。

2.5 LSIテストの簡略化

LSI最大の問題点は、テストの問題であり、テストの問題が解決されなくては、製品化は実現しない。システム設計段階ですでにテストの困難性が予想されたので、回路分割の段階でテストを考慮して論理設計を進めた。従来の直接論理方式に比べROM方式のほうがテスト効率が良いと結論される。これは、テストが困難な制御回路において、制御信号がROM出力のみに集約され、従来論理に比べて信号数が極端に少なくなること、さらに記憶用フリップフロップが不要になるためである。テストを困難にする要素は、入力数と同時に内部ループを有するフリップフロップ類が存在する場合が多いから、デコーダおよびコントロールゲートのみで構成されるROM方式の制御回路は、テスト時間を縮める上で有効なものといえる。

3. システム設計

3.1 システム構成

本システムでは、システム全体を図3に示すような9ブロック

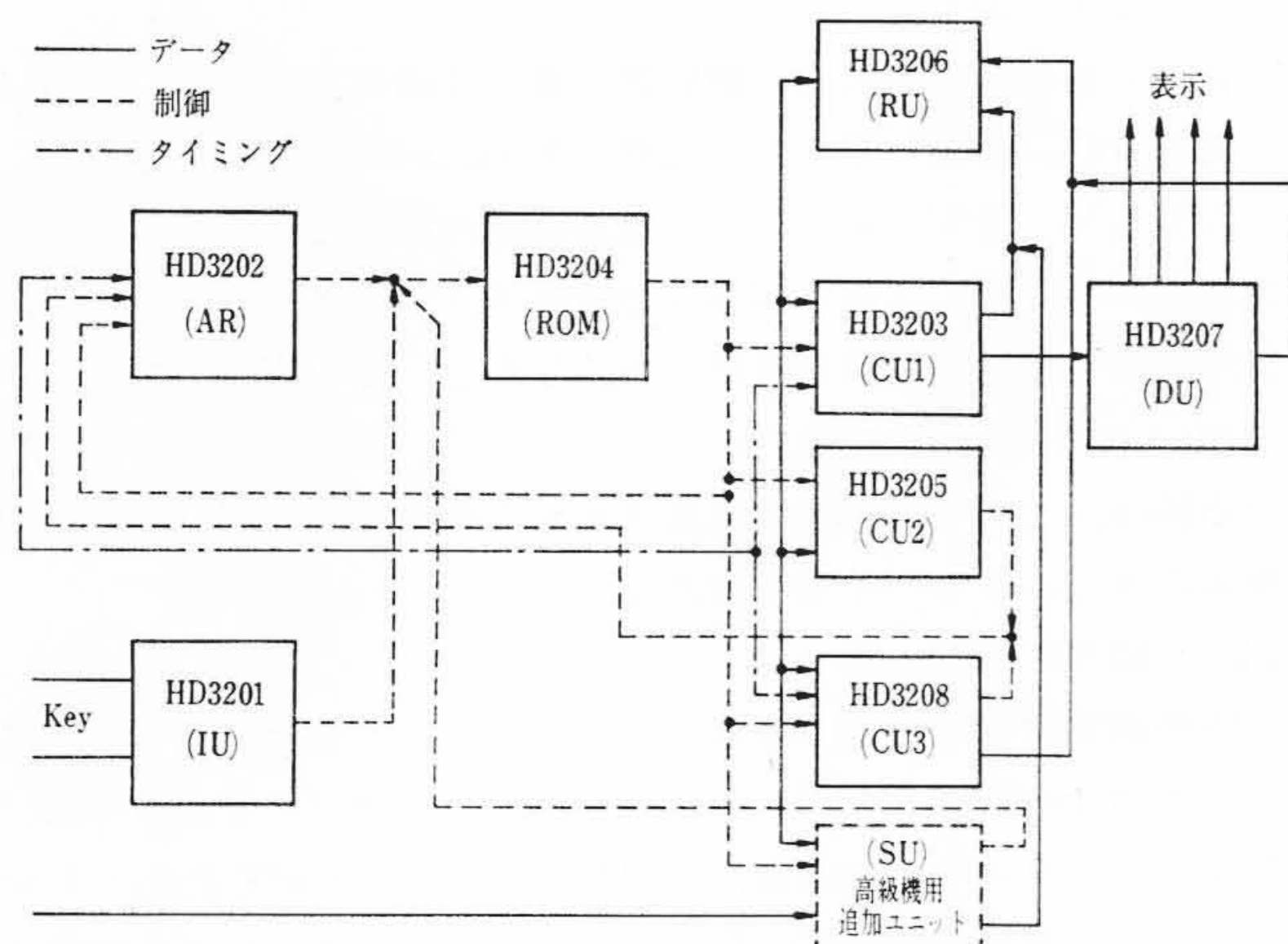


図3 システムブロック

(IU, AR, ROM, CU1, CU2, CU3, DU, RU, SU) に分離し、各ブロックをできるだけ汎用性のある回路とした。RUを除く各ブロックは、それぞれLSI 1個に相当する。RUはLSI品種数の増加によるコストアップを避けるため、同一LSI 2個を使用し構成した。標準機(1メモリ、 Σ_1 計算、定数計算)は、8ユニット(IU, AR, ROM, CU1, CU2, CU3, DU, RU)の8品種9個のLSIで構成された。これにほかのLSIを追加することにより、上記8ブロックはそのままメモリ数の追加、 Σ_2 計算、開平計算などができる高級機へ拡張できるシステムとなった。システムの動作を簡単に説明すると、キーからの信号がIUにはいり、IUから演算スタート・パルスと各種演算のスタート・アドレスが出される。スタート・アドレスにより、ROMからあらかじめ納められている各種演算の先頭アドレスが出て、ARで演算が終了するまで、アドレスを順次進める。各アドレスに対し、ROMからあらかじめ納められている命令コードが出される。この命令コードをCU1, CU2, CU3で検出して、レジスタの制御、判断、アドレスの制御が行なわれ演算がなされる。

3.2 ROM (Read Only Memory) の構成

リード・オンリー・メモリーとは、読出し専用記憶装置(固定記憶装置ともいう)のことである入力アドレスに対し、あらかじめ決めておいた出力コードが出る記憶装置である。図4に示すように、デコーダとマトリクス回路から構成されている。動作は次のとおりである。入力アドレスは、デコーダでデコードされ、マトリクス回路の選択線の1本を選ぶ。出力には、選ばれた選択線のパターンがコードとなって逐次出る。出力コードは、マトリクス回路のパターンを変更することにより簡単に変更できる。マトリクス回路には、プログラムの各アドレスに対する命令コードのパターンがあらかじめ記憶されている。本システムのROMは、入力8ビット+1チップセレクトおよび出力8ビットの2,048ビットの容量である。したがって256ワードのプログラムが収容可能である。

3.3 AR (Address Register) の構成

ROMを使用する場合、このARがなければROMは、単にマトリクスゲートの働きしか果たさない。実際に演算を実行する場合、ROM出力命令と同時に、命令の前後関係が重要なものとなる。ARは、ROM出力命令に応じてこの前後関係を制御するものである。

ARの回路構成は、図5に示すとおりであり、機能は次の3種類である。

- (1) アドレスを逐次進める。
- (2) 判断時に必要なジャンプ・アドレスの記憶と読出し。
- (3) サブルーチン実行時のメインルーチン・アドレスの記憶と

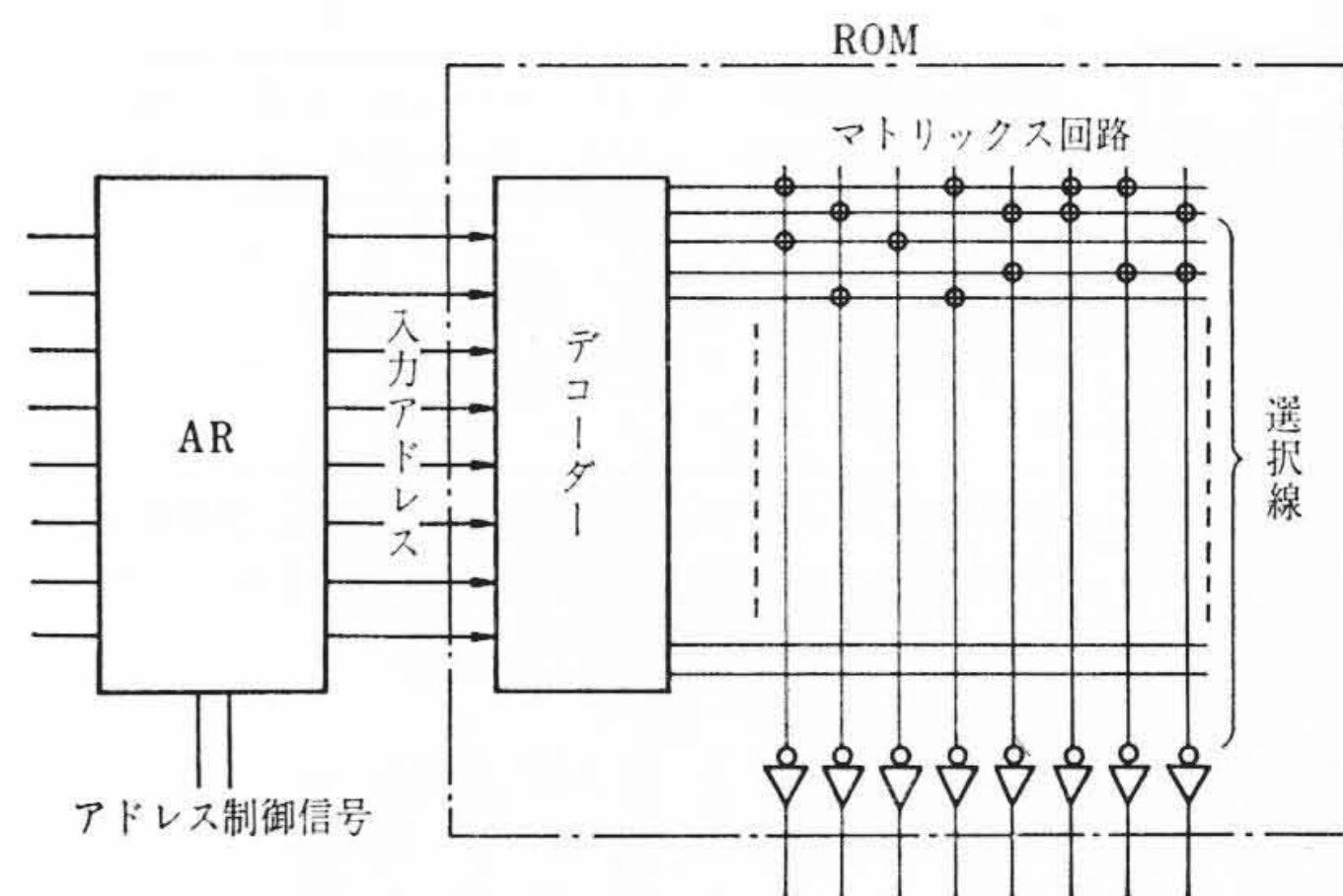


図4 ROMの構成

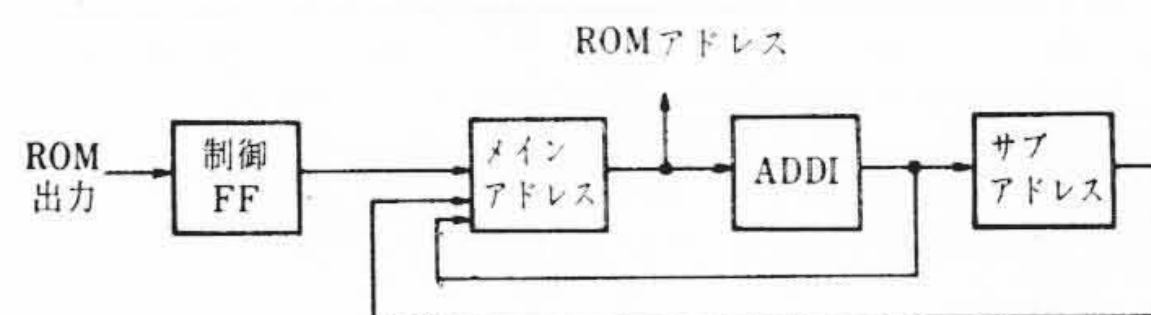


図5 アドレスレジスタ構成

読出し。

ジャンプ・アドレスとは、逐次進められてきたレジスタ内容などの判断によって、ほかの演算ルーチン、またはサブルーチンへ飛ばす場合の飛び先のアドレスのことである。これは、ROM内にあらかじめ記憶されていて、ジャンプの1ワード前にARにセットされる。ほかの計算、またはサブルーチン実行後は、現在実行中のルーチンへ復帰させねばならないが、その実行中の演算ルーチンをメインルーチン・アドレスとして、AR内に記憶させ、必要に応じて読出し可能とする。このようにジャンプ・アドレス、メインルーチンの記憶と読出しなどの制御は、すべてROM内のコードによって実行される。したがって、ROM内に命令コードとAR制御コードを組み合わせることで、どのような演算プログラムでも構成できるようにした。

3.4 制御回路の構成

ROMおよびARのループから、演算プログラムが与えられる。しかし、実際にROMの出力コードに応じてレジスタの制御を行ったりジャンプの判断を行ったり、演算命令とアドレスコードを区別するためには、制御回路部分が必要である。制御回路は、図3ブロック図に示した構成のCU1, CU2, CU3の3個のLSIに相当し、それぞれの機能は次のとおりである。

CU1—ROM出力命令コードを検出して、レジスタ入力の制御および全加減算回路への切換えを行なう。

CU2—ROM出力命令コードを検出して、レジスタ内容の判断を行ない、ARにジャンプ命令を与える。

CU3—ROM出力命令コードを検出して、ARの制御を行なう。

以上のように、制御回路部分を機能別に分離できたため、LSIのテストおよび電卓の調整が簡略化した。各制御回路は、ほぼ同等の集積度となっている。

3.5 固定回路部の構成

汎用性を考え、次の3ブロックに分離した。

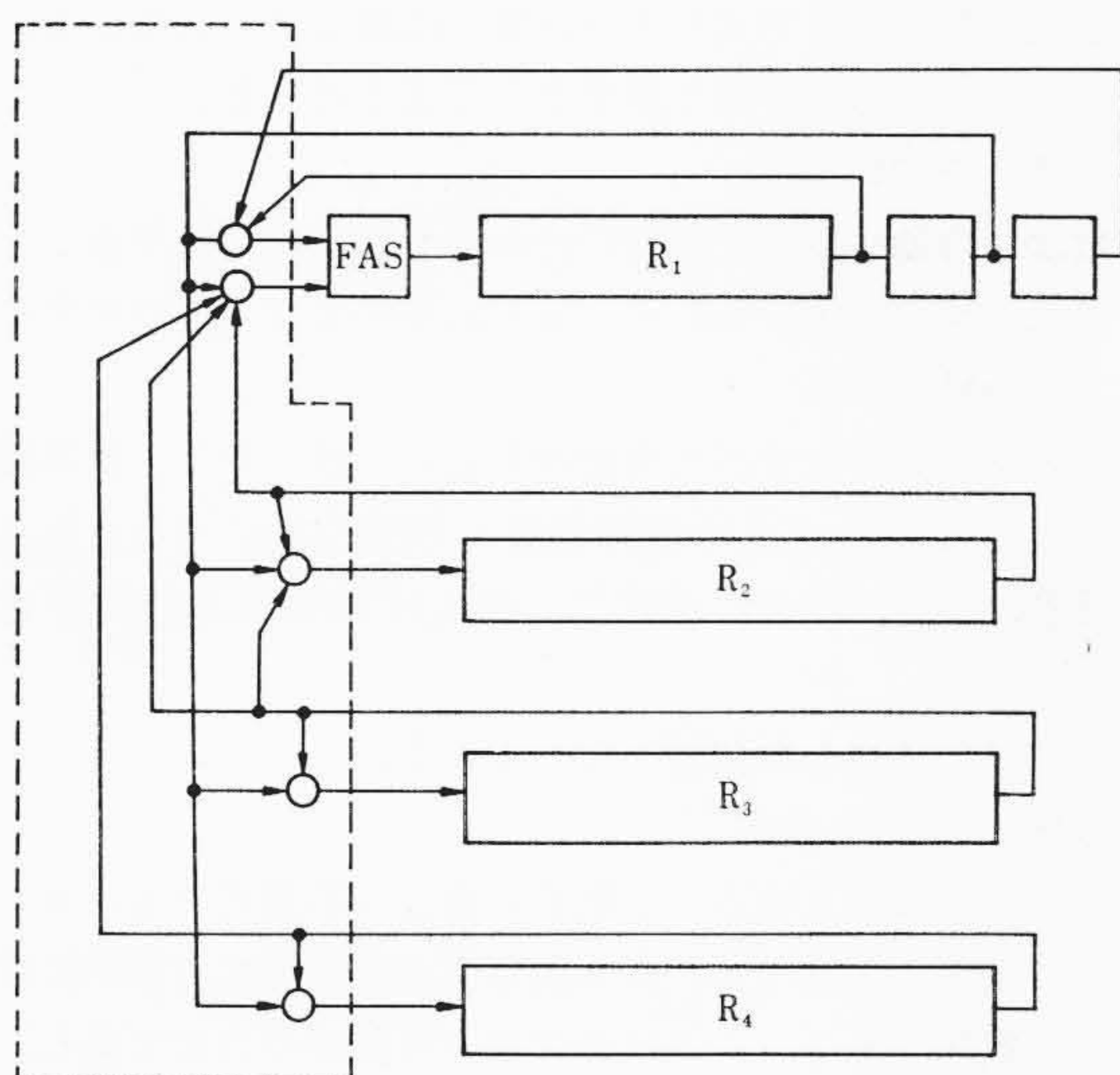
IU—キー信号を保持し、演算スタート命令を発生させる。

RU—レジスタユニット。標準機構成では2個使用し、高級機構成では3個使用する。

DU—基本タイミング発生回路と全加減算回路の構成である。

3.6 レジスタ構成

標準機のレジスタ構成を図6に示す。図6で $R_1 \sim R_3$ は演算レジ



R₁: 表示レジスタ
R₂: 補助レジスタ
R₃: ファクター・レジスタ
R₄: メモリー・レジスタ

図6 レジスタ構成

スタ, R₄はメモリーを示している。各レジスタのデータ構成は仮数部を2進10進, 指数部を2進とした。プログラムステップの縮少, 演算方式の簡単化および小数点表示回路の簡単化のため, 小数点のカウントに新方式を開発した。この新方式では, 小数点のカウントは完全なフローティング形式であるが, 置数および表示は見かけ上従来どおりであり, 素子数の低減に大きな役割を果たしている。

3.7 プログラムにおける演算時間の短縮

演算時間は, プログラムの演算ルーチンの長さで決まる。特に, 演算中くり返し行なわれる制御(プログラムでループを形成する)の時間が, 演算時間を大きく左右するのでプログラムでループを短くして演算時間の短縮を図る。ループを短くする方法として,

- (1) 判断時のジャンプ信号の出る条件を考える。
- (2) 制御と判断を同一命令コードにする。
- (3) ループ内に不要な制御を入れない。

があるが実際例は省略する。

3.8 サブルーチンプログラム

全体として, ROM 容量(プログラム・ステップ数)を最少にするため, サブルーチンを用意しなければならない。しかしそのために制御回路部分の増加があってはならないし, また固定されたプログラムにしたのでは, あとのプログラムの変更追加に支障をきたす。したがってサブルーチンプログラムの作成には, ジャンプコードを使用することにより, すべて ROM プログラムで構成できるようにした。よって新しい演算に対して, 別のサブルーチンが必要になれば ROM のプログラムで自由に作成可能である。今回の設計ではサブルーチンプログラムの使用によって ROM 容量を 1/2 以下に低減できた。

4. 論理回路設計

4.1 論理構成

一般に素子数が多ければ, LSI 品種数または集積度が増加しコストアップとなる。また論理段数が長ければ, クロック周波数の上限が押えられ, 演算時間が長くなるものである。今回 ROM 方式の採用により次の問題が生じた。

- (1) ROM 方式では, 命令単位が分割されシリアルに実行されるため演算時間が長くなる。したがって, 従来よりクロッ

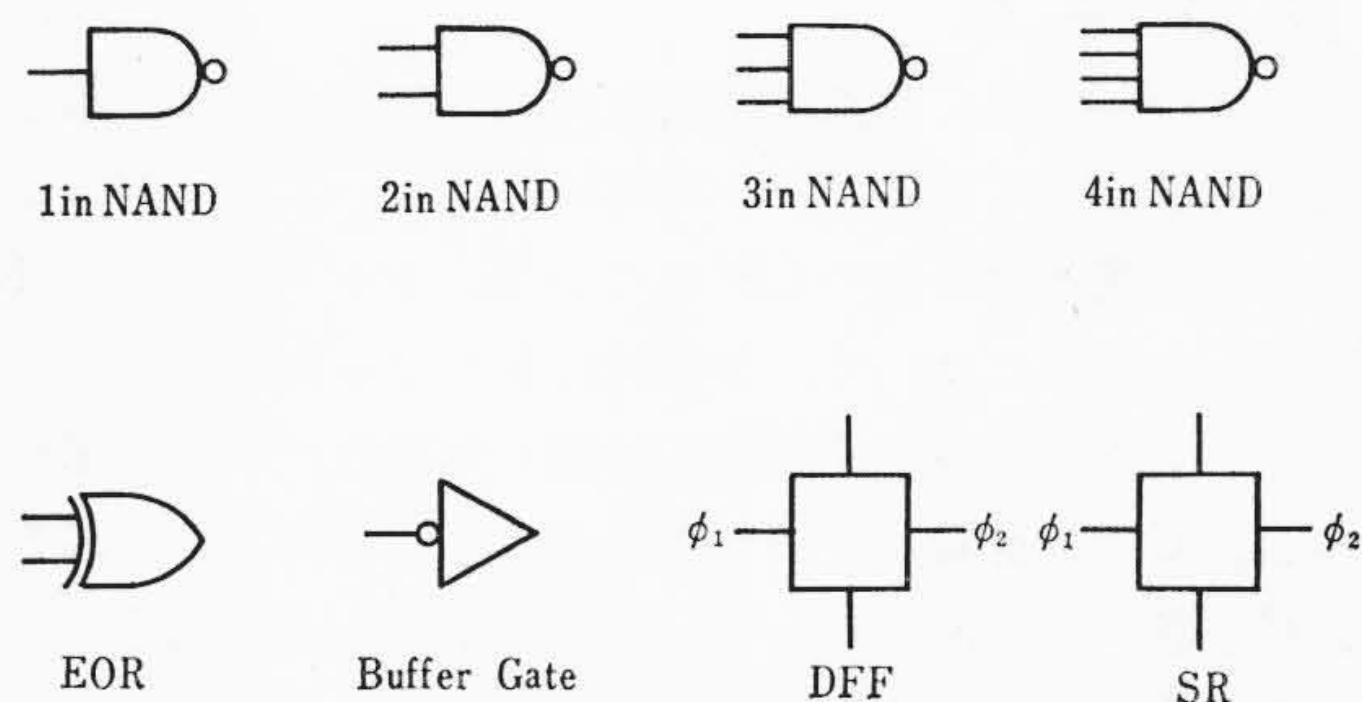


図7 基本回路

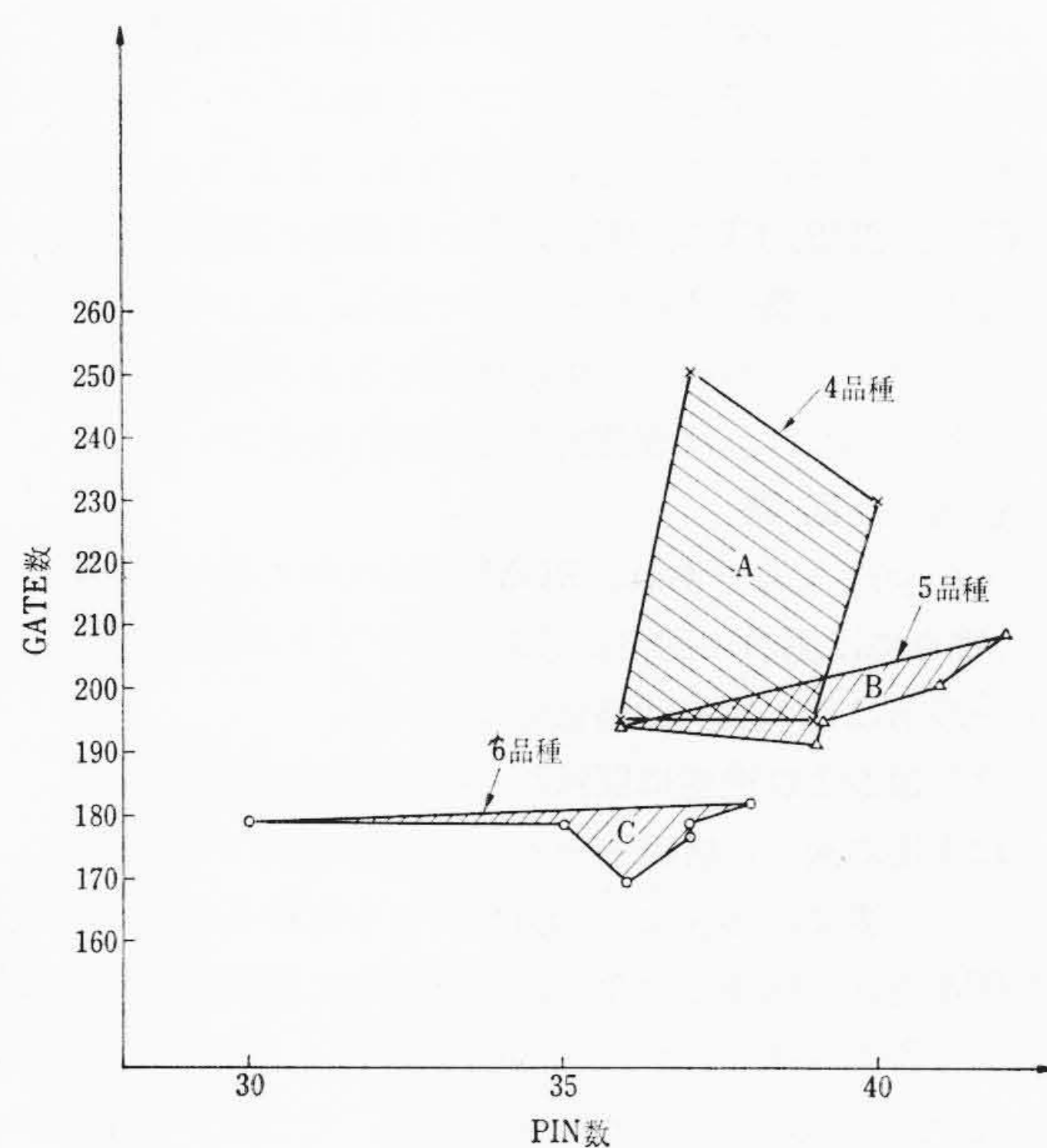


図8 回路分割

ク周波数を高くしなければならない。

- (2) ROM 自体はゲートの一種であり, 波形の整形能力がなく, ROM そのものも論理段数として加算される。
- (3) ROM 出力信号は, そのままで制御信号として使用できないので, いったんデコード回路を通す必要があり, 論理段数が長くなる。

演算時間を従来どおりとするか, または従来よりも速くするには, 論理段数の問題を解決し, クロック周波数を上げねばならない。しかし論理段数を減ずるには素子数を増加させねばならず, コストアップとなる。そこで, 制御信号の基本となる ROM 出力信号について, 1ビットタイム速く出力し, そのビット分については演算に影響を与えないようなシステムとなっている。

したがって, ROM 信号については1ビットタイムの余裕ができ, 上記問題は解決された。この1ビット分の余裕は, 制御ゲート 20~30 段に相当する。したがって論理段数をまったく無視して, 論理設計を行なえたため大幅に素子数を減少でき, さらに従来以上にクロック周波数を増加できた。

4.2 基本回路構成

基本回路は図7に示すとおりである。LSI パターン設計は, 従来のプリント板のパターン設計に相当し, 基本回路の選択は実装配線および集積度に重大な影響を与える。今回の設計には, Nand Gate, Buffer Gate, EOR (Exclusive OR) Gate, DFF (Delayed Flip Flop), SR (Shift Register), ROM の6品種を設定した。さらに最も多く使用する Nand Gate は, 1~4 IN の4品種が使用できたため, 従来のプリント板以上に実装効率が向上した。Nand Gate の1~4 IN の設定は, 4.1の論理段数解決の結果ゲート入力数を大幅に減少できたためである。

4.3 回路分割

回路分割については、分割回路数とゲート数およびピン数との関係が一般に論議されているが、ROM方式については、次のような結果になった。図8は今回のLSIについて、レジスタおよびROM回路を除外した部分について、分割試行を行なった例である。すなわち、閉ループAの各点は4品種に分割した場合、Bは5品種に分割した場合、Cは6品種に分割した場合の試行例である。図8よりA、B、Cと種々の分割に対して、ピン数がネックにならないということがROM方式の特質と結論づけられる。Aで上下の幅が大きいのは、分割不可能な回路が存在するためである。Bではピン数が多少オーバーした回路が生じているが、これはこの分割数に対して分割に無理があることを示している。このCでは、ベースになる回路単位が様に分布されたためと判断される。3.3, 3.4, 3.5で述べたAR, CU1, CU2, CU3, IU, DUの6回路が機能単位に分割されていることから裏づけられることである。以上のように、分割以前に各機能ブロックが一定の集積度になるよう考慮したうえで、論理設計を行なわなければ理想的な分割は行なえない。

4.4 汎用化回路

従来の直接論理方式であれ、ROM使用のマイクロプログラム方式であれ、電卓には固有の回路部分およびシステム部分が存在する。設計の第一段階はその固有回路部分について、

- (1) けた数および機能に関係なく共通な回路にする。
- (2) LSI化に適した構成——入出力信号を少なくする。

結論として、表2に示すように汎用性をもたせることができた。これはROM方式を採用したために、全体的に制御部分の信号数が少なくなり分割が容易になったためである。たとえば、HD3201 (IU1)は純粋に入力回路部分の構成であり、キー信号の保持およびキー操作順序の保持機能をもっている。したがって、キーの種類が同じであればすべてのシステムに共用できる。HD3202 (Address Register) および HD3204 (ROM) は、特に電卓に限らず使用できるように汎用化したものである。HD3206 (Register) および HD3207 (Timing FAS) は、12~16けたの中高級機クラスに使用される場合を標準とし、8~10けたの低級機クラスに使用する場合にさらに効率よく2倍の機能に使用できる構成になっている。

4.5 シミュレーション

LSI化された回路については、ただ1個のミスがあってもあとの修正は容易ではない。特に、今回のシリーズ化製品については、

- (1) けた数選択の問題
- (2) 標準機、高級機切換えの問題
- (3) ROMパターン変更による機能のフレキシビリティ
- (4) 汎用化回路の応用性

とチェック項目が従来の数機種分に相当するため、計算機によるシミュレーションを大幅に導入してある。日立製作所中央研究所で開発されたRTL (Real Time Logic Simulation) を用い、各LSIの論理チェックおよび周波数特性のチェックを行なっている。RTLによる論理シミュレーションの結果、各LSIから3~4個の論理ミスが発見されじゅうぶんな機動力を発揮した。さらに、論理段数のチェックからクリティカルパスの検出、限界動作周波数の計算の結果、理論的な演算時間が算出された。図9はクリティカルパスの応答に関する計算結果と実測結果を比較したものである。

5. 仕様上の考慮

演算プログラム作成にあたって下記仕様の考慮を行なった。

5.1 指定式自動小数点方式の採用

小数点方式には、固定小数点、自動小数点、指定式自動小数点、浮動小数点など種々の方式がある。しかし、使いやすく計算精度の

高い指定式自動小数点方式が事務計算では最もすぐれている。電卓が普及し、いろいろの分野で使用されるようになると、

(1) 使いやすいこと

置数は、自動小数点で任意のけたに小数点を指定できるとともに、計算結果は指定けたにそろえられるので読み取りやすい。

(2) 計算精度が高いこと

置数された数字をすべて有効けたとして扱うので、計算結果に誤差が生じない。さらに計算結果が指定位置にそろえられるので、任意けたでの結果の切捨て、切上げ四捨五入機能が付けられる。

以上をすべて満足した仕様となっている。

5.2 オートシフト機構

オートシフト機構とは万一小数点の指定が不適切でも、またはけたあふれの生ずる場合でも、計算機自体が判断して自動的にけた下げを行なう機構である。これは日立製作所独自の方式である。従来は指定けた以上になると、結果の上のけたがカットされるため無効となっていた。

5.3 アンダフロー方式

計算結果が万一表示けた以上の大きい数字になった場合でも、常に有効けたを確保し上のけたから表示する。したがって、表示けた以上の計算についても、連続して有効けた計算を行なうことができる。

5.4 機能に応じて選択(追加)できる機能

けた数——任意けた数

結果の丸め——切捨て、切上げ、四捨五入

指定小数点——任意けた

Σ_1 (個々の積(商)と積(商)和、積(商)差)

Σ_2 (個々の積(商)と被乗(除)数和差)

M_1+ , M_1- (メモリー1加減算)

M_2+ , M_2- (メモリー2加減算)

定数乗除算、逆数計算、べき計算、開平計算、プログラム機能などを考慮してある。

5.5 組合せ演算に対する考慮

四則演算が完全であっても、組合せ上の処理およびキータッチの処理がじゅうぶんでないと、誤操作、誤演算の原因となり実用上支障をきたす場合が多い。従来はコストを重視するあまり、これら表面に出ない機能によるコストアップを避け、細かい点で機能上問題になる製品が見られた。しかし昨今では、ユーザーの判断および評価のレベルアップにより、おのおのの機種に対する欠陥が指摘され始めている。現在市場に出ている電卓を詳細にチェックすると、下記の機能に欠陥がある場合がある。

(1) 演算けた数: 表示けたいっぱいの演算が可能かどうか。

ほとんどの電卓が除算において、除数を表示けたいっぱいに置数すると誤演算となる。

(2) ファンクションキー ($\boxed{+/-}$, $\boxed{=}$, $\boxed{\times}$, $\boxed{\div}$ など) の二度押し

$A \boxed{+/-}$ と操作するつもりが、誤って $A \boxed{+/-} \boxed{+/-}$ と二度押ししてしまうケースがあるが二度目の演算を押えているかどうか。

(3) キーの押し換え

乗算を行なうつもりが、誤って $\boxed{\div}$ のキーを押してしまった場合、 $\boxed{\times}$ に変更できるかどうか。

(4) 速いきータッチ

電卓の操作に熟達してくると、タイプライタなみにキータッチが速くなってくるが、演算が追従できるかどうか。

(5) 四則演算の組合せ

$(A \times B) + C$ の演算を行ないたい場合、普通の操作では $A \boxed{\times} B \boxed{+/-} C \boxed{+/-}$ であるが、最後の $\boxed{+/-}$ で定数計算となり、演算不可

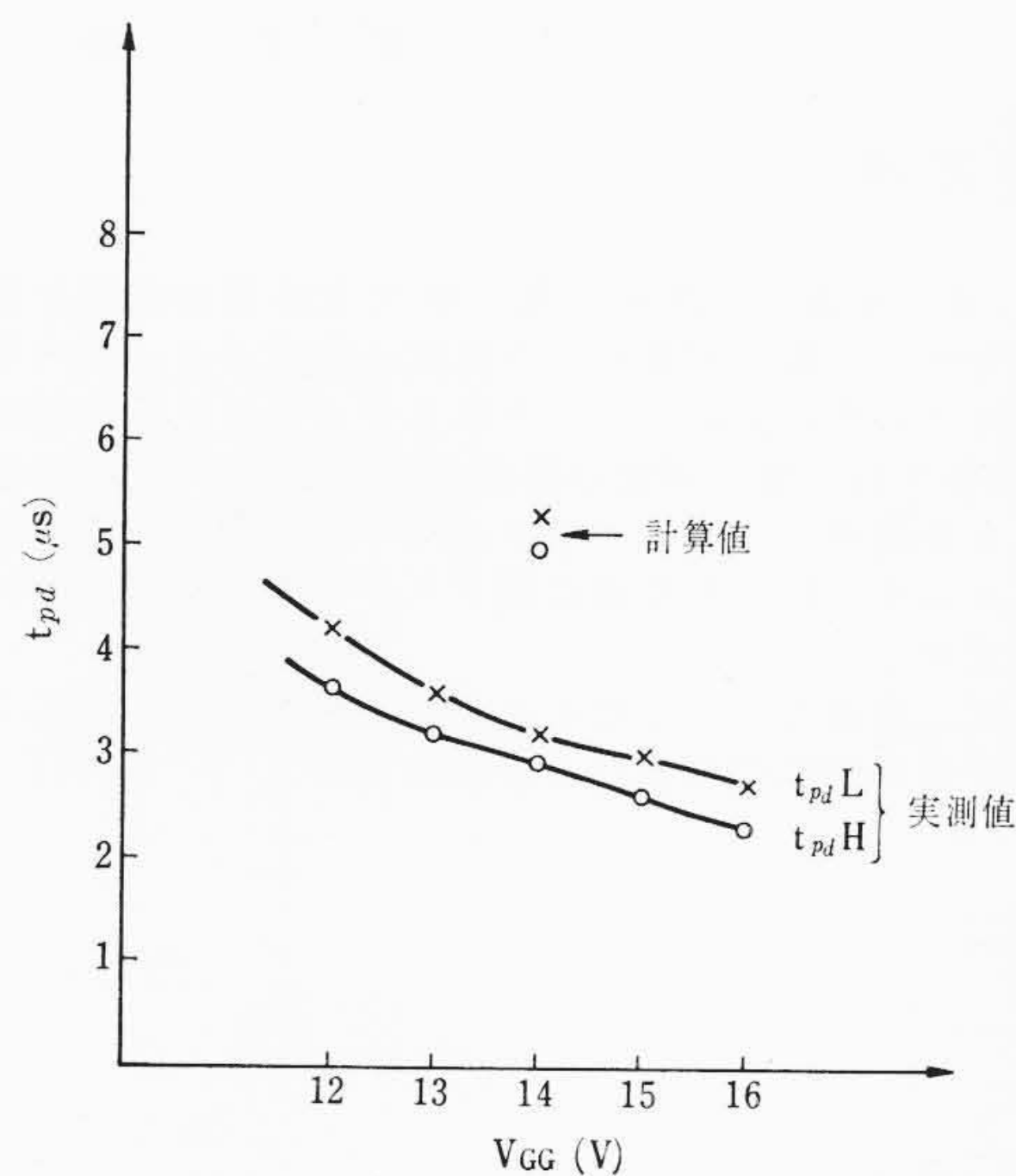


図9 クリティカルパス

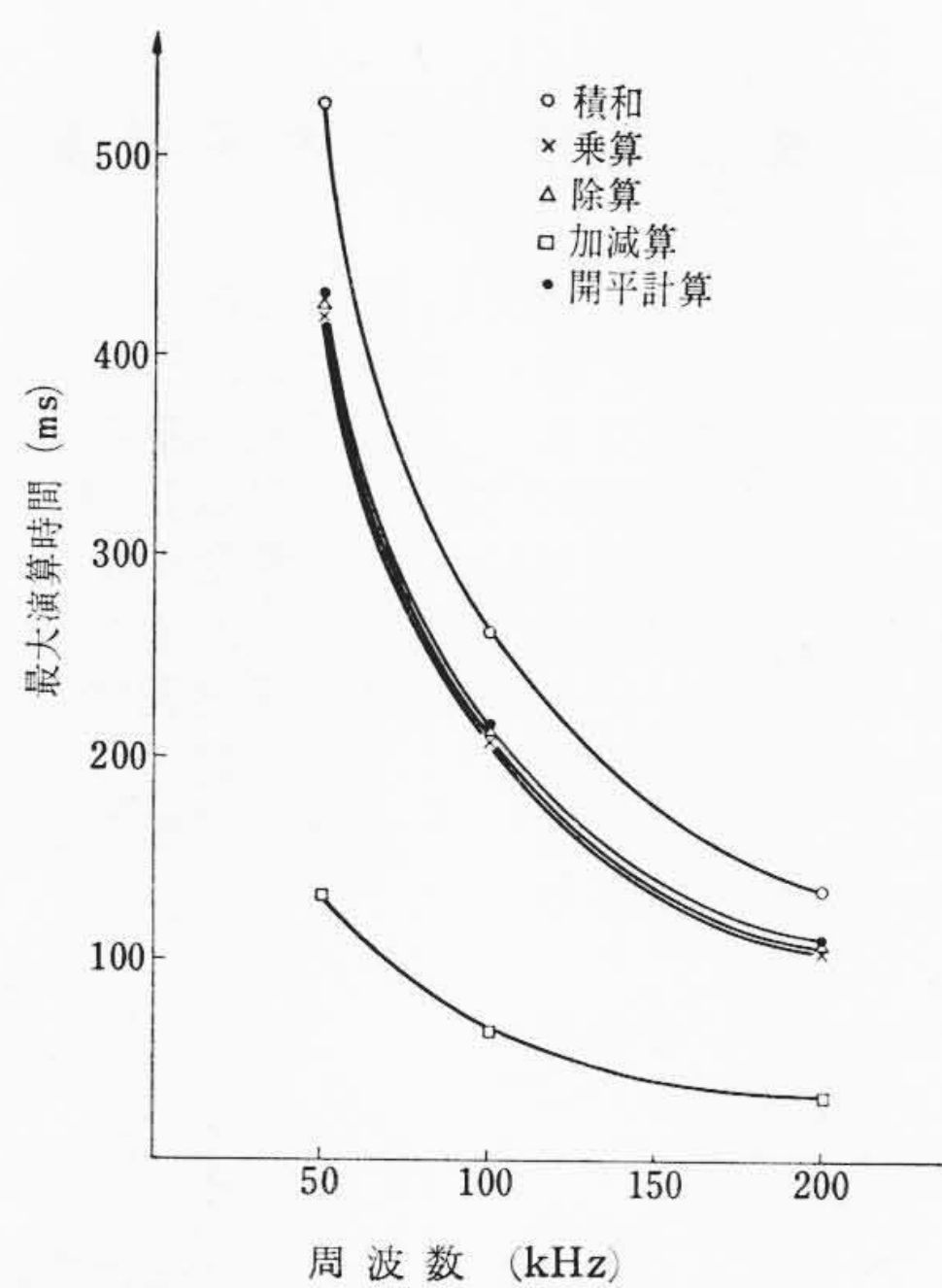


図10 演算時間

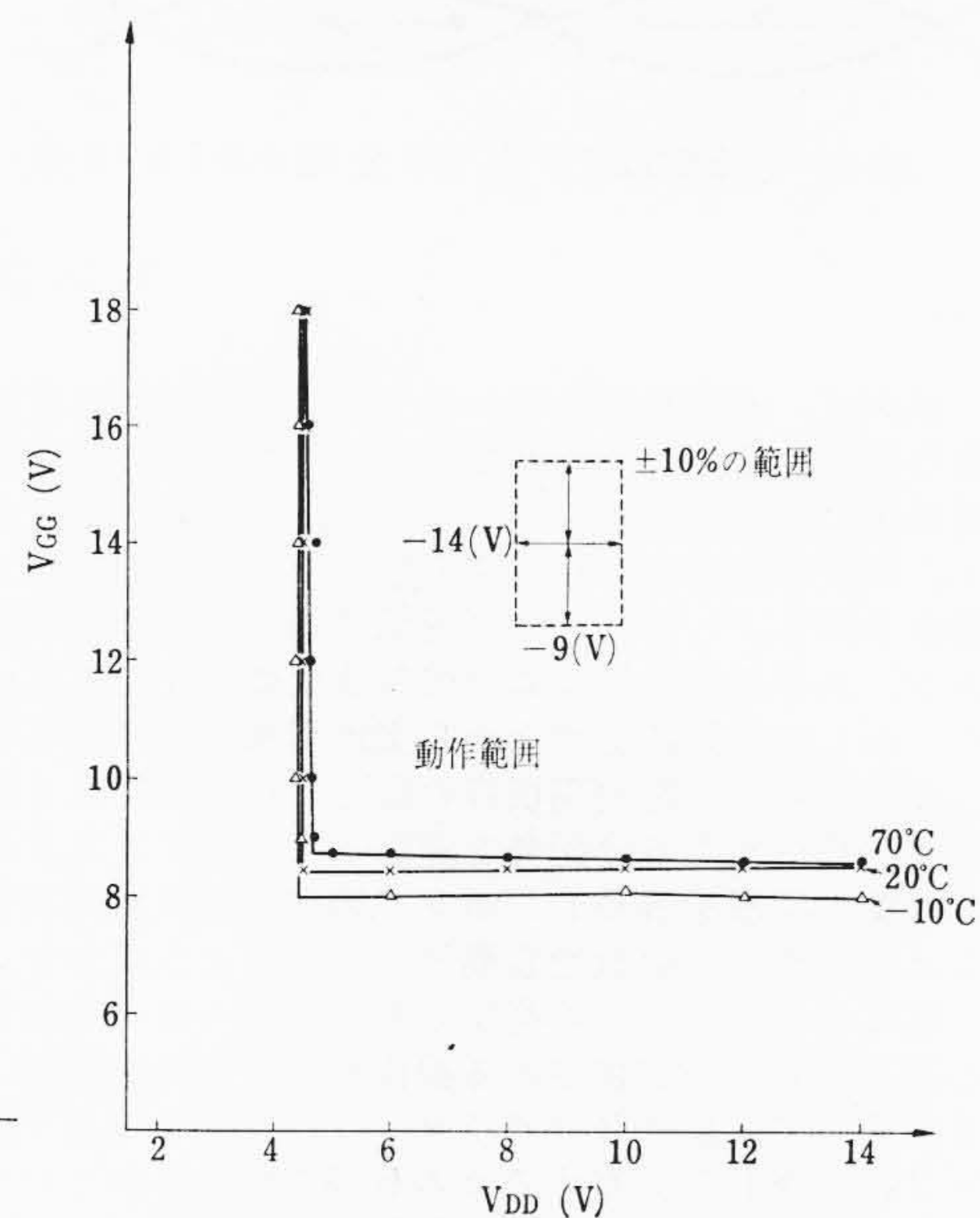


図11 電源マージン(論理部のみ)

能な機能となっているケースがある。

(6) 連乗連除

$A \times B \times C \div$, と数式どおりの演算が可能かどうか。

(7) 演算途中の一時記憶

$A \times B$, と操作途中に B をメモリーへ一時記憶したい場合があるが, $A \times B \text{ [M+]}$ の操作により $\times$ が解除されたり, B がけた合せされたりして演算が続行できない場合がある。

(8) 演算途中の小数点指定けたの切換え

演算途中に指定けたを切り換えるケースは多いが, 切り換えると誤演算となる電卓が多い。

(9) エラー表示

制限外の演算でエラーが生ずるのは避けられないが, 適格にエラーと表示せねば, ユーザーに誤った答を提供してしまうことになる。これが意外に多く(完備したものが少なく), 電卓に不信を与える原因となっている。

以上, 例をあげるときりがないが, これらすべてについてエルカシリーズではじゅうぶんな考慮が払われている。これら仕様上の考慮が市場で好評を博している主因といわれており, 今回の40シリーズにおいてもあらゆる点から検討を加えて設計している。

6. エルカ40シリーズ試験結果

6.1 周波数特性

試作機の実験特性では, V_{GG} (二次電源) $\pm 10\%$ 変動に対しクロック周波数の限界は200 kHzであった。したがって, 標準値を100 kHzに選べばおのおのの演算時間は, 図10のようであり最大演算時間で260 msである。従来のMOS IC機では, クロック周波数はせいぜい100 kHz止りであり, 標準周波数は60~70 kHz程度である。したがって最大演算時間は500 ms程度が普通であり, LSI化によって演算時間を1/2程度にできた。これは, LSI化によって回路全体の浮遊容量が大幅に減少したことと, 電源電圧を大幅に小さくできたことによる。

6.2 電源マージン

図11は, 試作機LSI部の電圧マージンを示したもので, 電源 $\pm$

10%変動範囲をじゅうぶんに満足した特性を示している。電源マージン特性は, 電卓の信頼性を確保するうえで重要な要素となるものであり, 従来のMOS ICより向上している。これは従来のMOS ICがダイオードとの組合せであるのに対し, LSIではMOS単独の回路で構成されるためである。

6.3 消費電力

装置を小形にしコードレス方式にして, 消費電力を極力小さくせねばならない。今回のLSI試作機について消費電力の実測を行なったところ, 論理部分(LSI 9個)での消費電力は0.7 Wであった。従来の同機能の電卓ではこれが4 W程度であるから, 約1/6に低減できたことになる。したがってバッテリー駆動も可能となったが, 実用面およびコスト面に多少問題が残されているため, 今回の試作機には従来の電源を使用した。

7. 結 言

電子式卓上計算機のLSIについて報告した。すなわち, ROM使用のマイクロプログラム方式の開発により,

- (1) LSI 8品種に汎用性を与えた。
- (2) 普及機タイプから高級機タイプまでを, 9品種のLSIで構成しシリーズ化を完成させた。
- (3) 今後の仕様変更, 仕様追加については, ROMパターンの変更のみで実現できるようになった。
- (4) 論理部の消費電力を1/6に減少するとともに, 部品数の大幅な低減により小形化を達成した。

終わりに, このLSI開発にあたり, ご指導, ご援助いただいた関係各位に対し深く謝意を表する次第である。

参 考 文 献

- (1) Floyd Kvamme: Electronics Jan. 5, 1970
- (2) H. R. Beelitz ほか2名: FJCC, 1967
- (3) Saul Y. Levy: IEEE Trans. EC-16, Oct. 1967
- (4) 久保, 永田ほか3名: 電四連大 No. 2205
- (5) 久保, 永田: 電四連大 No. 1647