
大形電子計算機特集

超高性能電子計算機.....	49
DIPS-1 システムの概要	52
DIPS-1L システム (ハードウェア)	58
HITAC 8700 オペレーティングシステム	65
H-8700 システム (ハードウェア)	72
外部記憶装置	77

超 高 性 能 電 子 計 算 機

Ultrahigh Performance Computer

西 野 博 二*
Hiroji Nishino

要 旨

通商産業省工業技術院で実施中の研究開発プロジェクト「超高性能電子計算機」で、日立製作所に委託されている試作システムについて、研究開発の目的、経過ならびにその成果の概要を述べている。1970年代初頭の標準大形機として設定されたシステム性能について言及し、かつシステムの特徴として四つのねらいを挙げ、それがいかに実現されているかを具体的に述べている。

1. 緒 言

昭和41年度から約100億円の予算規模で始まった「超高性能電子計算機」の研究開発が、今年の3月末で6年間のプロジェクトを終えることになった。

このプロジェクトが計画された時期は、計算機のいわゆる第2世代から第3世代への機種交替期に当たっており、ようやく工業として成長し始めたわが国の計算機業界が、アメリカの巨大企業との競争に耐えていくための大きな試練の時期であり、国の施策としても強力な技術開発が要望された時期であった。

現在の計算機業界もきたるべき自由化をひかえて、外に当たっては依然として激しいアメリカ企業との競争、内にあっては国内企業の再編成の問題など非常に困難な時期にある。また計算機世代も、いつの間にか俗に3.5世代といわれる時代に移りつつあるが、プロジェクトの発足当時をふり返ってみると、半導体集積回路技術の急激な進歩、巨大なオペレーティング・システムの台頭、新しい利用形態としての会話形利用方式(TSS)の実用化など、種々の技術的諸問題が山積しており、わが国とアメリカとの技術格差は現在よりも大きかったと思われる。

したがって、このプロジェクト関係者の問題意識が、わが国計算機工業の国際競争力を強化することに向けられたのは、当然の帰結と言わねばならない。このような問題意識の下に、計画されたプロジェクトの目的は、「国際的なレベルで通用する性能、規模、信頼度を有する商用の標準大形機を国産技術で1970年代初頭に世に出すための研究開発」であると要約することができる。

このような目的のために、計画され、実施されたプロジェクトの内容は、次の三つのカテゴリーに大別することができよう。

- (1) 上記の研究開発を総合、統一して、その成果の具体的な実証手段として、標準大形機のモデルを試作する。
- (2) このようなハードウェア・システムを構成するために必要な高性能、高信頼度を有する部品ならびにサブ・システムを開発する。
- (3) 利用者レベルでのソフトウェアの共通化を目標とし、かつ上記高性能のハードウェア・システムに適合するオペレーティング・システムを開発する。

このうちで、システムのまとめとしての(1)が中心的な重要度を占め、あらゆる研究開発の成果がこれに集約化されることとなった。

筆者はこのプロジェクトの委託者側の一人として、特に試作計算機システムを中心として、その開発の経過と、成果の概要を求められるままに述べることにする。

2. システムの目標性能

「超高性能の大形機」という言葉(ことば)には明確な概念がある訳ではないから、人によって受け取るイメージが異なるが、IBM 360/85, 360/195, 370/165, CDC 6600, 7600, UNIVAC 1110など、その時代における最先端の技術を駆使した大形計算機という意味では共通的なイメージがある。

したがって、このような大形機に対する社会的な需要や、企業の立場からみた採算性の問題など、人によっては種々の考え方があるにしても、要はこのような計算機のために開発された技術のうちで、有効なもののみが最先端の実用技術として定着し、また他の機種にも応用されていくという事実がきわめて重要である。また、計算機開発の過程では、部品だけとかサブ・システムだけの開発ではじゅうぶんでなく、システムのなかで実用され、その有効さがシステムのコンポーネントとして実証される必要がある。このプロジェクトで大形機のモデルを試作した意義がここにある。

計算機のシステム性能に関しては、従来から5年間で約4倍進歩するという経験則がよくあてはまるといわれている。図1はその性能の目安のひとつとして、平均命令実行時間(ギブソン・ミクス)の年代的推移を示したもので、このような時間の流れを考えると、かつての「超大形機」も何年かの実用期間のうちには、「標準大形機」の性能に追いつかれる運命を持っている。このプロジェクトで開発するシステムは、「標準大形機」に照準を合わせて、そのギブソン・ミクス値は開発の終了時期から0.2~0.3 μ sに設定されている。

ほぼ同様な考察から、そのほかの主要なシステム性能(外部仕様)として、表1に示すような値を設定した。プロジェクトの終了まぎわの現時点からみて、当初設定した目標性能が現在の技術進歩に遅れをとらない妥当なものであったといえることができる。もちろん、これらの目標を達成するために、関係者各位の必死の努力があったことにあらためて感謝しなければならない。

表1に示したようなシステムの性能諸元はそのほかのシステム仕様を含めて、42年10月に日立製作所、日本電気株式会社、富士通株式会社の3社に提示され、各社からの具体設計の提案をまって43年下期から日立を総括製作者に指定して、システム製作が開始された。

この間、このプロジェクトで指向する標準大形機と同じ範疇(はんちゅう)に属するIBM 360/85の発表があり、半導体ICメモリが当初予想した以上に早期に実現する見通しが強まったので、このプロジェクトでもICメモリの採用に踏み切ることにし、システム仕様の一部変更、またそれに伴って当初の5年計画を1年延期することに決定した。

以後44年度に小規模のパイロット・モデルを試作して、論理回路、実装技術などのチェックを行ない、予定よりいくぶん遅れて46

* 工業技術院電子技術総合研究所

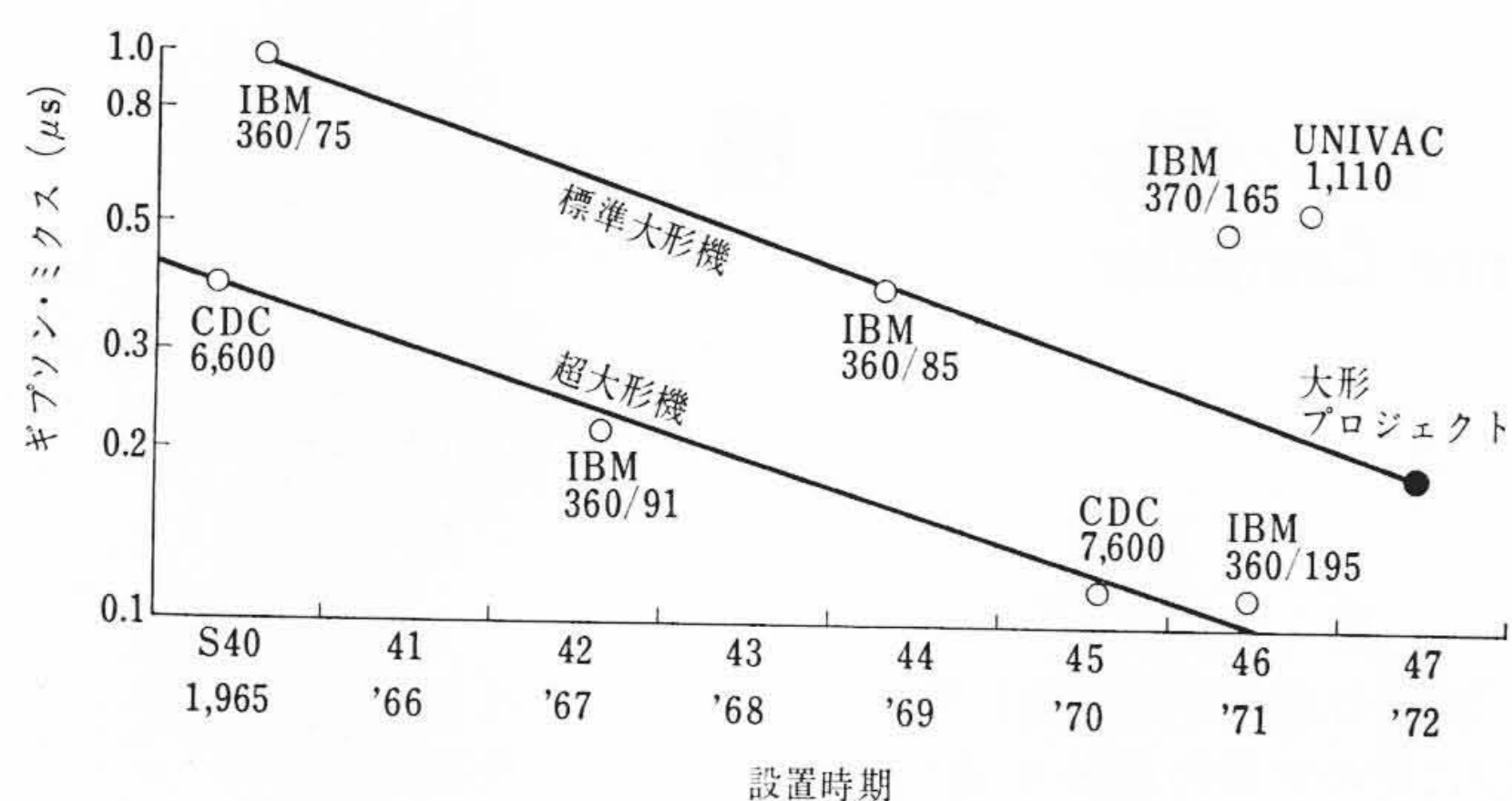


図1 性能の年代的推移

表1 システム性能

装置	目 標	性 能
中央処理装置	ギブソン・ミクス	200~300 ns/ユニット
	クロック周波数	100~150 MHz
	論理回路	CML 1.5 ns
	バッファ記憶	サイクル時間 100 ns
主記憶装置	サイクル時間	600 ns
	ユニット容量	1 MB
	バンク容量	262 KB (131 KB×2 モジュール)
	実装容量	2 ユニット
メモリ・スイッチ	転送速度	160 ns/8 B
	接続インタフェース	分散型, BPU 4台と接続可能
入出力処理装置	高速セクタ	4 MB/s, 2 トランク/チャンネル
	セクタ	1 MB/s, 2 トランク/チャンネル
	マルチプレクサ	0.1 MB/s, 16 トランク/チャンネル
	スループット	8 MB/s
磁気ディスク	記憶容量	900 MB
	転送速度	0.72 MB/s
	平均アクセス時間	87.5 ms
磁気ドラム	記憶容量	4 MB
	転送速度	2 MB/s
	平均アクセス時間	10.5 ms

年に本体製作と調整を終え、これと並行して開発したソフトウェアのデバッグに使用することになっている。

3. システムの特徴

このプロジェクトが National Computer Project を標榜(ひょうぼう)し、この研究開発の波及効果を重視すべきであるという性格から、プロジェクトで指向する計算機のシステム設計については、広く計算機関係者の合意を得る必要があった。委託者側の電子総研とシステムの受託を希望する日立製作所、日本電気株式会社、富士通株式会社の3社ならびにソフトウェア開発を受託した日本ソフトウェア株式会社の間で、頻繁(ひんぱん)に技術的意見の交換を行なった。また大学などの学識経験者の意見をもじゅうぶんに汲み取って、システムの特徴として次の四つのねらいを実現することを設計の指針とした。

- (1) 大容量ファイルから主記憶に至るまでの記憶装置の性能を向上させ、かつ効率のよいメモリ階層を選ぶことによって、メモリの性能がじゅうぶん発揮できるようなファイル中心のシステム。
- (2) 主記憶を共有する複数個の処理装置を有し、利用目的に応じて処理能力と可用性を向上させることのできる対称形の多重プロセッサ・システム
- (3) 種々の新しい入出力装置ならびに通信回線、端末機器などが接続容易な入出力制御の拡張性の向上と入出力インターフェースの標準化

(4) システムの信頼性と可用性の向上

このような設計方針は、システムのとりまとめ責任を持つ日立製作所によって、以下のように具体化された。

3.1 ファイル中心のシステム

大容量のデータ・ベースを効率よく集中管理する技術が、最近の総合的な情報システムでは不可欠のものとなってきている。このようなファイル中心のシステムに必要なハードウェアとして、このプロジェクトで最も研究開発に力を注いだのは、表1および表2に示したような集団ディスク装置と MOS-LSI メモリである。前者は日立製作所、後者は日本電気株式会社において開発が行なわれ、じゅうぶんな成果が得られた。高速主記憶としてのワイヤ・メモリの開発も東光株式会社で実施されたが、プロジェクトの途中で、LSI メモリを利用したバッファ記憶方式を採用することになったため、主記憶としてのワイヤ・メモリはモデル製作の段階にとどめ、その技術はバッファ記憶の予備として利用されている。

バッファ記憶方式はサイクル時間 100 ns, 16 KB の LSI メモリとサイクル時間 600 ns の磁心メモリの間でデータの自動的なブロック転送を行なうもので、ソフトウェアの支援を必要としない。詳細なシミュレーション実験の結果によって、表2に示すような設計諸元が採用され、磁心メモリと IC メモリで構成する記憶階層の価額性能比の最適化を図っている。

表2 バッファ記憶と主記憶の性能と構成

項 目	バッファ記憶 (1 ユニット分)	主記憶 (2 ユニット分)
媒 体	MOS-LSI, 144 ビット/チップ	16 ミル フェライト磁心
実装容量	16 KB	2 MB
サイクル時間	読出し 100 ns, 書込み 75 ns	600 ns
バンク数	2	8
セクタ数	16, 16 ブロック/セクタ	
ブロック長	64 B	
ペー ジ		4 KB
転 送 幅	8 B	8 B

主記憶の実装容量は 2 MB であるが、 2^{32} B の論理アドレス空間がタスク単位で使用できる。論理アドレスは図2に示すような形式を持ち、実効アドレス作成の際にフィールド間でけた送りが伝播(でんぱ)するから、セグメントの大きさはプログラマが任意に選ぶことができる。固定長のセグメントとページのサイズを持つ2次元アドレスと比較して1.5次元アドレスとでもいふべき融通性がある。

論理アドレスから物理アドレスへの変換は、バッファ記憶に設けられた連想レジスタを利用して行なわれ、いわゆる仮想メモリ(論理アドレス変換)方式をとっている。ページが主記憶にない場合は、ハードウェアの割込みが生じ、セグメントやページなどのテーブル類の管理はソフトウェアで行なわれる。

また、いわゆるダイナミック・リンク機能を可能にする特別なロード命令や、リンク・フォールト割込みを生ずるハードウェア手段を持っている。

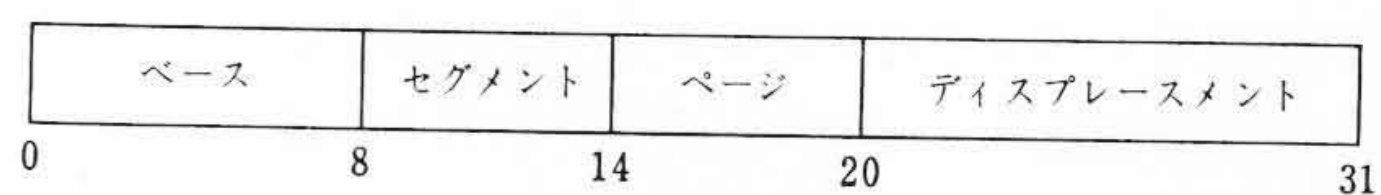


図2 論理アドレス形式

3.2 多重プロセッサ・システム

試作システムは、図3に示すように中央処理装置(BPU) 2台がメモリ・スイッチを介して主記憶装置(MMU) 2台を共有するように接続されている。メモリ・スイッチには後述する可用性を考慮して分散形を採用し、スイッチ1台はMMUの4バンク(1MB)とBPU

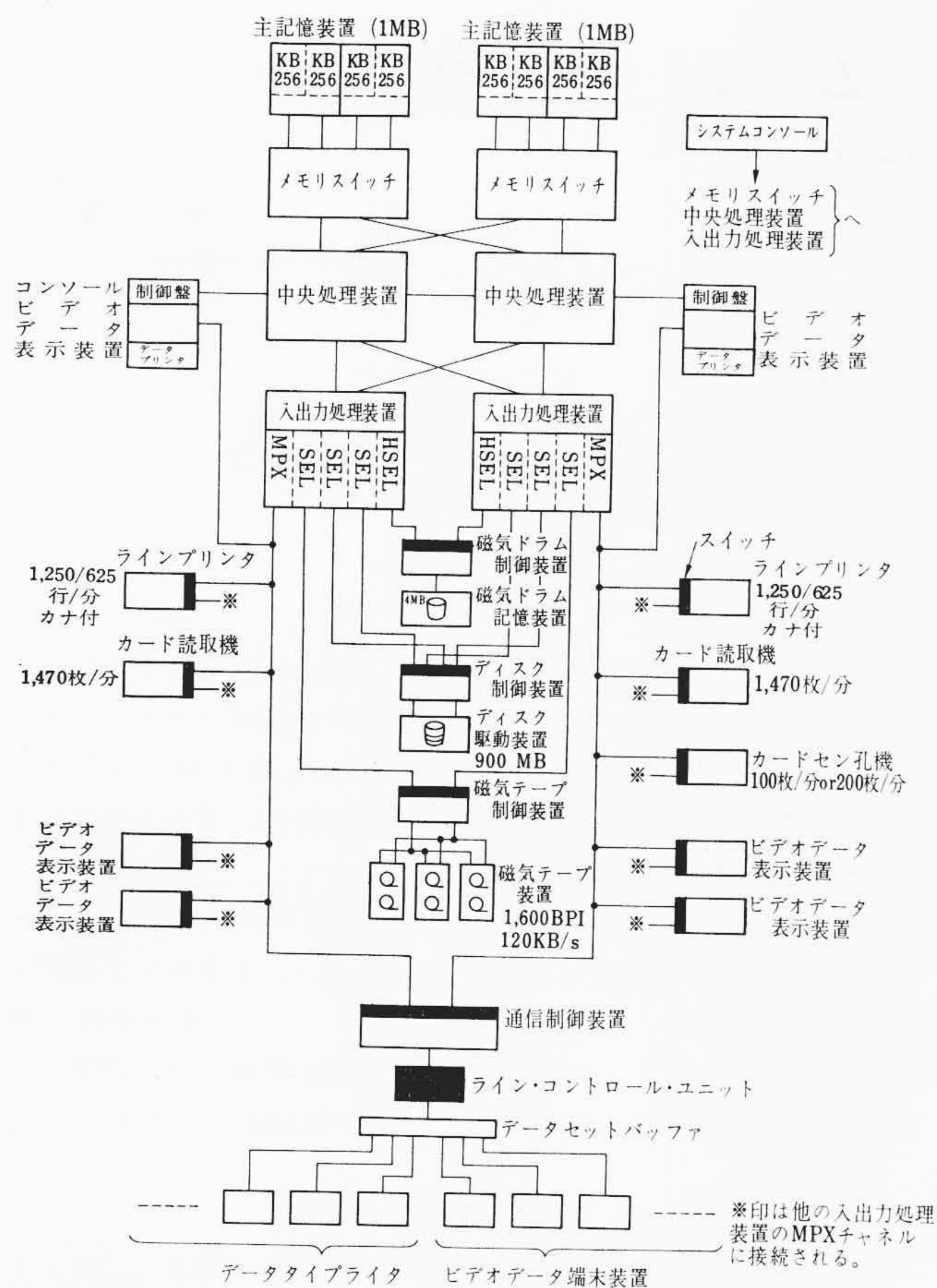


図3 システム構成

4台を接続するインターフェースを持っているので、最大システム構成として、BPU 4台、MMU 8台(8MB)を持つことができる。

BPUは10個の独立した処理ユニットに区分され、50 nsを基本単位としてユニット間のパイプライン制御が実行され、演算処理の高速化が図られている。BPU間の制御情報の交換のために、直接制御(DC)とインターロック制御のためのメモリを介するTS(テスト・セット)命令がある。

バッファ記憶を持ち、かつ多重プロセッサ・システムというほかに例をみない構成であるために、BPU内のバッファ記憶にすでに取り込まれた主記憶の内容が、別のBPUによって変更された場合には、4KBのページ単位ごとにあるバッファ表示子を見て、バッファ記憶の無効を表示する特別なメモリ制御が設けられている。

入出力処理装置(IOP)も試作システムでは2台が実装される。IOPはBPU経由でMMUに接続されるが、いずれのBPUも経由することができる。システムはBPU, IOP, MMU, MSWについてはすべて二重であり、かつこれらの装置間の経路も二重経路を持つ対称形の構成をとっており、Fail Softな構成となっている。

3.3 入出力制御の拡張性

大形機には多数の入出力装置や通信回路ならびに端末などが接続されるので、入出力動作の平行処理能力を上げる必要がある。入出

力処理装置(IOP)は高速セクタ(4MB/秒)、セクタ(1MB/秒)およびマルチプレクサ(0.1MB/秒)の3種類のチャネル部分と、これらの共通制御部から構成される独立の処理装置である。共通制御部は、チャネル・プログラムの実行、チャネルとBPU間のスイッチの役割を果たすほかに、各種のエラー検査や故障診断機能を持っている。これらはマイクロ・プログラム制御によって行なわれ、従来入出力の故障に関する原因追求が困難であった経験から、オンライン診断機能を強化したものである。

今後のシステムには、新しい多種多様な入出力機器や端末が接続されると思われるので、本プロジェクトを契機として、少なくとも国内で共通に利用できるような標準I/Oインターフェースを確立することが要望された。プロジェクトに関係する各社以外に、日本電信電話公社などの協力を得て、I/Oインターフェース69を設定し、実施することになった。このインターフェースは、国内標準ならびに国際標準の基礎となりうるもので、計算機産業の将来の発展にとって、また計算機の利用者にとって大きな意義があると思われる。

3.4 信頼性と可用性の向上

信頼性(Reliability)と可用性(Availability)は最近では保守性(Serviceability)を含めて、RASと略称されているが、大形機的设计製作の基礎技術として今後ますますその必要性が重視される傾向にある。試作システムではRASの向上については、以下に述べるように、従来の機種に比較して格段の考慮を払っている。

試作システムのMTBF(平均故障間隔時間)は、1MBの主記憶、1BPU、1IOPの構成で、100時間を目標としているが、新しく開発した部品を使用し、15万ゲートのBPUで、この目標値を達成するためには、各部品、サブシステムごとに細心かつ組織的な信頼性管理が実行された。

故障の検出は、データ転送には奇偶検査による誤動作検出を基本とし、主記憶についてはさらに1ビットの誤りの自動訂正機能、演算のモジュロ検査機能などがある。

故障時の対策としては、命令の再実行機能とオンラインでの各種の診断命令があるほか、オフラインでの故障位置検出(FLT)機能が用意されている。

システムの再構成のための構成制御は、BPU, IOP, MMUのそれぞれに構成制御レジスタを設け、接続関係を表示し、システム・コンソールによってサブシステムの切離し、再接続が可能となっている。

4. 結 言

このプロジェクトの計画段階から、「1970年代を目ざして」というスローガンで参加していた筆者なども、1970年はまだまだ先の長いことのように思っていたのに、いつの間にかプロジェクトの終了する時期にきてしまった。この長いプロジェクト期間中の種々の経過をふり返ってみて、感慨にたえないものがある。おそらくプロジェクト関係者のだれもが同じ思いを持っているであろうと推察される。このプロジェクトが成功裡に終了することができるのも、ひとえに関係者各位の各自の持場における絶大なる努力とプロジェクトに対する有形無形のご援助のたまものであり、ここに深く謝意を表したい。