

DIPS-1L システム (ハードウェア)

DIPS-1 L System

高 橋 茂* 猪 島 正 雄**
Shigeru Takahashi Masao Inoshima

要 旨

DIPS-1 システムは、日本電信電話公社のデータ通信サービスに適合する標準大形機として計画されたものである。本稿ではシステムを構成するハードウェアについて、その開発の概要を述べる。

1. 緒 言

DIPS-1 システムは、日本電信電話公社のデータ通信サービスに適合する標準大形機として計画されたものであり、日本電信電話公社電気通信研究所がとりまとめて、日立製作所、日本電気株式会社、富士通株式会社の3メーカーが参加して仕様を作成し、これに基づいてその試験システム(DIPS-1L)の設計製作を行なったものである。仕様作成作業は昭和44年5月に開始されたが、その納期は2年後の46年5月末であり、大形機としての論理仕様、性能などからきわめてきびしいスケジュールであった。本稿においては、システムを構成する各装置(論理装置、転送装置、大容量記憶装置、通信制御装置、ファイル記憶装置、入出力装置、集中監視装置)についてその開発の概要を述べる。

2. 論 理 装 置

論理装置(CPU)は、大容量記憶装置(LMEM)、転送装置(DCH)および集中監視装置(CSC)とのインターフェースを有し、DIPS-1L システムの中枢部を形成している。これらの各装置はそれぞれ独立した機能を持っており、CPUは内部演算処理にだけ専念すればよく、徹底した機能の分化を図っている。また、これら各装置は、オンラインシステムに必要な可用性を確保するために、いわゆるマルチプロセッサ構成に必要な機能が用意されている。

CPUの機能面における特徴は、次の3点に要約されよう。

- (1) 論理アドレス機能
- (2) ローカルメモリ機構
- (3) マルチプロセッサ機能

論理アドレス機能は、タイムシェアリングサービスに対するハードウェアのサポートとして本質的であり、論理アドレス空間上で書かれた複数のプログラムを、大容量記憶装置の任意の実アドレス上において時分割で実行することを可能にする。バッファメモリ機構は、内部処理速度に対してメモリのアクセスが遅すぎるのをカバーするために、CPUの内部小容量(8KB)高速(アクセス75 ns, サイクル80 ns)のバッファメモリを用意し、LMEMの内容の一部を写しとして記憶するものである。マルチプロセッサ機能としては、CPU間のコミュニケーションのためのインターフェースや、メモリをシェアするために必要な命令などが用意されている。

このほか、大形機に必須(ひつす)な高速の演算処理能力、可用性確保のために必要とされる保守診断機能などに設計上の重点がおかれている。

2.1 CPU の 構 成

CPUの構成を図1に示す。論理部分は、EU (Execution Unit),

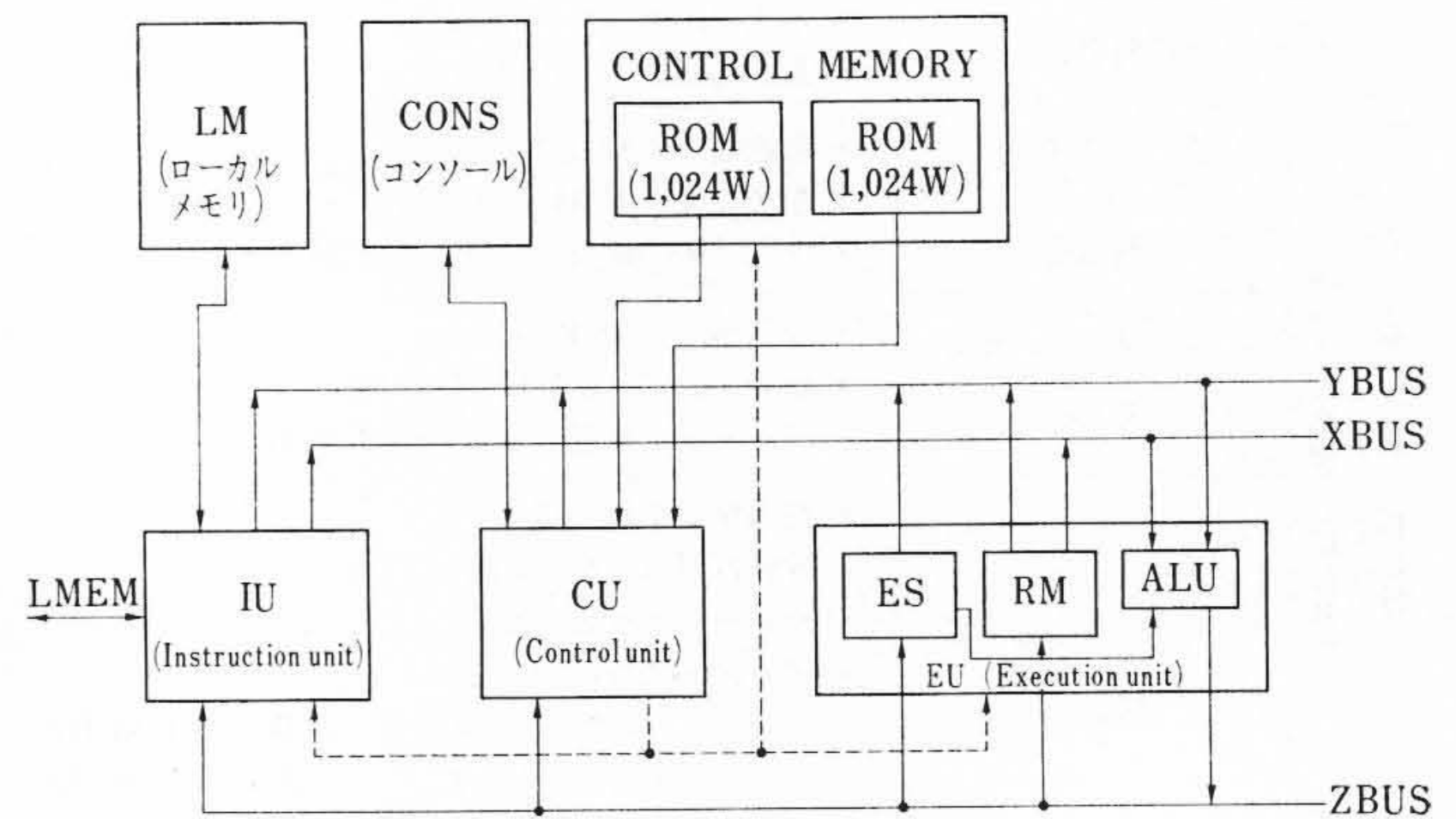


図1 CPUの構成

IU (Instruction Unit), CU (Control Unit) に大別される。EUは、演算器、レジスタメモリ(RM)および内部状態レジスタ(ES)などより成る。IUは、先行制御に必要な命令の先取り制御をつかさどり、ローカルメモリおよびLMEMとのインターフェースを持っている。CUは、マイクロプログラムを収容しているコントロールメモリとのインターフェースを持ち、マイクロプログラムの解読と実行およびマイクロプログラムの指示によるハードウェアシーケンスの制御を行なうものである。また、保守診断のためのパネルとのインターフェースおよび故障位置指摘のための論理を含んでいる。

論理構造の基本をなすものは、各ユニット間をつなぐデータバス(X, Y, Z)である。X, Yバスは各ユニットのレジスタから演算器にデータを送るのに用いられる。Zバスは、演算結果を各レジスタに格納するために用いられる。これらのバスは、それぞれ72本の線より成り、8バイトのデータ転送経路となっている。

命令の実行は、マイクロプログラムによって制御され、100 nsの基本サイクルに同期して行なわれる。

制御ユニットは、全装置に指令を発する部分であり、基本サイクルごとに制御指令を各部に送る。単純な命令は2サイクルごとにその実行が開始され、図2のようなタイムチャートに従って命令がオーバーラップしながら実行される。

単純な命令でバッファメモリに被演算数がある場合でも、図のよ

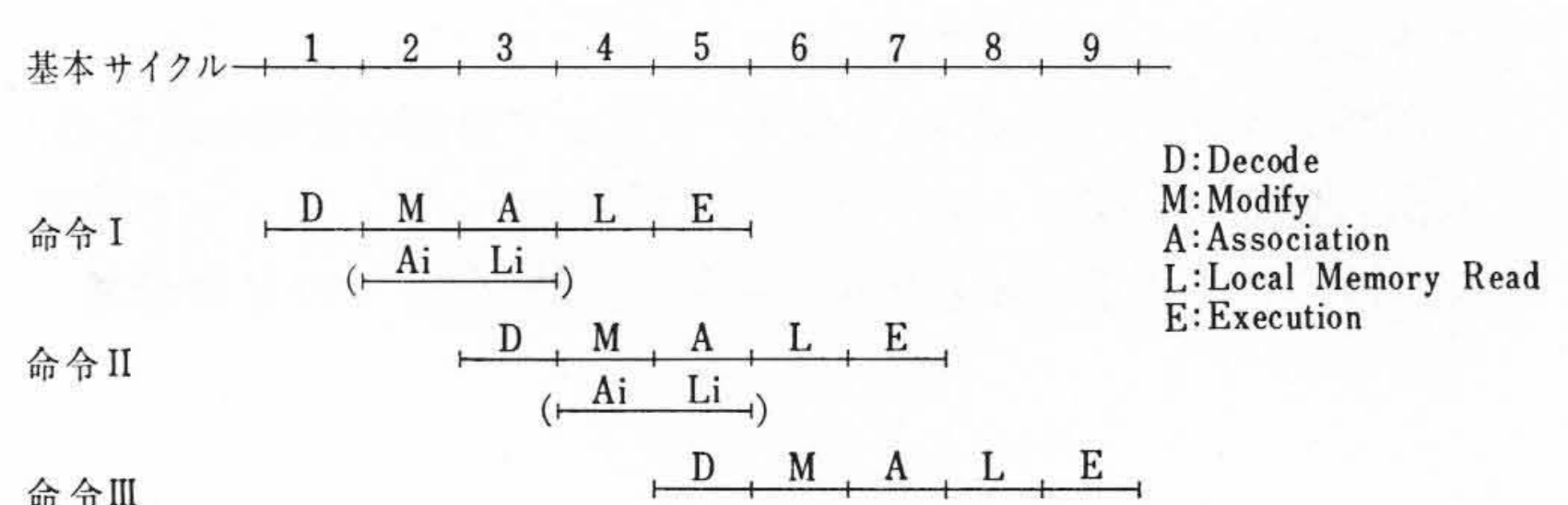


図2 命令実行のタイムチャート

* 日立製作所神奈川工場 工学博士

** 日立製作所小田原工場

うにその実行に5サイクルを要するが、先行制御によって次の命令のアドレス変更とアソシエーションまで並行して行なわれ、2サイクルの間隔で命令の実行が流れることになる。命令実行のEサイクルで、次の次の命令のDサイクルを始めるから、同時に三つの命令が並行して実行されることになる。

アドレス変更のためのアドレス演算は、EUの語演算器を共用して行なわれ、専用の演算器は用意されていない。

2.2 マイクロプログラム

マイクロプログラム制御とすることによって、論理機能の複雑性の大半を吸収しているが、速度性能を確保するために、一部ハードウェアのシーケンス制御で補っている。

マイクロ命令は、72ビットにより構成され、図3のような形式を持っている。

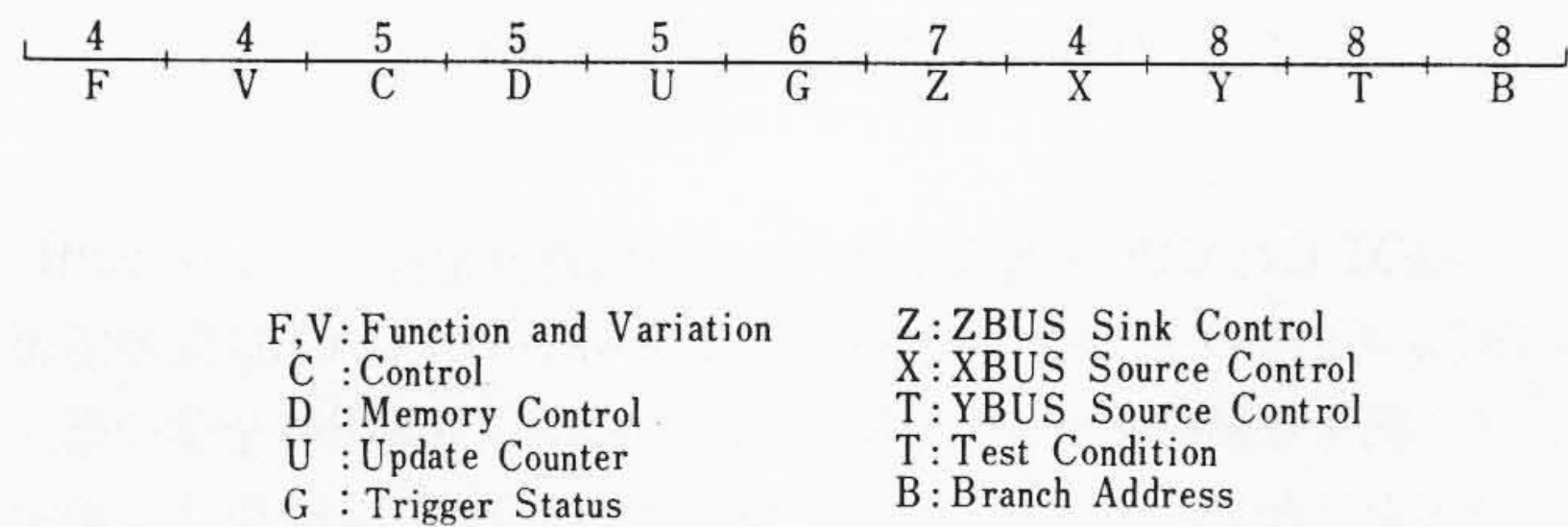


図3 マイクロ命令の形式

メモリは、抵抗マトリックスを厚膜により構成したもので、アクセスタイム60ns、サイクルタイム100ns、容量2,048語の固定記憶装置である。

2.3 可用性設計

可用性を確保するための方策は、次のような設計方針によった。
(1) データには必ずパリティを付加し、データ転送に際しできるかぎりチェックを行なう。演算器についても、パリティ予測により誤りを検出する。
(2) 誤りが検出されたときの対策として、誤り情報の記録(ログアウト)を行なう。
(3) 間欠誤りに対する対策として命令の再実行機能を用意し、再実行が可能な場合は、原則として命令の最初に戻ってやり直す。
(4) プログラムに知らせる手段としてマシンチェック割込みに、回復可能なものと不可能のものと区別して2種類用意する。
(5) 故障位置指摘の手段としてFLT(Fault Locating Test)に必要なハードウェアを用意する。すなわち、すべてのレジスタ、フリップフロップは、その内容をセットしたり、読み出したりできるよう、スキャンイン、スキャンアウトのゲートを設け、FLTのテストプログラムを実行するのに必要なハードウェアシーケンス制御の論理を用意する。

2.4 実装設計

論理素子としては、大型プロジェクトで開発

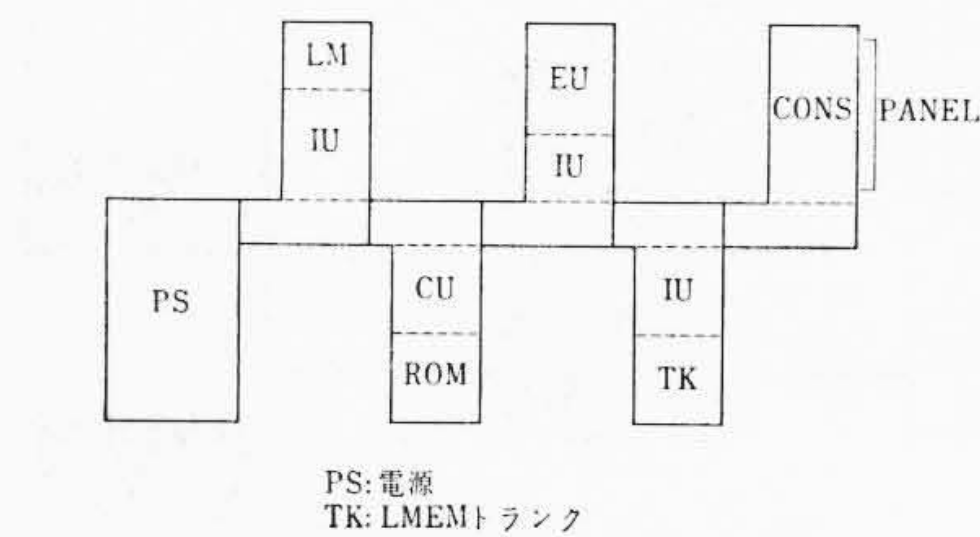


図4 筐体構造と実装

された高速電流切換形ICおよびLSIを採用した。1段あたりの遅れ1.8ns(公称)、消費電力60mWのゲート約54,000で論理部分を構成している。

筐(きょう)体構造は図4に示すとおりで、全体で6個の筐体より構成される。

架はすべて固定で、プラッタは上下2段に実装され、基本構成では、高速論理(9シリーズ)9枚、低速論理(8シリーズ)2枚、固定記憶装置2枚、バッファメモリ1枚より成る。

3. 転送装置

転送装置(DCH)は、論理装置(CPU)の指示により、周辺装置などと大容量記憶装置(LMEM)の間の情報転送を行なう装置である。DCHは、転送制御装置(ChC)とチャネル(CH)より構成され、CHには高速セクタチャネル(HSC)、セクタチャネル(SLC)およびマルチプレクサチャネル(MXC)の3種類がある。

HSCはChCと高速ドラムとの間にあって4バイト並列転送を行ない、SLCはChCと磁気ディスク、磁気テープなどの間にあって1バイト転送を行なうものである。MXCはChCと通信制御装置および中低速周辺装置との間にあって1バイト転送を行ない、バーストモードおよびマルチプレクスモードで動作可能である。

DCHの仕様概略は表1に、構成は図5に示すとおりである。CHij(i,j=0~3)には、HSC、SLC、MXCのどのCHでも搭載(とうざい)可能であり、電源装置は各CH単位で独立である。

表1 DCHの仕様概略

項目	仕様
最大転送能力	CHC: 12×10 ⁶ バイト/秒 HSC: 3.2×10 ⁶ バイト/秒 SLC: 0.8×10 ⁶ バイト/秒 MXC: 0.5×10 ⁶ バイト/秒(バーストモード時) 0.1×10 ⁶ バイト/秒(マルチプレクスモード時)
接続台数	CHC: LMEM 16台以下, CPU 4台以下, CH 16台以下 HSC/SLC: 2×8 I/O C MXC: 4×(8 I/O C または 1 MSW)
データ転送	HSC: LMEM間 32バイト単位, I/O C間 4バイト単位 SLC: LMEM間 32バイト単位, I/O C間 1バイト単位 MXC: LMEM間 8バイト単位, I/O C間 1バイト単位
電源	電源電圧: AC 200V±10% 入力容量: CHC 3.5 kVA HSC 1.5 kVA SLC 1.35 kVA MXC 1.8 kVA

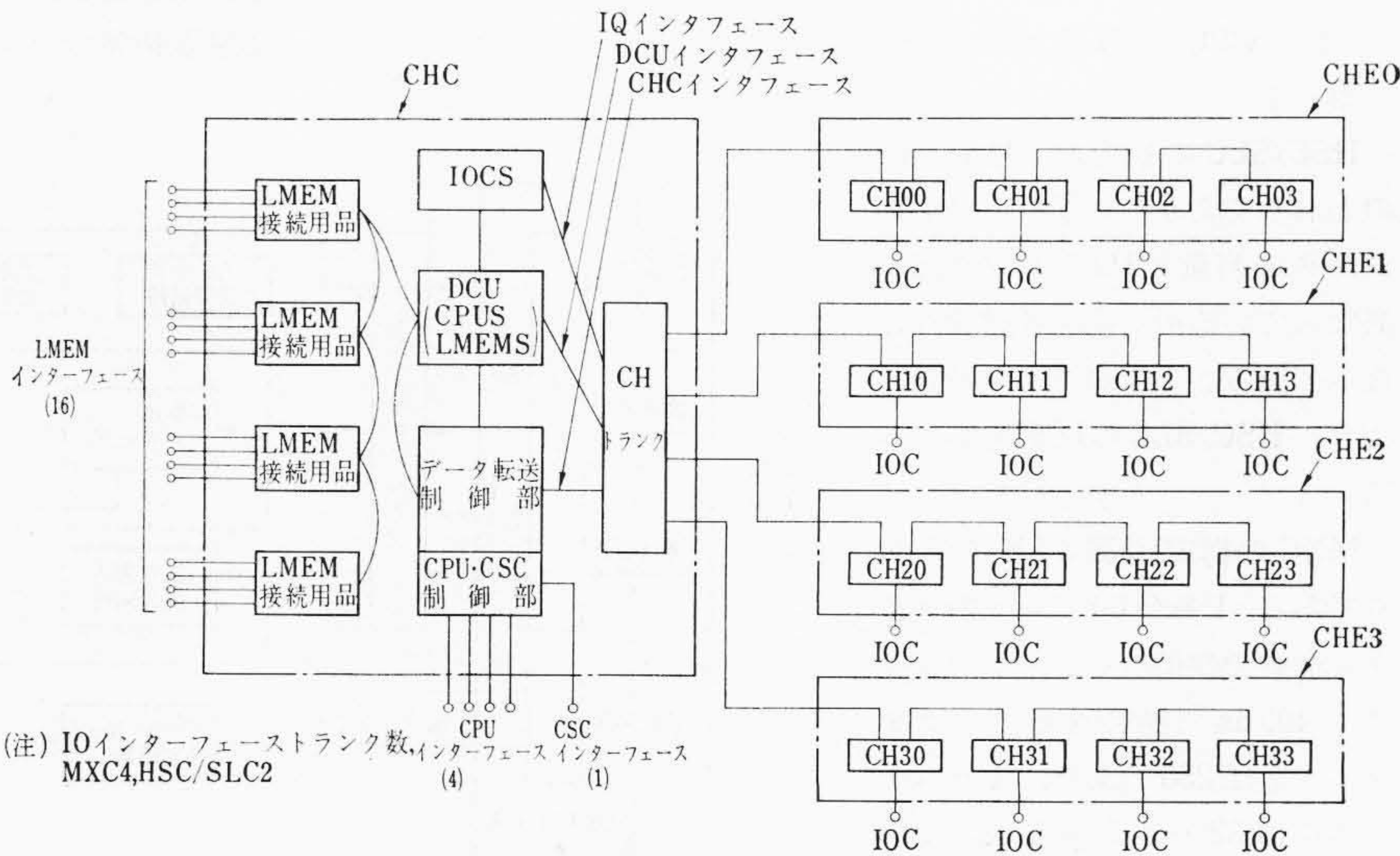
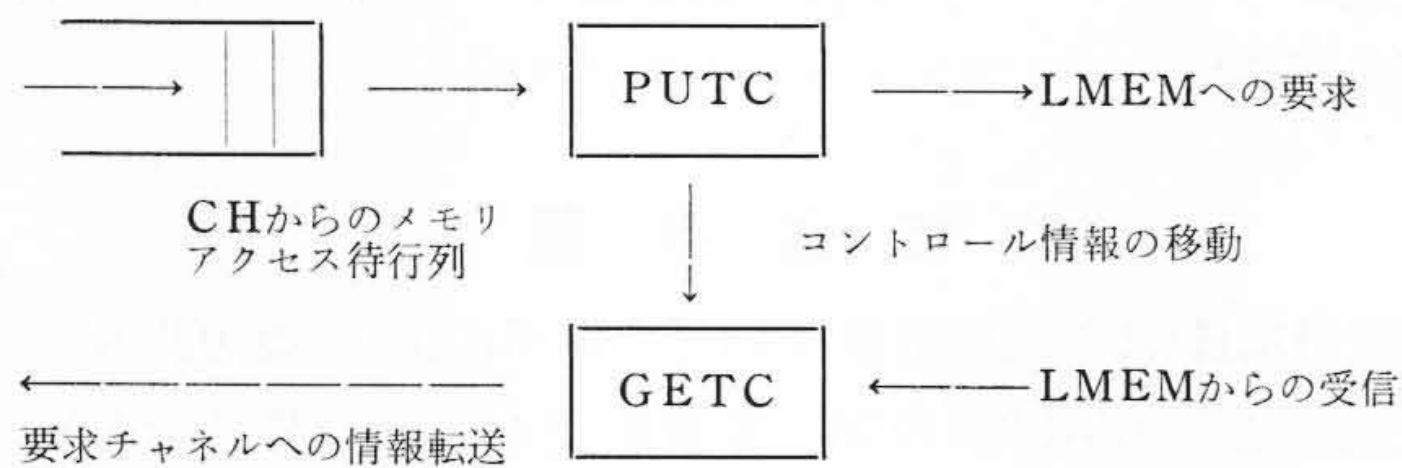


図5 DCHの構成(最大構成)

CHCのデータ転送制御はCHCを二つのコントロールブロックに分け、それぞれを独立に動作させて実効的なスループットを向上させている。一つのメモリアクセスは、前半がPUTCで制御され、LMEMへ要求が出される。

LMEMの受付信号到着後はGETCで制御され要求元のCHへサービスされる。



DCUは、ROMに記憶されたマイクロプログラムにより制御され、DCH全体の保守診断動作を行なう。マイクロプログラムは1語30ビットのマイクロ命令が2,048語使用されており、次の機能が用意されている。

- (a) コンソールサービス機能（各装置のレジスタ制御、LMEMアクセス、IOオペレーション実行など）
- (b) CHCマシンチェックLOG OUT
- (c) CHCマイクロ・ダイアグノーゼス
- (d) 診断コマンドの解釈実行
- (e) CHマシンチェック割込み
- (f) CPUのFLTロードのサポート

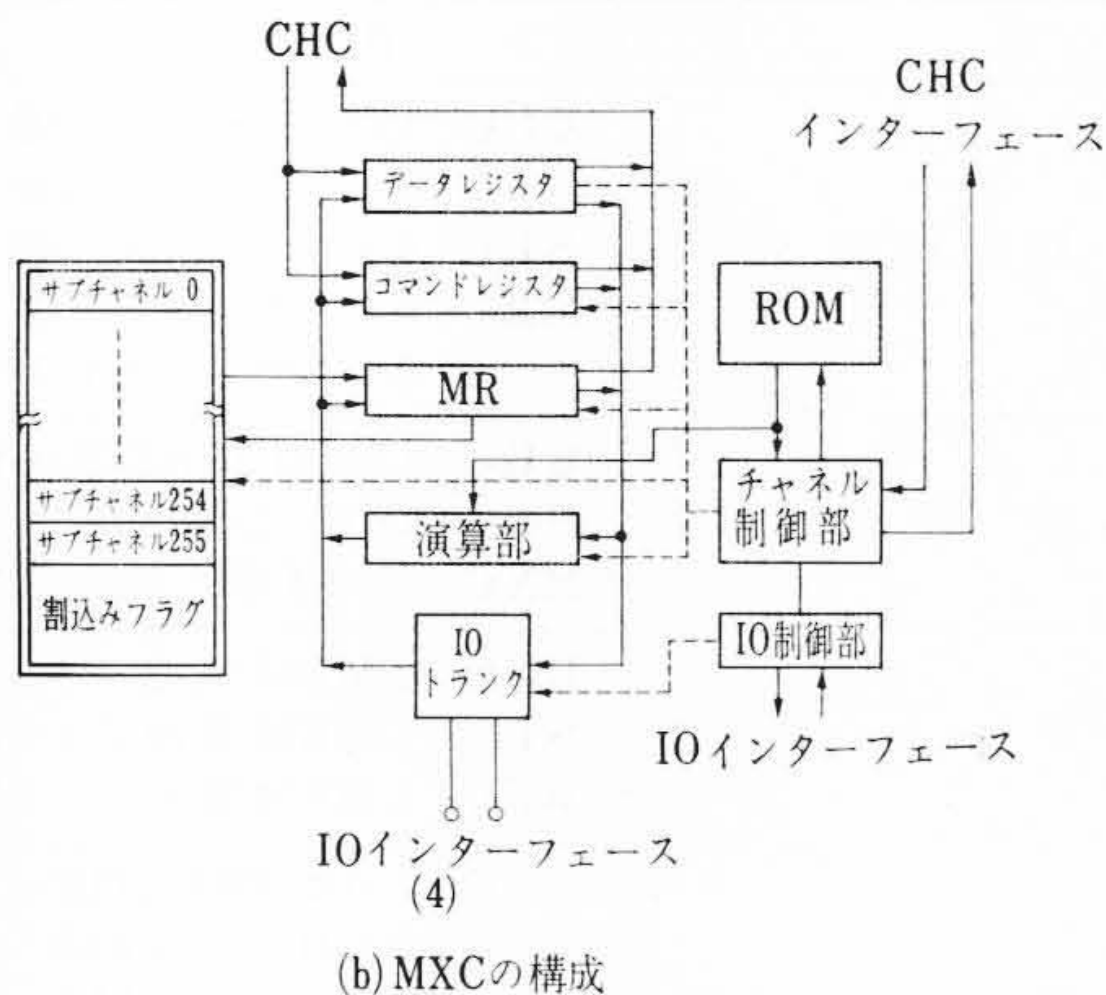
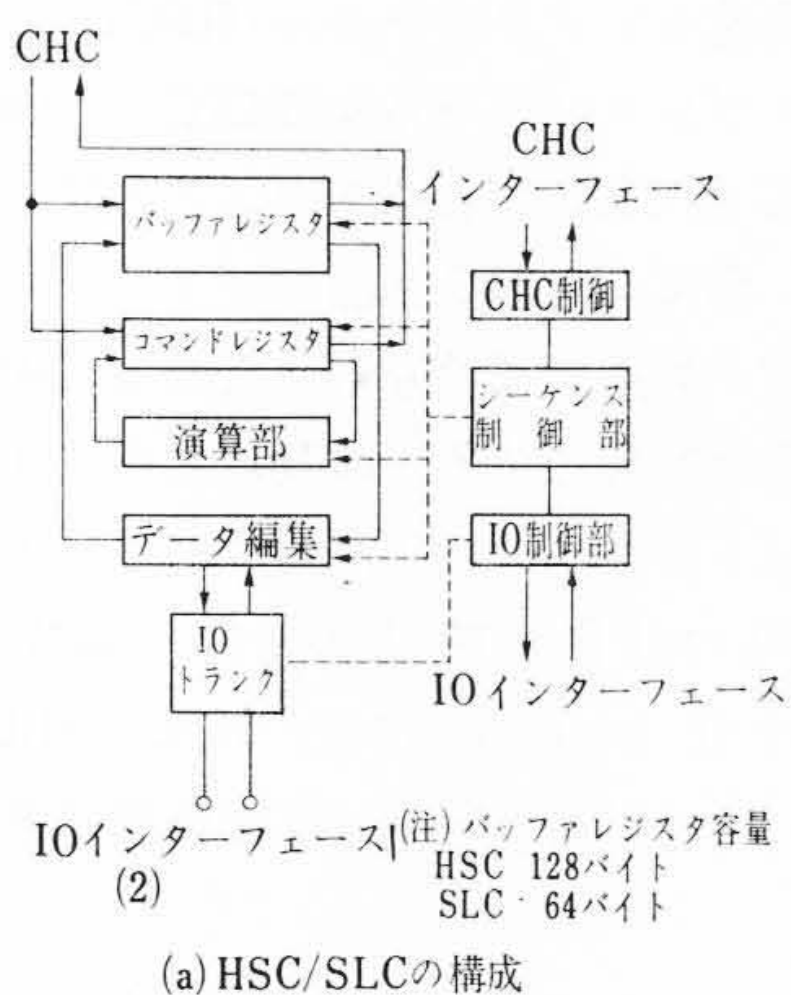


図6 各CHの構成

HSC/SLCの構成は、図6(a)のとおりであり、一部バッファレジスタの容量とIOトランク部が異なっているが、他は共通設計となっている。1本のジャンパ線により、HSC/SLCの区別をしている。

MXCの構成は図6(b)のとおりであり、1命令60ビットのマイクロ命令で制御され、マシンサイクル400nsで動作する。サブチャンネル数は256であり、1サブチャンネルは32バイトから成っている。

4. 大容量磁心記憶装置

大容量磁心記憶装置(略称 LMEM)は、1MBの記憶容量を持つ磁心記憶装置であり、図7に示す各装置から構成される。

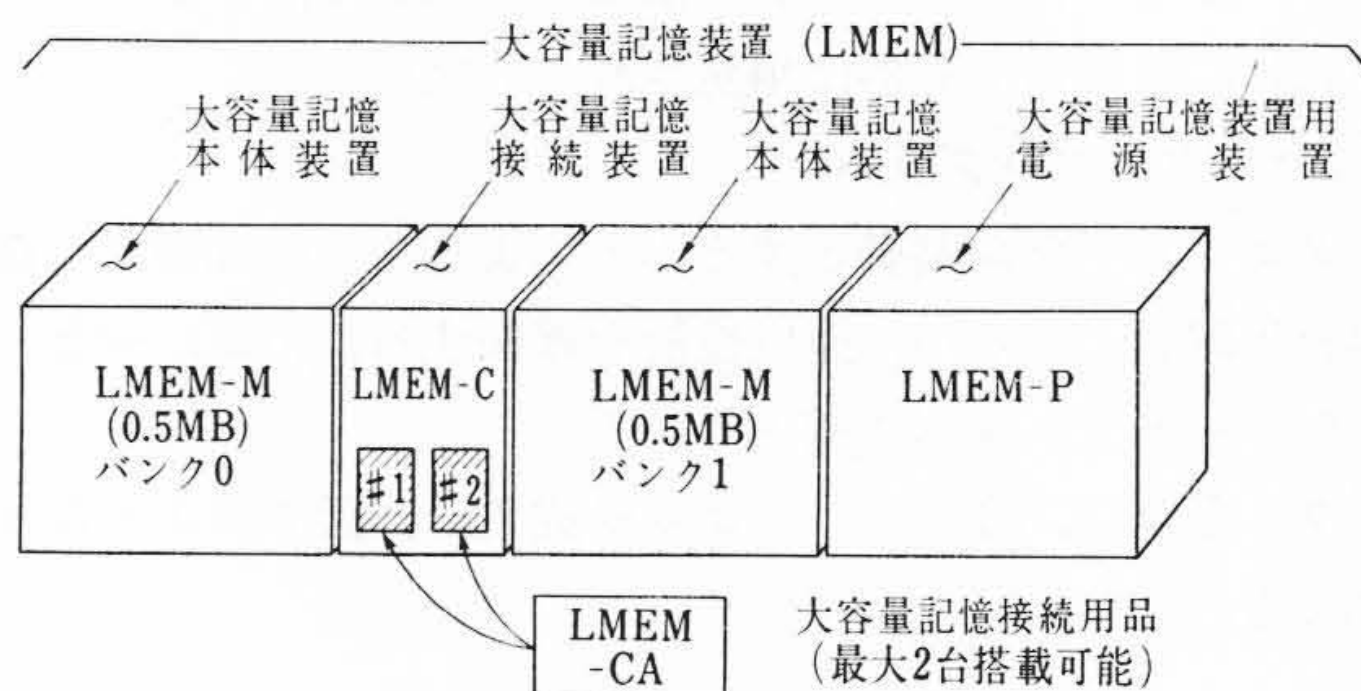


図7 大容量記憶装置の構成

LMEM-CはCPU/CHCに対する窓口的役割を持っており、CPU/CHCからのアクセス要求の受け付け、LMEM↔CPU/CHC間の情報転送に関する制御およびLMEM-Mの制御などLMEM全体の動作の制御を行なう。2台のLMEM-Mは互いに独立に動作する機能を有しており、論理的にバンク0、バンク1と称している。したがってLMEM-Cの制御回路もバンク0、バンク1の2組があり、この2組の制御回路は互いに独立に動作する。ただしCPU/CHCとの接続に関する部分はバンク0と1を共用してインターフェース部の金物を少なくしている。

図8は概略の機能ブロック図である。1サイクルで書き込みまたは読出しを行なうデータは32バイト(288ビット)である。CPU/CHCとLMEM間の情報線は1トランクあたり72本(8バイト分)に押えられているので、読み書き情報は4回に時分割され送受される。1回に転送される8バイト分の情報を1ブロックと称する。書込動作の場合は、ケーブルレシーバを通じて時分割で送られてきた書込情報が、4ブロック分用意された書込情報レジスタの指定された場所に順次格納され、ここでパリティチェックが行なわれる。次に部分書込併合回路で磁心から読取った情報と、CPU/CHCから送られた情報のどちらを書込情報とするかの選択が、同じくCPU/CHCから送られる部分書込の指定信号により、1バイトごとに指示される。このようにして作られた書込情報は、ハミングコード付加回路でブロック単位にハミングビットを付加され、LMEM-Mに送られて磁心に書き込まれる。読取動作の場合は、LMEM-Mから送られてくる読取情報のハミングチェックが行なわれ、1ビット誤りがあれば

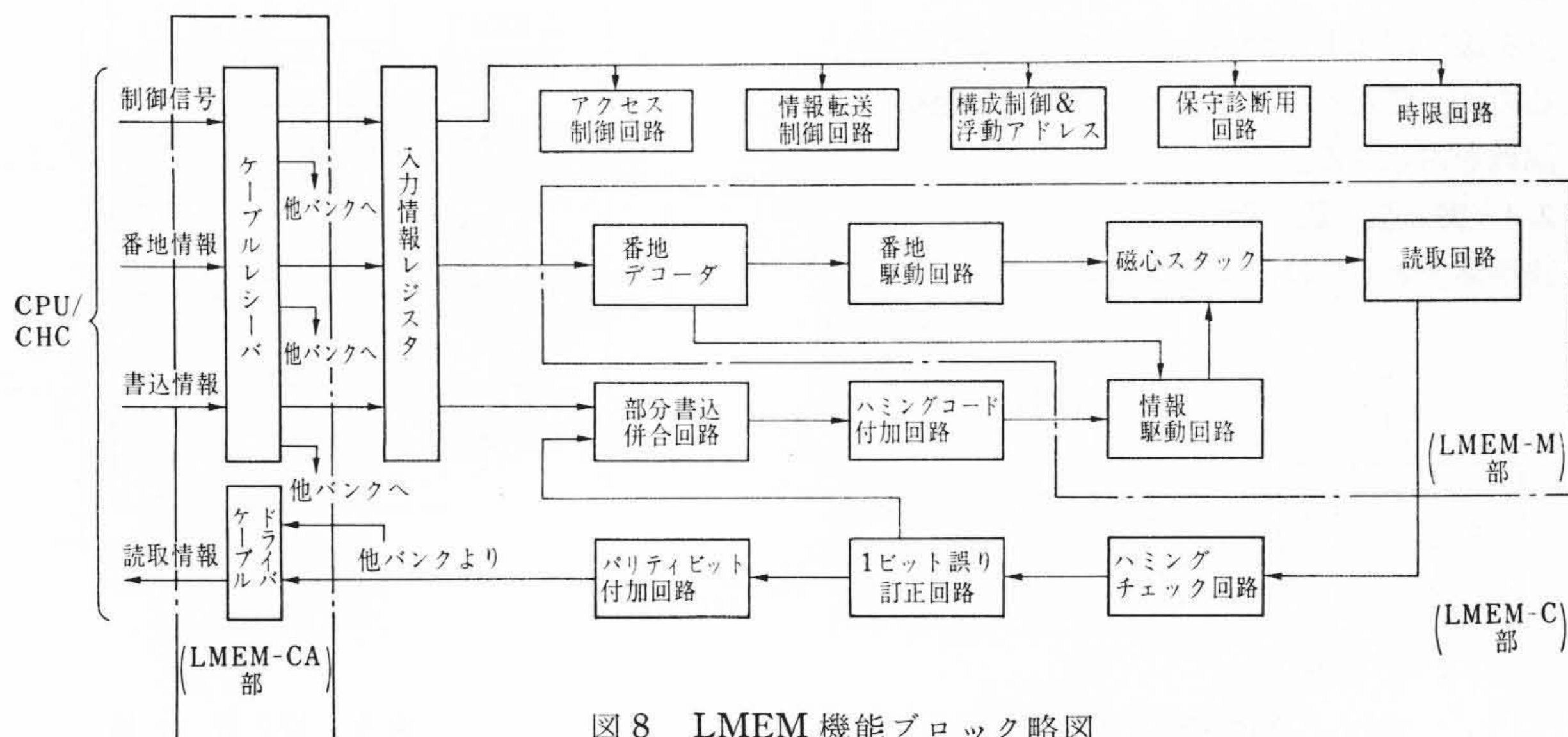


図8 LMEM機能ブロック略図

誤り訂正回路で誤りの訂正が行なわれる。訂正された読取情報に対して新たにパリティビットを付加し、ブロック単位を CPU/CHC に転送する。

LMEM-CA は CPU/CHC と接続するための転送路(トランク)を形成する金物であって、LMEM-C に 1 台搭載すれば CPU/CHC を 4 台まで接続でき、2 台搭載すれば CPU/CHC を合計 8 台まで接続できる。

LMEM-M は磁心スタック、駆動回路および読取回路などで構成されており、プログラムやデータの記憶および蓄積情報の読取りなどを行なう。

1 台の LMEM-M は 0.5 MB (16 kW×32B) の記憶容量を持ち、131 KB の磁心スタック 4 台より成る。各スタックは 16 kW×8B 構成となっており、スタック 1 台が LMEM-C における情報転送単位である 1 ブロックに相当する。したがって 1 回のコアサイクルにおいて、4 台のスタックは全く同時に並列に動作し、32B の情報の読み書きを行なう。LMEM-C からコアサイクル起動指令を受け取ってからのアクセスタイムは最大 800ns、サイクルタイムは 2μs である。

LMEM-P は LMEM-M、LMEM-C、LMEM-CA に直流電力を供給するとともに、CSC(集中制御装置)に接続され、電源投入、切断に関する制御機能を持っている。

5. DIPS-1L 通信制御装置

通信制御装置 (CCE) はデータ通信回線と、DIPS-1L マルチプレクサチャネルの間に位置し、通信回線の先に接続される各種の端末装置とセンタ間の通信を制御し、これを可能とするものである。本装置は通信回線と直接つながり、回線上の信号レベルと通信制御装置内部の信号レベルの変換機能および多量時分割制御による回線走査機能を持つ回線接続装置 (LUT) と、マルチプレクサチャネルにつながり、ビットサンプリング機能、キャラクタ組立分解機能およびキャラクタ制御機能を持つ、マルチプレクサチャネルとのデータ送受をつかさどる回線制御装置 (CCU) とから構成されている。さらに、接続される通信回線の伝送速度により本装置は 2 系列に分けられ、それぞれ低速回線接続装置 (L-LUT)・低速回線制御装置 (L-CCU) の組合せと、高速回線接続装置 (H-LUT)・高速回線制御装置 (H-CCU) の組合せとが可能となっている。なお電源装置は、LUT は別筐体に、CCU は内蔵の形式をとっている。

本装置の概略仕様は表 2 に示すとおりである。
本装置で使用している構成部品のうち、おもなものを次に列挙する。

- (1) HD 2500 シリーズ TTL 集積回路
- (2) 半導体類 (トランジスタ、ダイオード)
- (3) 多層プリント板使用の高密度パッケージ
- (4) コアメモリ (アクセス時間 350 ns、サイクル時間 592 ns、容量 1 kW/36 ビット)
- (5) リードオンリーメモリ (アクセス時間 160 ns、サイクル時間 592 ns、容量 2 kW/30 ビット)

このうちコアメモリ、リードオンリーメモリはともに CCU に内蔵され、前者は各回線ごとの制御用情報およびキャラクタバッファなどが格納され、後者はキャラクタ単位で種々の制御を行なうためのマイクロプログラムが収容されている。

本装置は概略仕様でも示したように、速度、通信方式、回線種別、制御手順からみてもバラエティに富んだ各種の回線を、同時に多数制御しなければならない。そのため機能面で種々の工夫がなされており、かつ通信制御装置として安定なサービスを提供するための配慮が払われている。以下、本装置の特徴ともいべき事項を列挙し、簡単な説明を加えることにする。

表 2 通信制御装置の概略仕様

装置名 仕 様	C C U		L U T	
	低 速 用	高 速 用	低 速 用	高 速 用
寸法・重量	高さ1,575×幅950 ×奥行 630(mm) 約 400 kg	高さ1,575×幅950 ×奥行 630(mm) 約 400 kg	高さ1,575 ×幅1,257 ×奥行 630(mm) 約 550 kg	高さ1,575 ×幅1,257 ×奥行 630(mm) 約 550 kg
電 源 条 件	三相 3 線式 200V, 50/60Hz 約 3 kVA	三相 3 線式 200V, 50/60Hz 約 3 kVA	三相 3 線式 200V, 50/60Hz 約 4 kVA	三相 3 線式 200V, 50/60 Hz 約 4 kVA
収容回線数	最大 256 回線	最大 64 回線	最大 128 回線	最大 64 回線
通 信 速 度	50, 100, 200, 1,200 ビット/秒	1,200, 2,400, 4,800 ビット/秒 48 キロビット/秒	50, 100, 200, 1,200 ビット/秒	1,200, 2,400, 4,800 ビット/秒 48 キロビット/秒
通 信 方 式	半二重, 全二重	半二重, 全二重	半二重, 全二重	半二重, 全二重
回 線 種 別	専用回線, 交換回線 (調歩式)	専用回線, 交換回線 (調歩式, 同期式)	専用回線, 交換回線 (調歩式)	専用回線, 交換回線 (調歩式, 同期式)

(1) 主要な通信制御機能を CCU に持たせている。
本装置のような構成ではビットサンプリング、ビット組立、キャラクタ組立、キャラクタ処理の各機能を、LUT と CCU とでいかに分担させるかは、常に方式設計上の問題点となるが、本装置ではこれらの機能をすべて CCU に持たせている。

DIPS システムのように、多数の回線を収容しオンラインサービスを行なう場合には、LUT に搭載される回線対応部の価格をできるだけ安くし、共通制御部分の機能分担を大きくとって、回線あたりの価格を下げるのが得である。

通信制御方式の有する機能のうち、端末側との伝送制御、誤り制御、回線監視および接続制御、CPU 側とのコマンド処理、状態報告処理、割込処理およびデータ転送処理などに関しては、マイクロプログラム制御方式をとっている。

本装置に接続される端末は多種多様であり、それに応じて上記の各種制御内容が異なったものとなる。これらを従来の布線論理方式で実現するのは、論理が複雑化すること、端末の変化に対する融通性に欠けることなどから本方式を採用した。

通信制御装置の持つ機能を大別すると、キャラクタを組み立てる処理と、キャラクタを組み立てたあとの処理とになる。前者については端末の種類に応じて速度および 1 キャラクタあたりのビット数などに違いがあるが、一つの制御回路にこれらの処理機能を持たせることは、大して困難なことではない。しかしキャラクタに組み立てたあとの処理は、同一キャラクタでも端末ごとに制御内容が異なるなど、端末に応じて違ってくる制御の幅が広範囲にわたり、融通性のあるやわらかい制御方式が必要となってくる。マイクロプログラム制御によりこれを実現することは、本制御方式の特徴でもあり、データ構造のシンプル化を図っている。

CCU の制御部を大別すると、回線側の制御を受け持つラインサービス (LS) 部、キャラクタ制御を受け持つプロセスサービス (PS) 部およびマルチプレクサチャネルとの入出力インターフェース制御を受け持つインターフェースサービス (IS) 部とから成っている。これら 3 種の制御は、時間的に余裕があれば (N 番回線の LS→PS→IS)→(N+1 番回線の LS→PS→IS)→……というぐあいに、直列的な処理方式が可能であり、かつ論理を簡単化することができるが、本 CCU は通信制御機能の大半を受け持たせられているため、時間的に直列制御ができず、上記 3 種の制御を同時並列処理させることにより解決している。コアメモリに対するこれら三つの制御回路からアクセスに対しては優先順位を持たせ、同時受け付けの制御を行なっている。

6. 入出力装置

DIPS-1Lの周辺装置は現在得られる最高の性能と品質を持つように設計、製作されている。最短の期間でシステムを完成させるため大部分は商用機として実用化されているものを原形としているが、各装置共通事項として次の項目について設計が変更され、標準化と機能向上が図られている。

- (1) 転送装置と入出力制御装置との間の接続条件を規定した入出力インターフェースとして「I/Oインターフェース '69」を採用し、接続装置の互換性に備えている。このインターフェースは、工業技術院が中心となってとりまとめたもので、今後、国内、国際の標準となるものとして期待されている。
 - (2) 電源制御インターフェースを統一し、かつ多数の入出力装置の状況を集中監視できるよう制御系を設けている。
 - (3) 外部記憶装置はすべて制御装置をデュアル構成として2台の制御装置からのクロスコール機能を備えている。
 - (4) 新設計の部分について回路素子にICを使用している。
 - (5) 半導体については日本電信電話公社の認定品またはロット品質保証試験に合格したものをを用い信頼度の向上を図っている。
 - (6) 操作性、保守性、信頼性向上のための改良を行なっている。
- 以上の結果、高性能、高品質で互換性のある周辺装置が完成された。

DIPS-1Lは、日立製作所、日本電気株式会社、富士通株式会社の3社で各1システムずつ製作されたが、磁気ドラム記憶装置、磁気ディスク記憶装置、磁気テープ記憶装置、紙カード読取装置、印刷装置については日立製作所が製作し3社に、紙カードせん孔装置、タイプライタ装置については、富士通株式会社が製作し、3社に供給してシステムを構成している。またオフライン機器である紙カードせん孔機、紙カード検孔機についてすべて日立製が納入されている。

6.1 外部記憶装置

6.1.1 磁気ドラム記憶装置

磁気ドラム記憶装置は磁気ドラム装置と同制御装置とにより構成されている。おもな仕様は表3に、外観は図9に示すとおりである。

磁気ドラム装置に用いられている磁気ドラム機構部は日本電信電話公社電気通信研究所のご指導により開発したもので、すでに電子交換機、電話交換の短縮ダイヤル・サービスなどにおいて使用されているものを高密度記録用に改良して用いている。

記録方式としては周波数変調方式を用い56ビット/mmの高密度記録を得ている。本磁気ドラム記憶装置はページング・ドラムとして使用されるため1トラックを10セクタに分別し、8トラック並列で4Kバイト単位のデータの授受を行なうようにしてある。磁気ドラム装置と制御装置間は1バイト同時転送、制御装置とチャンネルとの間では4バイト同時転送方式を採用し、2.2MB/sの高速転送を行なっている。DIPS-1L磁気ドラム記憶装置はページングドラムとして世界の最高級をいくものであるが、特に信頼度面においては機構部の製品寿命22年MTBF40,000時間を設計目標としており、世界的にも他に例のない高信頼性を有している。

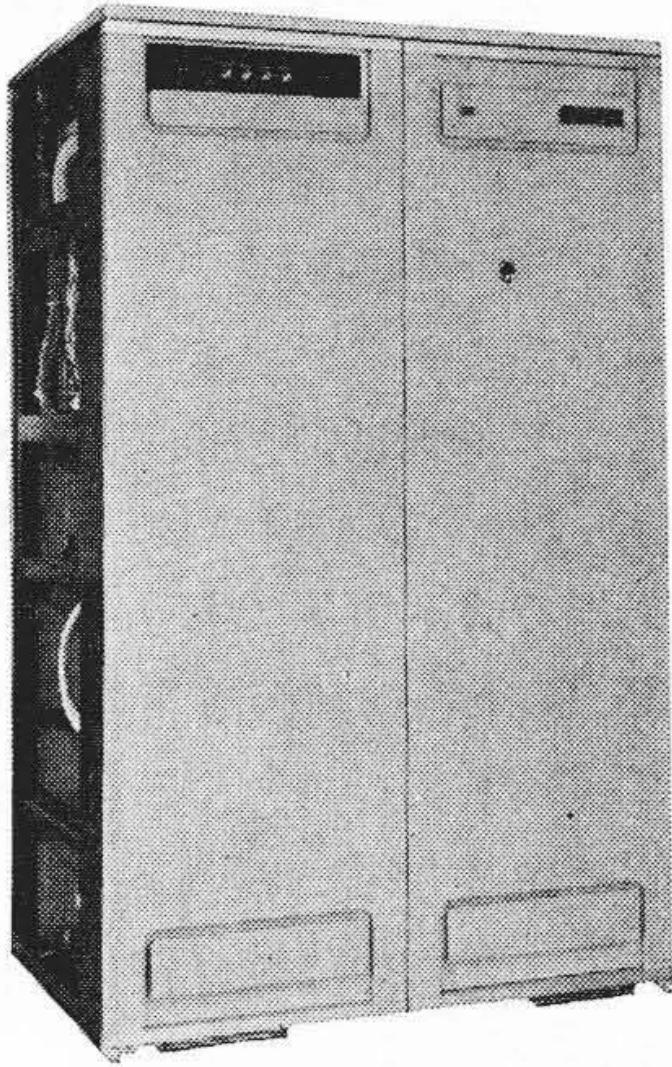


図9 磁気ドラム装置

表3 磁気ドラム記憶装置のおもな仕様

記憶容量	4.2 M バイト
トラック数	832 トラック
セクタ数/バンド	10 セクタ/バンド
レコード数/セクタ	4,096 バイト/セクタ
バンド数	104 バンド
転送速度	2.2 M バイト/秒
平均アクセス時間	10.3 ms
チェック方式	サイクリックチェック
入力電源	電圧 AC 200V ±10% (三相) 周波数 50 Hz ±1%
入力容量	磁気ドラム装置 1.7 kVA 磁気ドラム制御装置 2.0 kVA
寸法	磁気ドラム装置 高さ 1,575×幅 950×奥行 710 (mm) 磁気ドラム制御装置 高さ 1,575×幅 950×奥行 630 (mm)
概略重量	磁気ドラム装置 500 kg 磁気ドラム制御装置 360 kg

6.1.2 磁気ディスク記憶装置

磁気ディスク記憶装置は磁気ディスク装置、同電源装置と同制御装置とより構成される。おもな仕様は表4に外観は図10に示すとおりである。

複数のスピンドルを単一装置に組み込む集団ディスク方式は、最近ランダム・ファイルに数多く使用されているが、DIPS-1L磁気ディスク記憶装置にも採用されている。使用媒体は現在、ISOにおいて互換性に関する規格の制定が進められている11枚パックを採用し、1スピンドルあたり、29Mバイトのデータを収納することができる。したがって1台のモジュール構成の場合、1モジュールを予備とし8モジュールで合計230Mバイトの大容量を記憶することができる。予備の1モジュールについてはオンラインで使用している間に診断プログラムを通して障害診断を行なうことができる。位置決め装置には油圧アクチュエータを用い、平均アクセス時間60ms、ディスク回転数は2,400rpmで312KB/sの転送速度を得ている。

各モジュールおよびデュアル制御機構は、それぞれ別個の電源装置を有し、万一故障の場合にも障害を他に及ぼさぬよう構成されている。またパック交換のため、プログラムでディスクの回転を停止した場合はアンロードの表示灯をつけ作業者に該当モジュールを知らせ、操作性の向上を図っている。制御装置についてはインターフェース'69の採用に伴い、市販品であるH-8557集団ディスクの駆動装置にROM (Read Only Memory) および制御方式の変更が行なわれている。

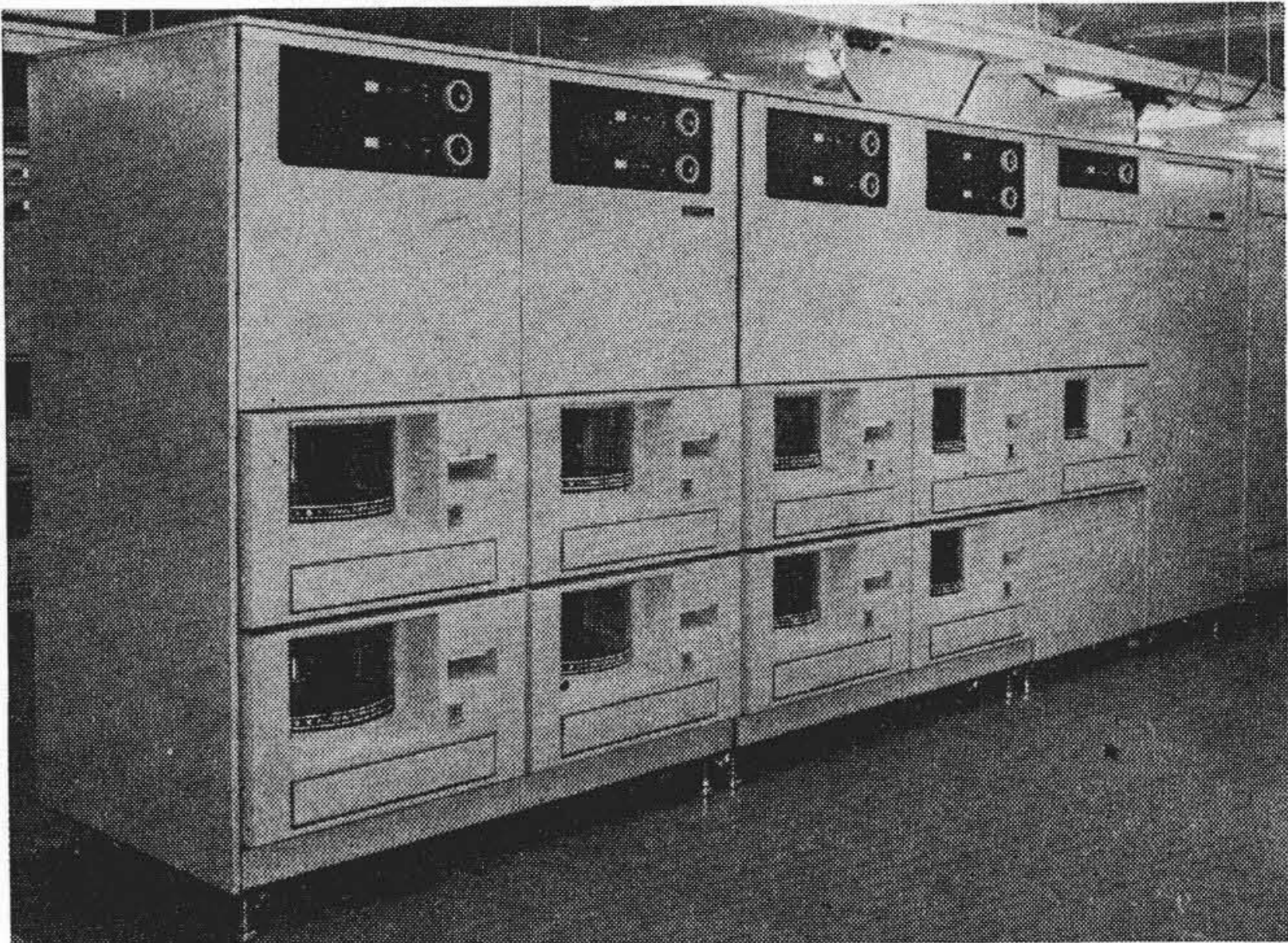


図10 磁気ディスク記憶装置

表 4 磁気ディスク記憶装置のおもな仕様

モジュール数	9		
総記憶容量	233, 408KB/装置		
情報転送速度	312KB/s		
位置決め時間	最大	135 ms	
	平均	75 ms	
	最小	25 ms	
回転待時間	平均	12.5 ms	
使用ディスク バック	枚数	11 枚	
	使用面数	20 面	
	回転速度	2,400 rpm	
入力電源	電圧	AC 200V±10% 3φ	
	周波数	50 Hz±1% または 60 Hz±1%	
入力容量	磁気ディスク装置	13.5 kVA	
	磁気ディスク制御装置	4.0 kVA	
構造		磁気ディスク装置	磁気ディスク用電源
	高さ	1,673 mm	1,575 mm
	幅	4,140 mm	1,257 mm
	奥行	813 mm	630 mm
概略重量	磁気ディスク装置	2,700 kg	
	磁気ディスク制御装置	360 kg	

6.1.3 磁気テープ記憶装置

磁気テープ記憶装置は磁気テープ装置および同制御装置より構成され、おもな仕様は表 5 に、外観は図 11 に示すとおりである。

本装置は 1,600 BPI 磁気テープとともに 800 BPI 磁気テープも処理する機能を有し、テープ送り速度は 1.9 m/s で 120 KB/s

図 11 磁気テープ装置

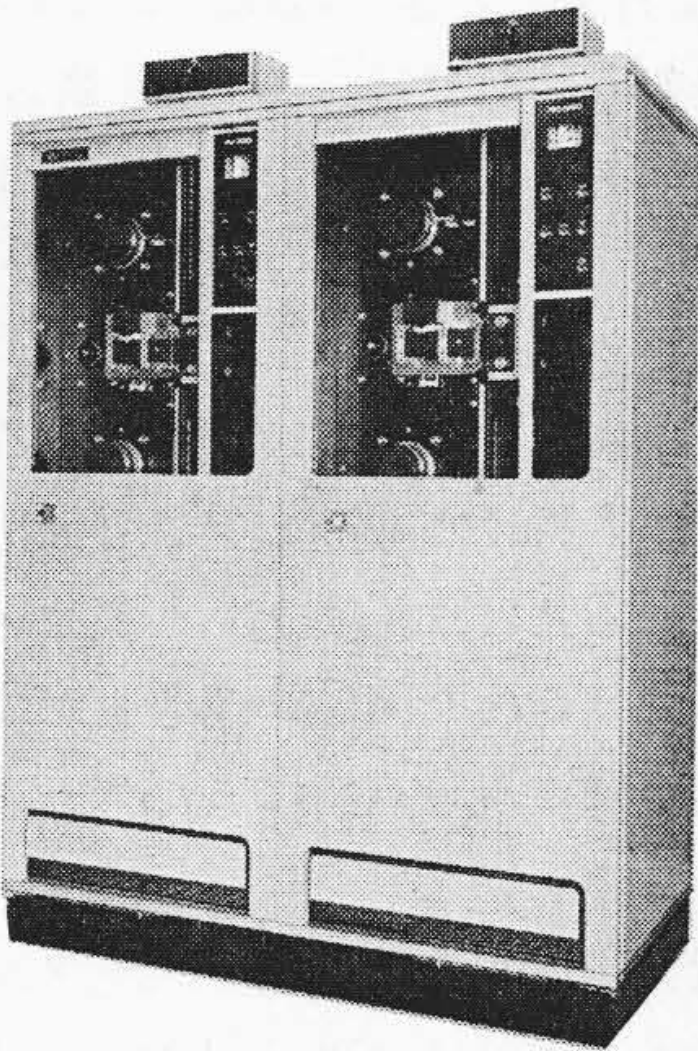


表 5 磁気テープ記憶装置のおもな仕様

情報処理速度	120KB/s (1,600 BPI) 60KB/s (800 BPI)
記録密度	1,600 BPI 800 BPI
記録方式	位相変調方式 (PE) (1,600 BPI) NRZI 方式 (800 BPI)
テープ速度	1.90 m/s
巻き戻し速度	約 3.8 m/s
キャブスタン	シングルキャブスタン方式
テープ緩衝方式	真空槽方式
書込み開始時間	約 6.5 ms
使用テープ	1/2 in 2,400 フィート
入力電源	電圧 AC 200V±10% 3相
	周波数 50/60 Hz±1%
入力容量	磁気テープ装置(2デッキ)
	磁気テープ制御装置
寸法	磁気テープ装置(2デッキ)
	磁気テープ制御装置
概略重量	磁気テープ装置(2デッキ)
	磁気テープ制御装置

(1,600 BPI)/60 KB/s (800 BPI) の処理速度を有している。

本装置は 1 台 2 デッキ構成を採っているが各装置ごとに電源を備え単体の電源投入、切断が他装置へ影響しないよう考慮されている。各デッキは 2 台の制御装置から自由に制御されるが、リザーブ、リリースの命令を設け、特定の制御装置から特定のデッキをあらかじめ確保することができる。また 2 台の制御装置のいずれか一方のみの制御を受け付けるよう装置にルート切換スイッチを設け、不注意によるファイルの破壊を防止するようになっている。

6.2 入出力装置

6.2.1 紙カード読取装置、紙カードせん孔装置

両装置のおもな仕様は表 6, 7 に、紙カード読取装置の外観は図 12 に示すとおりである。紙カード読取装置は 1,470 枚/分、紙カードせん孔機は 250 枚/分の処理能力を有しており、いずれも市販機を原形にしているが、インターフェース '69 の採用により制御部が新たに設計されている。紙カードは 80 欄カードが用いられ、コードとして JIS(原案)標準コードが採用されている。

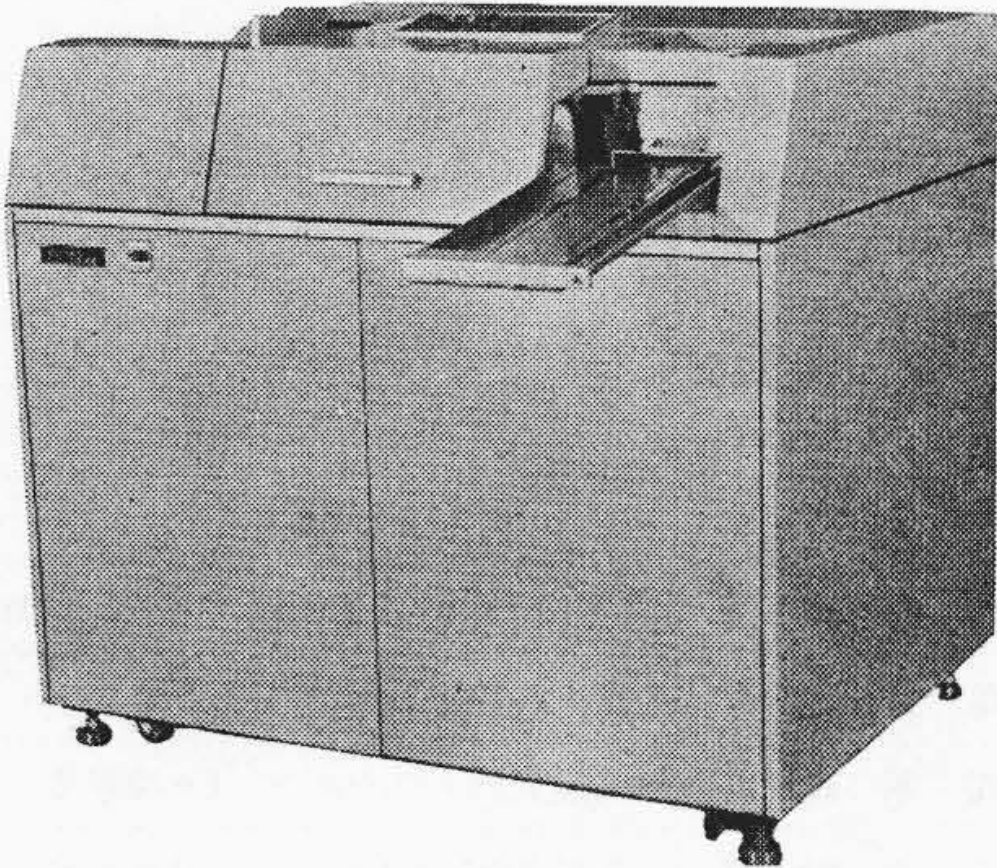


図 12 紙カード読取装置

表 6 紙カード読取装置のおもな仕様

読取速度	1,400 枚/分 以上
ホッパ容量	1,800 枚 以上
スタッカ容量	ノーマルスタッカ 1,800 枚 以上
	リジェクトスタッカ 400 枚 以上
入力電源	電圧 AC 200V ±10%
	周波数 50 Hz ±1%
入力容量	2.1 kVA
概略外形寸法	高さ 1,040×幅 1,170×奥行 1,130 (mm)
概略重量	360 kg

表 7 紙カードせん孔装置のおもな仕様

せん孔速度	250 枚/分 ±13 枚/分
ホッパ容量	2,500 枚以上 (ただしファイルフィードを含む)
スタッカ容量	ノーマルスタッカ 800 枚 以上
	リジェクトスタッカ 800 枚 以上
入力電源	電圧 AC 200V ±10%
	周波数 50 Hz ±1%
入力容量	4.0 kVA
概略外形寸法	高さ 1,470×幅 1,500×奥行 750 (mm)
概略重量	690 kg

(富士通株式会社製)

6.2.2 印刷装置

印刷装置のおもな仕様は表 8 に、外観は図 13 に示すとおりである。印刷装置にはカナ文字なしの DIPS-1-400 号 A と、カナ文字付の DIPS-1-1402 号 A の 2 種類が用いられている。カナ文字付にはさらにカナ小文字も同時に印字可能となっている。印刷速度は文字数により 530~1,200 行/分となっている。本装置は市販品

に比べ、インターフェースの標準化が行なわれていることはもちろんであるが、カナ文字を追加し、さらにリレー回路の半導体化など信頼度の面でも考慮が払われている。

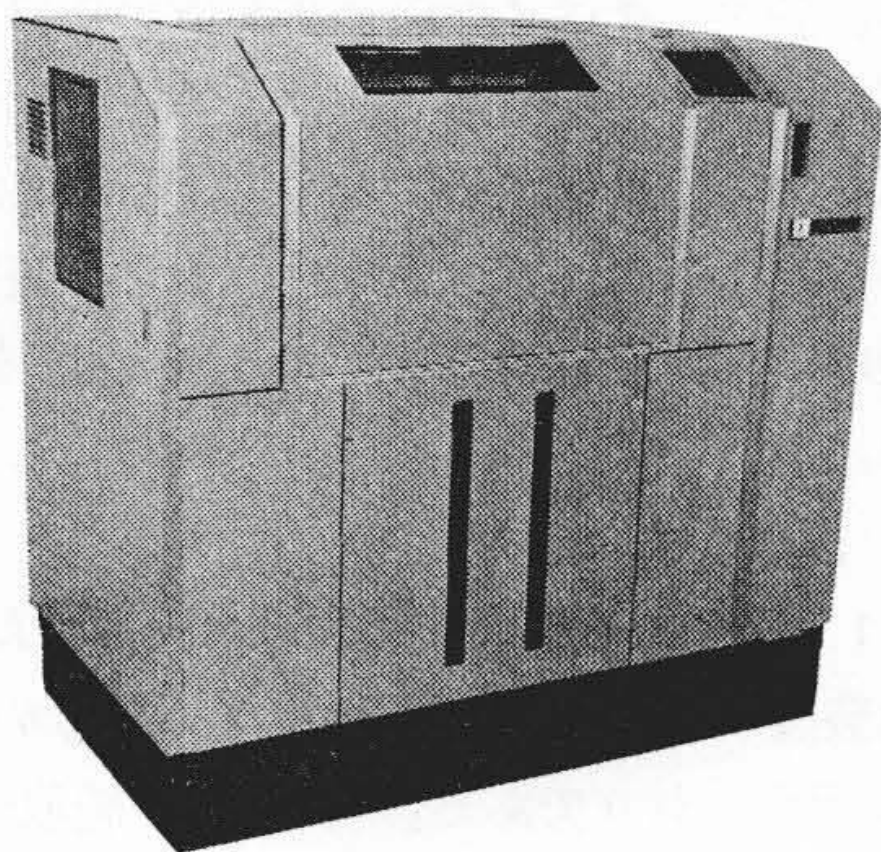


図 13 印刷装置

表 8 印刷装置のおもな仕様

印 刷 速 度	1,200 行/分 950 行/分	47 字 種 63 字 種	DLPS-1-400号A (カナなし)	
	1,200 行/分 530 行/分	15 字 種 111 字 種		DLPS-1-402号A (カナ付)
	600 行/分 530 行/分	15 字 種 126 字 種		
活 字 種 類	63 字 種 111 字 種 126 字 種	128 活 字 128 活 字 128 活 字		
文 字 間 隔	10 字/25.4 mm			
1 行最大印字数	132 字			
改 行 間 隔	6 行/25.4 mm または 8 行/25.4 mm		両者切換可能	
改 行 速 度	最初の 1 行 12 ms 以下			
複 写 能 力	最大オリジナル 1+複写 4			
入 力 電 源	AC 200V±10% 50/60 Hz±1%			
入 力 容 量	5.5 kVA			
概 略 寸 法	高さ 1,325 mm 幅 1,430 mm (ペーパーラックを含む) 奥行 1,565 mm			
概 略 重 量	950 kg (ペーパーラックを含む)			

7. DIPS-1L 集中監視制御装置

DIPS-1L 集中監視制御装置 (CSC) は計算機システムの保守運転の能率化および障害時の迅速な処理を行なうために開発された装置である。保守運転時に必要な操作機能および監視機能、その他、プログラムとの関係による自動制御機能を持っている。表 9 は本装置の機能一覧表である。本装置の操作盤は計算機システムと運転員の間のコミュニケーションにとって最も重要な部分である。操作盤は各機能別に分けられ、運転上扱いやすいように操作の流れに従って、右からシステム電源操作盤、主システム操作盤、構成制御操作盤、

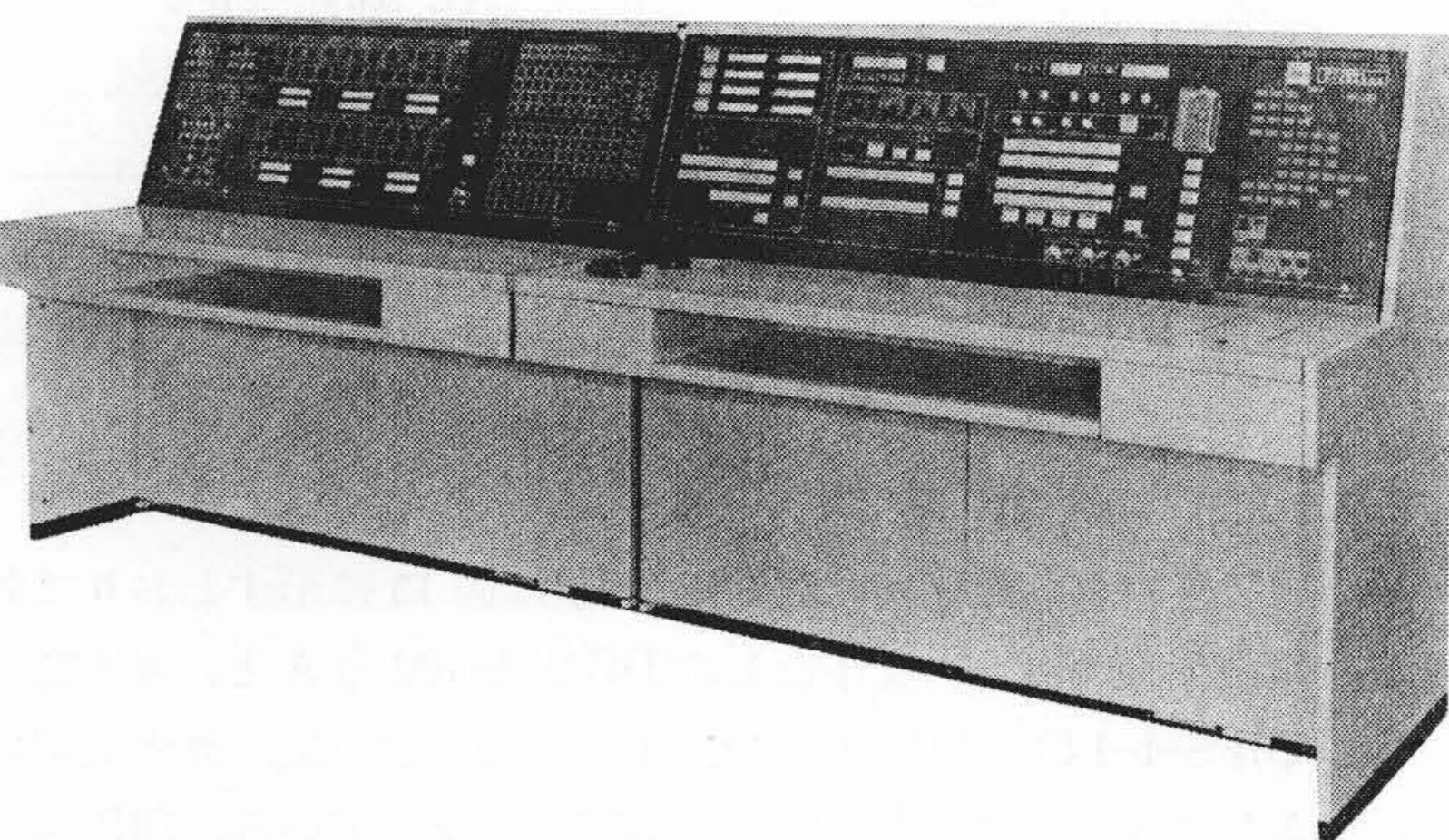


図 14 操作盤

表 9 機能一覧表

分類	機能名称
操作機能	1. システムの電源投入および切断
	2. 運転開始時の初期設定およびイニシヤルプログラムロード
	3. 障害時および保守時のためのシステム構成制御
	4. システム運転操作
監視機能	5. プログラム監視
	6. システム構成監視
	7. 障害監視と警報
	8. システム電源監視
	9. システム運転監視
付加機能	10. 時計機能
	11. 通信制御装置の自動切換え
	12. 回線監視装置の制御
	13. 打合せおよび警報送出

本体、入出力装置および通信制御装置の構成表示盤の順に配置されている。図 14 は操作盤の全景写真である。

8. 結 言

日本電信電話公社通信研究所における DIPS-1L 共同研究は昭和 44 年 5 月 1 日に始まり、日立製作所、日本電気株式会社、富士通株式会社 3 社に各 1 システムの内示があった。日立製作所が製作したシステムは昭和 46 年 6 月 19 日に立会検査を終了し、直ちに日本電信電話公社通信研究所に搬入され、現地調整復元完了後昭和 46 年 8 月 16 日よりソフトウェアのデバッグに使用されている。

昭和 44 年 7 月末に仕様がほぼ固まってから、2 年弱でここに報告した各装置を新しく開発し、これらを組合せて 1,000 m² の広さを必要とする大システムをまとめ上げたというような例は、少なくとも日本のコンピュータ産業始まって以来のことではないと思われる。特に論理装置 (CPU) はこのシステムの中核であり、わが国ではいままでにない高い性能を要求されているため、従来のハードウェア技術では実現し得ず、通商産業省の大型プロジェクトで開発中の技術を採用入れるという冒険をあえてせざるを得なかった。そのため設計、調整ではかなり困難に遭遇したが、幸いにしてでき上がったものの信頼性は、現時点ではまだデータ不足としても、そう悪くはなさそうである。

入出力装置とチャネル間のインターフェースとしては、工業技術院電気試験所を中心としてまとめたインターフェース '69 が採用されたが、これは新しいインタフェースであるため、入出力制御装置はすべて新設計である。1L システムでは日立製作所は自社で 1 システム製作するほか、ファイル関係、紙カード読取装置および印刷装置を、富士通株式会社、日本電気株式会社にも供給したが、このような他社システムへの供給を可能にしたのがインターフェース '69 である。

DIPS プロジェクトでの最も大きな目標は 3 社で異なるハードウェア技術を用い、各社がそれぞれ設計したシステム間にコンパティビリティを持たせるということであった。これもコンピュータ産業界にいまだかつてなかったことであるが、現在、ソフトウェアのデバッグはほぼ支障なく進行しており、コンパティビリティを阻害する致命的な問題は見あたらない。

DIPS-1 のハードウェアの開発は、ここに一段落したわけであるが、現在開発中のソフトウェアの完成をまって、DIPS-1 が続々と公社のデータ通信サービスに利用されるものと思う。また公社以外の用途にも広く採用されることをわれわれは大いに期待している。

終わりに臨み DIPS-1L 開発に関し、絶えず重大な関心を寄せられ激励を惜しまれなかった日本電信電話公社幹部および開発に際してご指導いただいた通研のかたがたに対し深謝する次第である。