

H-8700 システム (ハードウェア)

H-8700 System

佐藤 利男*
Toshio Satô

要 旨

8000 シリーズの上位機種である 8700 システムについて、演算処理装置、主記憶装置、主記憶制御装置、入出力処理装置の特長的機能について概説する。また高可用性機能および入出力装置についても簡単に説明している。

1. 緒 言

H-8700 システムは、8000 シリーズの上位機種として、8300/8400/8500 の持つ設計思想をベースとして、処理能力の向上、システム規模の拡大、仮想メモリ (virtual momery) 方式の採用、可用性の向上など大幅な機能の拡大を図った大形電子計算機システムである。8700 システムの特長としては、次の点があげられる。

- (1) 演算処理装置(CPU)は、新しく開発された高速 CML と高密度実装技術により、マシンサイクルの高速化を図り、さらにバッファメモリ方式によって、主記憶装置(MMU)を直接参照する割合を減らし、処理速度の向上を図っている。
- (2) 2^{31} バイトの論理アドレス空間をプログラムに与えること

によって、多様性の拡大を図っている。

- (3) MMU は最大 4 M バイトまでの拡張性を持っている。
- (4) 各入出力チャネルを入出力処理装置(IOP)として、CPU より分離独立させることによって、スループットの高速化とマルチシステム構成の柔軟性を図っている。
- (5) 最大 4 台の CPU、8 台の IOP、4 M バイトの MMU よりなるマルチプロセッサシステムを構成できる。
- (6) 命令再実行機能、メモリエラー訂正機能、システム構成制御、故障箇所指摘テスト (FLT) などの機能により、信頼性の向上を図っている。

図 1 は 8700 マルチプロセッサシステムの構成例を示したものである。

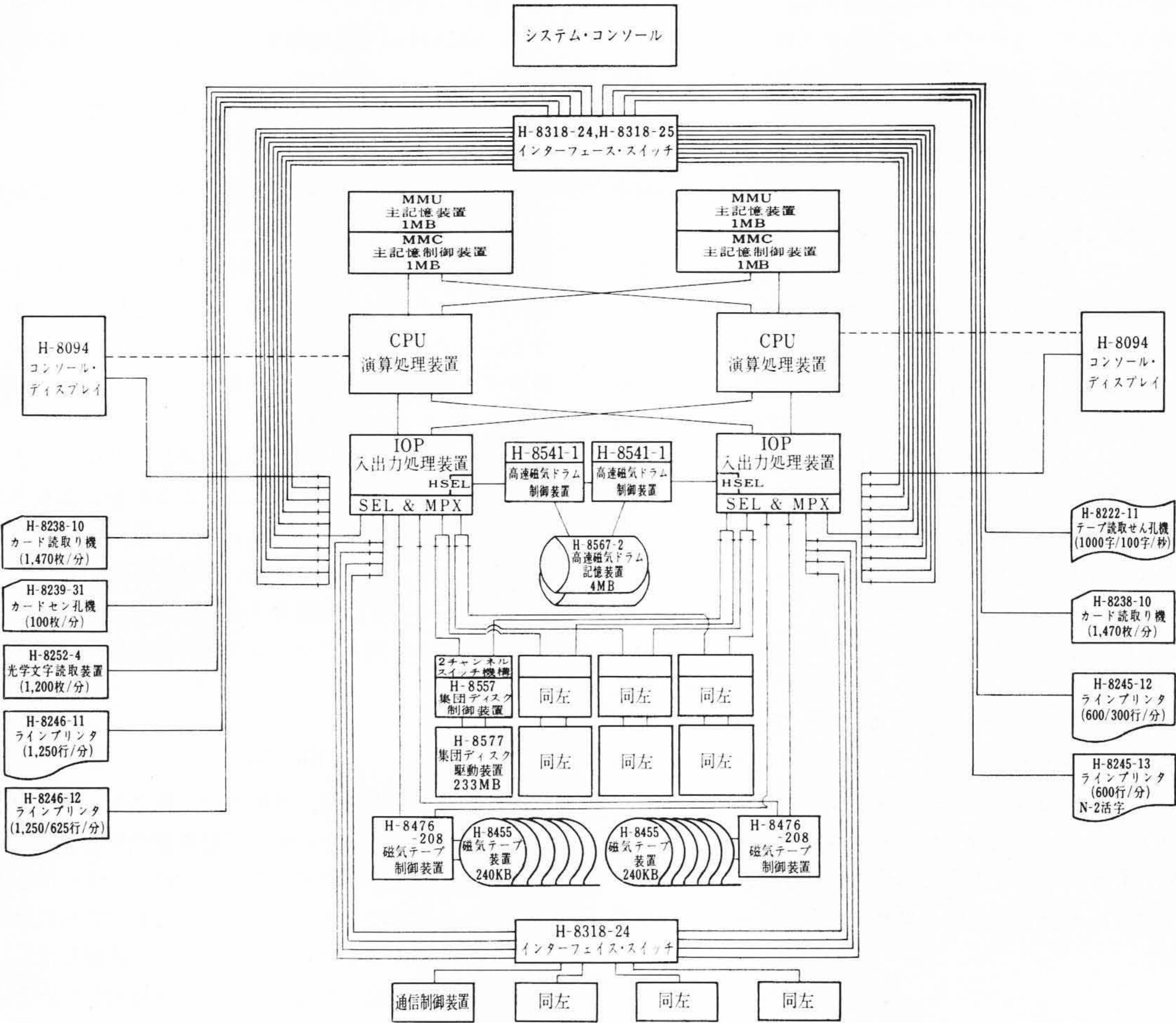


図 1 H-8700 マルチプロセッサシステム構成例

* 日立製作所神奈川工場

2. 演算処理装置 (CPU)

2.1 ハードウェア技術

高速の CPU を実現する手法の基礎は、高速の論理素子と高密度実装技術である。8700 CPU に採用されている論理素子としては、1 段あたりの動作時間が 1.5 ナノ秒の高速 CML が採用されており、平均 3 ゲートからなる単石集積回路 (ICP) と、平均 30 ゲートからなる大規模集積回路 (LSI) が使われている。図 2 は LSI を示している。これらの高速論理素子間を配線長短く接続する実装技術として、多層プリント板が採用されており、プラグインカードは、6 層のプリント板で、内層が電源とアース、外層が論理配線層となっている。図 3 に示すように、ICP および LSI が実装され、必要な配線が、機械書きされたプリント線によって行なわれている。プラグインカードは 130 ピンのコネクタによってバックボードに差し込まれるが、バックボードは、8 層のプリント板で、そのうち 4 層が論理配線用に使われ、プラグインカード間の必要な配線の大部分がプリント線によって、まかなわれている。このような実装方式は計算機の高速化を実現する手法として、必然的な技術の動向であるが、論理素子の高速、高集積化と歩調を合わせて、多層プリント板の高精密度化、設計の自動化、プラグイン、バックボードの診断自動化などの技術の開発があって、初めて実用化されるものである。8700 のこれらハードウェア技術は、通商産業省の大型プロジェクトの一つである超高性能電子計算機の開発で得られた成果に負うところが非常に大きい。8700 CPU の外観は図 4 に示すとおりである。

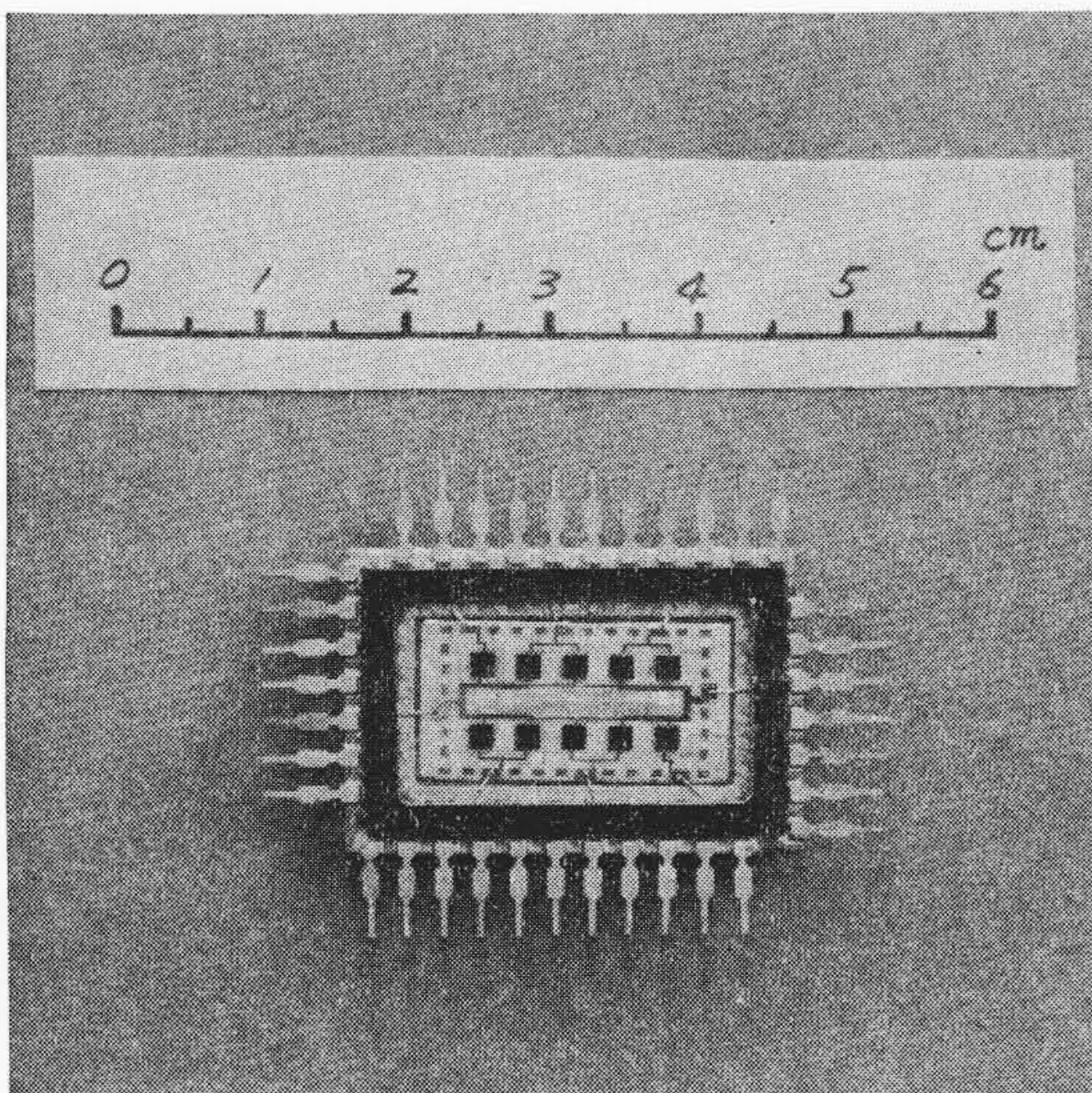


図 2 大規模集積回路

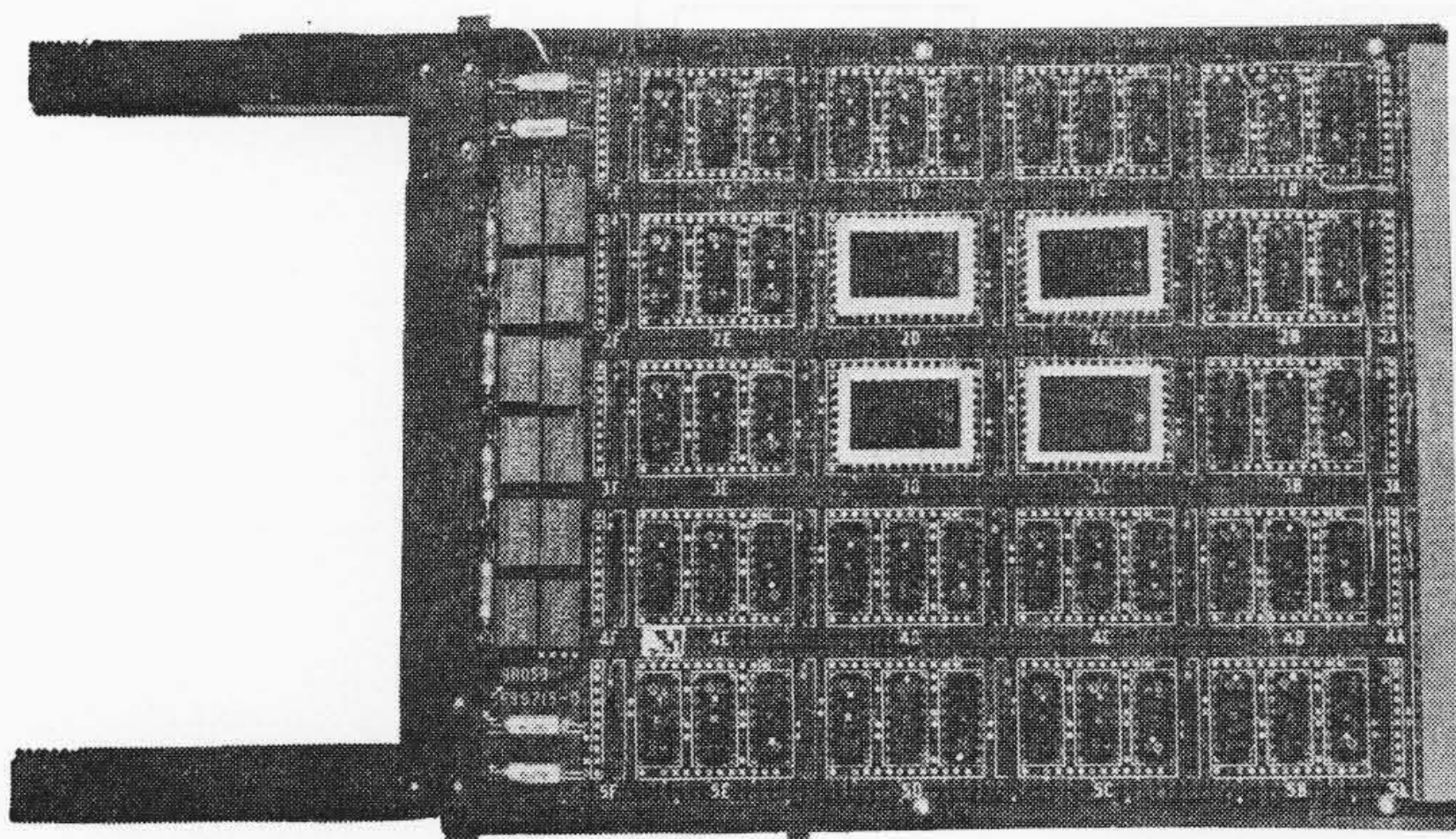


図 3 プラグインカード

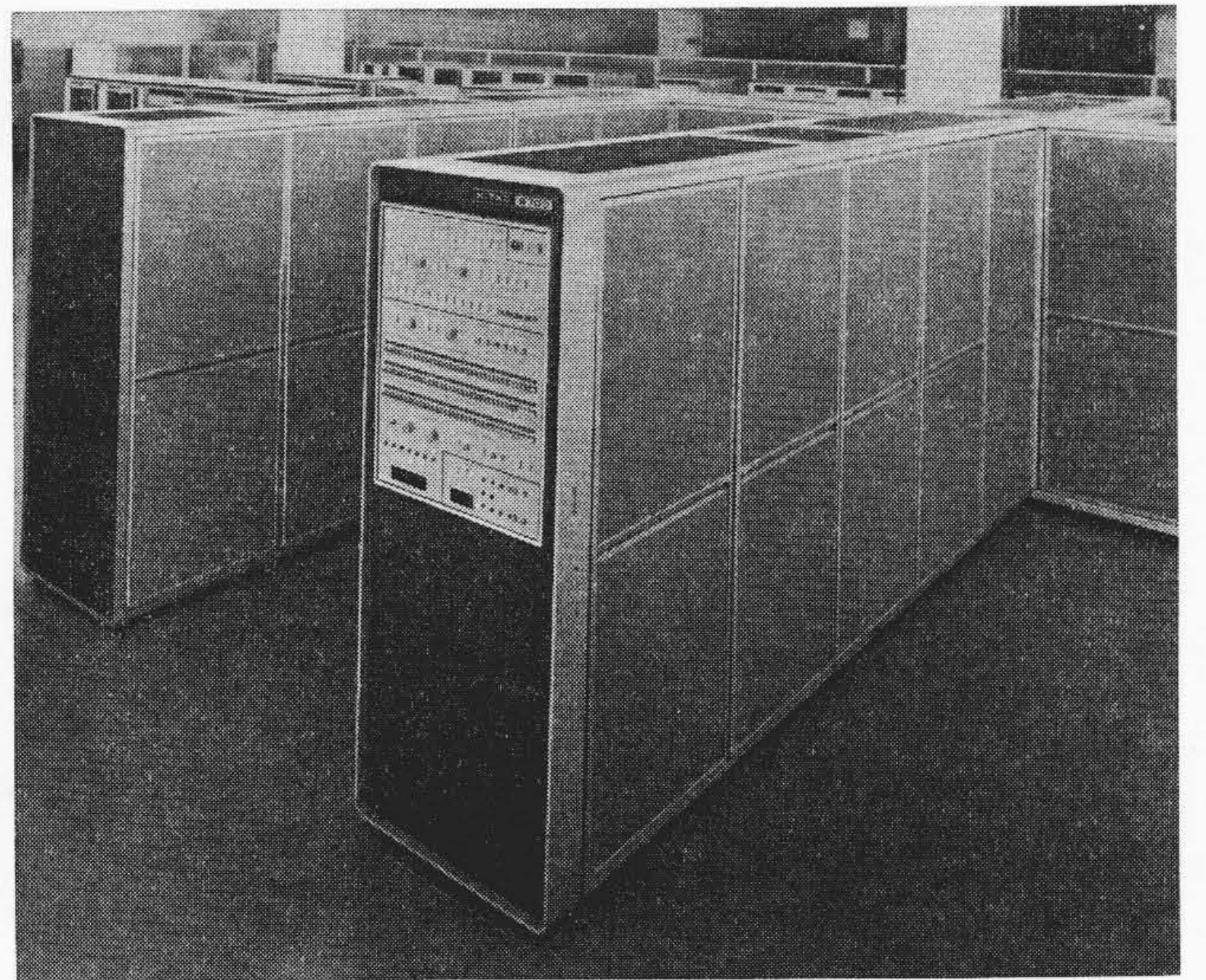


図 4 H-8700 演算処理装置

2.2 演算制御

(1) 命令形式

8700 の命令形式は 8000 シリーズと同一形式で図 5 に示すとおりである。命令の種類は 1 バイトの操作部のコードによって与えられるが、8300 以上との互換性を保つために、8300 以上が持つ 144 種類の命令をそのまま含んだかたちで、171 種類まで拡張されている。拡張された命令のおもなものは、4 倍長の浮動小数点演算命令、割込み時のレジスタの退避、回復の命令、デバックを容易にするための命令ならびにマルチプロセッサシステムに必要な命令などである。

	第1半語		第2半語		第3半語	
	第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト
	操作コード	レジスタ オペランド1	レジスタ オペランド2			
RR形式	OP	R ₁	R ₂	アドレス オペランド2		
	0	7 8	11 12	15		
		レジスタ オペランド1	レジスタ オペランド2			
RX形式	OP	R ₁	X ₁	B ₂	D ₂	
	0	7 8	11 12	15 16	19 20	31
		レジスタ オペランド1	レジスタ オペランド2	アドレス オペランド2		
RS形式	OP	R ₁	R ₃	B ₂	D ₂	
	0	7 8	11 12	15 16	19 20	31
		直接オペランド		アドレス オペランド1		
SI形式	OP		I ₂	B ₁	D ₁	
	0	7 8	15	16	19 20	31
		長さ オペランド1	長さ オペランド2	アドレス オペランド1		アドレス オペランド2
SS形式	OP	L ₁	L ₂	B ₁	D ₁	B ₂ D ₂
	0	7 8	11 12	15 16	19 20	31 32 35 36 47

図 5 H-8700 処理装置の命令形式

(2) アドレス形式

命令形式に含まれるアドレス部は、12 ビットのディスプレイメントに 4 ビットのベースレジスタ指定部よりなるが、8300/8400/8500 ではベースレジスタは 24 ビットの情報が使用されて、これにより $2^{24}=16$ メガバイトまでアドレス指定が直接行なわれる実アドレス方式をとっているが 8700 ではベースレジスタの 31 ビットの情報をアドレス情報として使用し、 $2^{31}=2,147$ メガバイトまでのアドレス空間を指定するようにし、このアドレス空間を実アドレスとは全く独立な、プログラム作成上の論理的なアドレス空間として利用する方式いわゆる仮想メモリ方式を採用している。図 6 は 31 ビットの論理アドレス形式を示すものである。したがって 8700 では、プログラムの持つ論理アドレスを命令実行段階で、実アドレスに変換して、実際の MMU のアドレスにアク

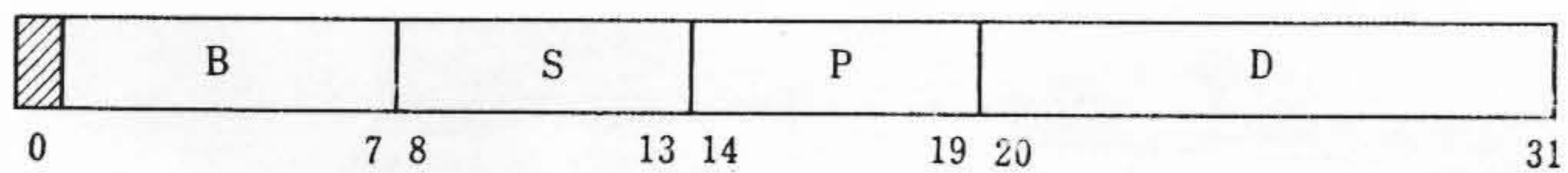


図6 H-8700の論理アドレス形式

セスしてやるアドレス変換機構が必要となる。論理アドレスの導入により、

(イ) MMUの容量に制限されないでプログラムの作成が可能となる。

(ロ) コアメモリが4Kバイトを1ページとするページ単位にダイナミックに割当てられるため、メモリ使用の効率が向上する。

(ハ) 論理アドレスはプログラムごとに独立に与えることができるので、プログラム間の干渉を完全になくすることができる。またセグメント、ページの各レベルで、多彩なメモリ保護が可能になる。

などの効果が期待されるので、特に多様化が要求されてきている大形計算機の機能として、今後積極的に採用されていく機能である。

(3) 演算制御

8700 CPUの内部構成の概略は図7に示すとおりである。CPU演算制御は、書込み可能なコントロールメモリ(WCM)に格納されているマイクロ命令の実行によってほとんど行なうマイクロプログラム方式が採用されている。マイクロ命令のワード長は64ビットで8000の他機種に比べて長いのは、独立したフィールドを数多く作り、多くの独立動作を並行して実行させ、内部演算速度を上げるためである。マイクロ命令をWCMに格納することは、命令の追加、変更が容易であり、またオペレーティングシステムの管理プログラムなどで頻繁に使用されるマクロ命令などをマイクロ命令で組立て、WCMに格納して実行させることにより、処理速度の向上に寄与できる。またCPUの保守診断プログラムをマイクロ命令で組立て、WCMに格納して実行させることにより、一般命令による診断プログラムに比べて、論理構造の細かい点まで調べることができるなど、効果が大きい。

2.3 バッファメモリ

高速性と多様な機能を有する大形計算機になるほど、その性能を引き出すために、高速大容量の主記憶装置が必要になってくる。しかし、演算装置の速度に見合った高速な主記憶装置を経済的に得ることは困難なことであり、かつ大容量になると演算装置からの配線経路が長くなり、アクセス時間が遅くなってせっかくの高速性が生

かしきれなくなるなどの理由から、最近の大形計算機はバッファメモリ方式を採用しているものが多い。バッファメモリ方式は演算装置の内部速度に見合った小容量、かつ高速のメモリを演算装置内に設け、使用頻(ひん)度の高い主記憶装置内の情報(プログラムおよびデータ)の「写し」を格納し、演算装置が情報参照のために毎回主記憶装置とやりとりすることなく、「写し」を使って高速に処理する方式である。8700のバッファメモリには、16Kバイトの容量を持つワイヤメモリを採用している。16Kバイトのバッファメモリは単位容量1kバイトのセクタ16個から成り、セクタは単位容量64バイトのブロック16個より成る。セクタは1Kバイト境界の単位で主記憶装置の任意の1Kバイトのエリアと対応づけられる。演算装置が必要とする情報がすでにバッファメモリにはいっている場合、主記憶装置までアクセスする時間が完全に省かれ、必要情報がバッファメモリにはいない場合だけ、主記憶装置より64バイト単位でブロック転送が行なわれ、バッファメモリの対応するブロックに格納される。バッファメモリに格納された主記憶装置のエリアの登録は連想レジスタ(ASR)になされ、情報参照のたびにASRが高速に調べられて、必要情報がバッファメモリにあるか否かの判断を与える。

2.4 論理アドレス

8700におけるアドレス方式は前述のように31ビットの論理アドレスである。この論理アドレスは、図6に示すように4つのフィールドから構成されている。

B: ベースフィールド(7ビット) — ベーステーブルのエントリを指定する。

S: セグメントフィールド(6ビット) — セグメントテーブルのエントリを指定する。

P: ページフィールド(6ビット) — ページテーブルのエントリを指定する。

D: ディスプレースメント(12ビット) — そのまま実アドレスの後半12ビットとなる。

(1) アドレス変換

31ビットの論理アドレスに対して、実アドレスは24ビットであり、論理アドレス空間は実アドレス空間の128倍ある。実アドレスは実在する主記憶装置のアドレスを指定するので、論理アドレス上で作成されたプログラムは実行段階で実アドレスに変換される必要がある。変換は管理プログラムが主記憶上に作成する変換テーブルをハードウェアが自動的に参照して行なわれる。変換テーブルは、図8に示すように、ベーステーブル、セグメントテーブル、ページテーブルの3段階あり、最初に参照するベーステ

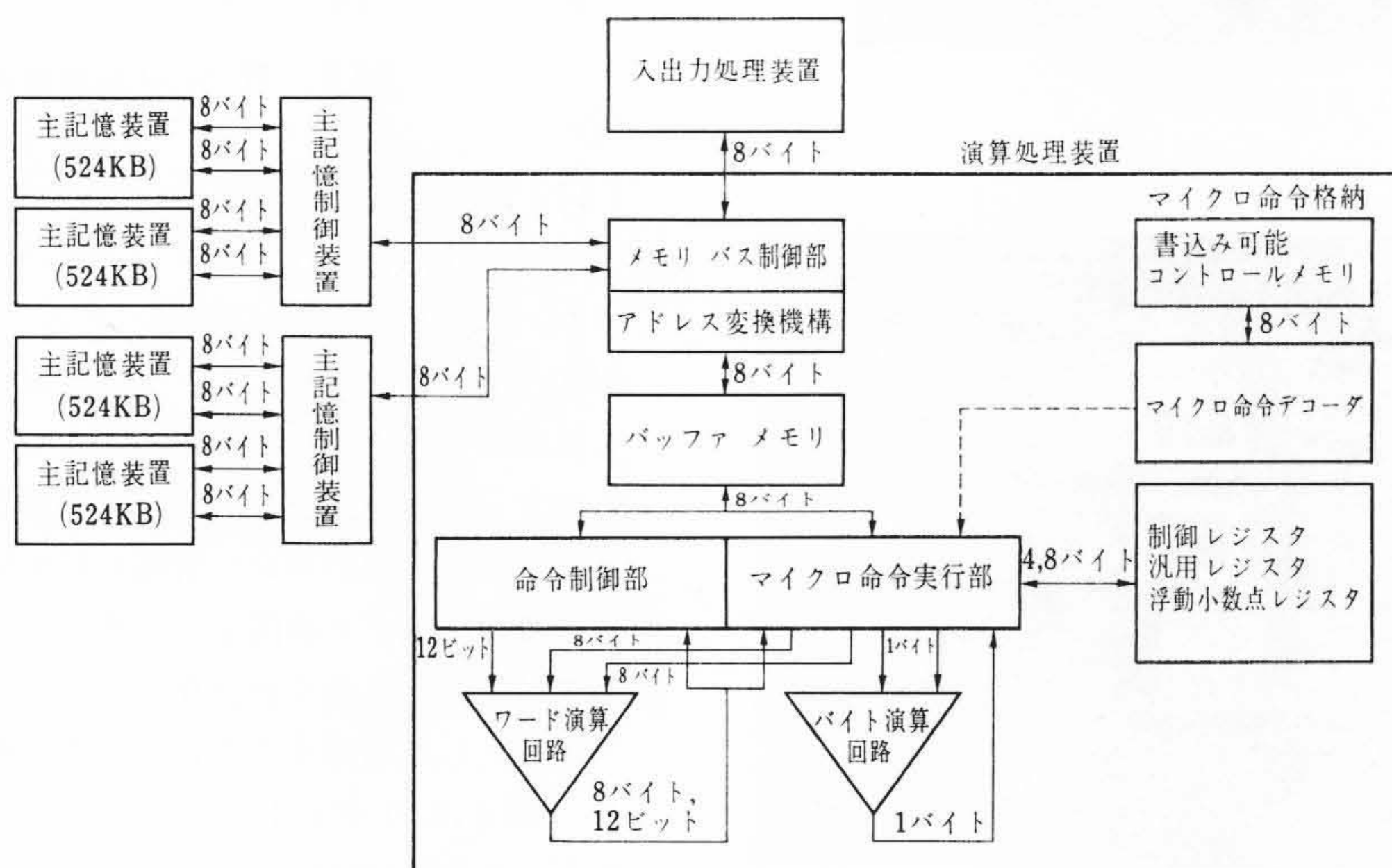


図7 演算処理装置の内部構成

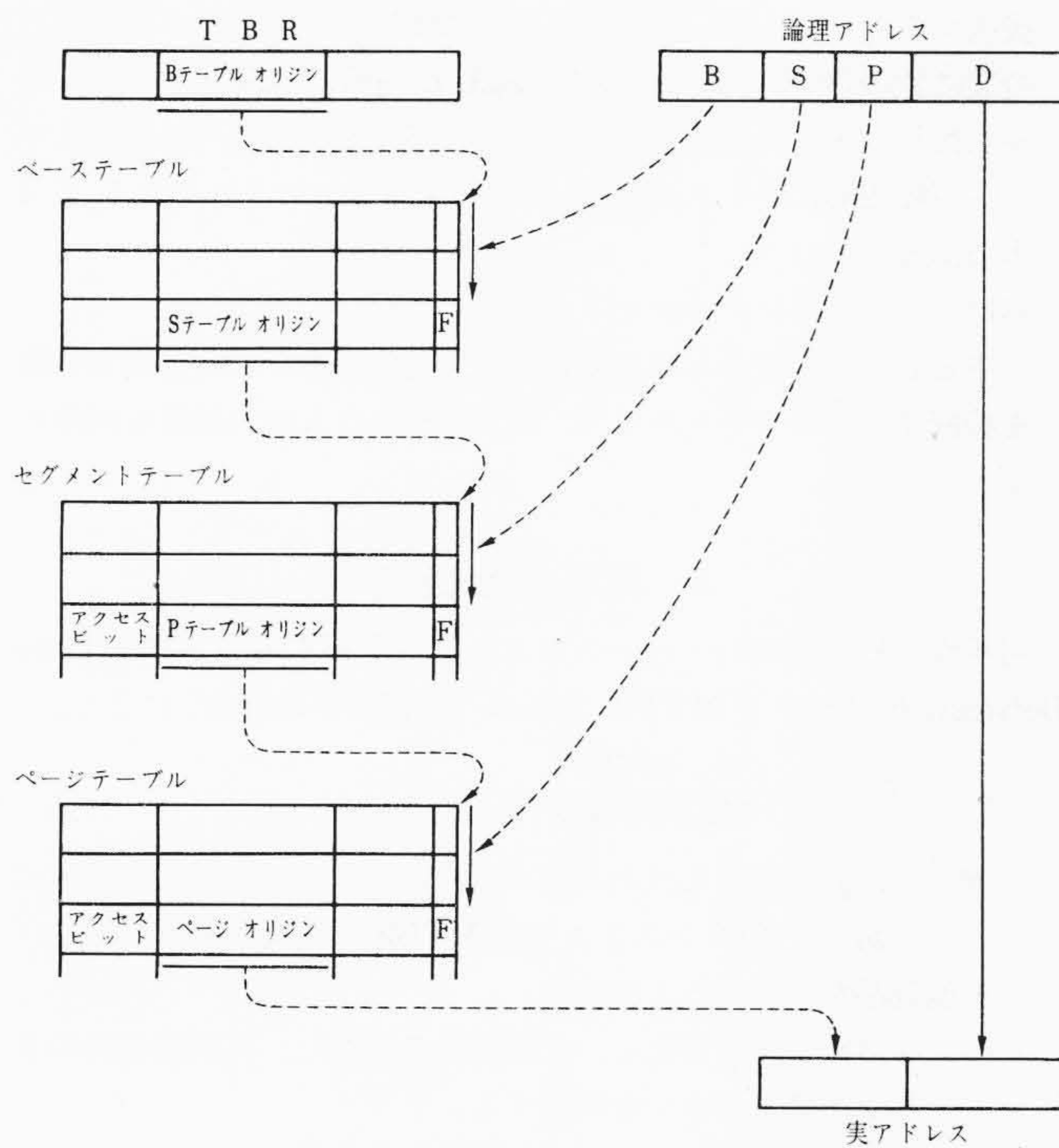


図8 アドレス変換過程

ベーステーブルの先頭はCPU内のTBR (Table Base Register) が与える。ベーステーブルのB番目に次のセグメントテーブルのオリジンがはいっており、そのS番目のエントリが次のページテーブルを指定する。ページテーブルのP番目より、実アドレスの上位12ビットのページ実アドレスが求められ、ディスプレースメントと連結して、24ビットの実アドレスが得られる。この変換を高速にするため、16個の連想レジスタ(ASR)がCPU内にあり、頻繁(ひんぱん)に使用される変換対(論理アドレスと実アドレスの対応)を登録しておき、変換のたびに、主記憶にある変換テーブルを参照することなく、高速に変換が完了するようになっている。ASRはバッファメモリのセクタ登録用と共用する構造になっている。

(2) アクセス制御

アドレス変換機能の重要な側面にアクセス制御がある。論理アドレスの原点はTBRによって与えられるが、TBRの内容はプログラムごとに個別の値が管理プログラムによって与えられるので、あるプログラムは他のプログラムのアドレス空間へは決して近づけないことになるので、プログラム間の保護は完全に行なわれる。しかしプログラム間で共有されるプログラムモジュールは、一方のプログラムによって破壊されると他方に影響を与えることになるので、これを解決する手段として、アドレス変換過程にアクセス制御機能を設けている。図8に示すように、セグメントテーブルとページテーブルに8ビットからなるアクセスビット

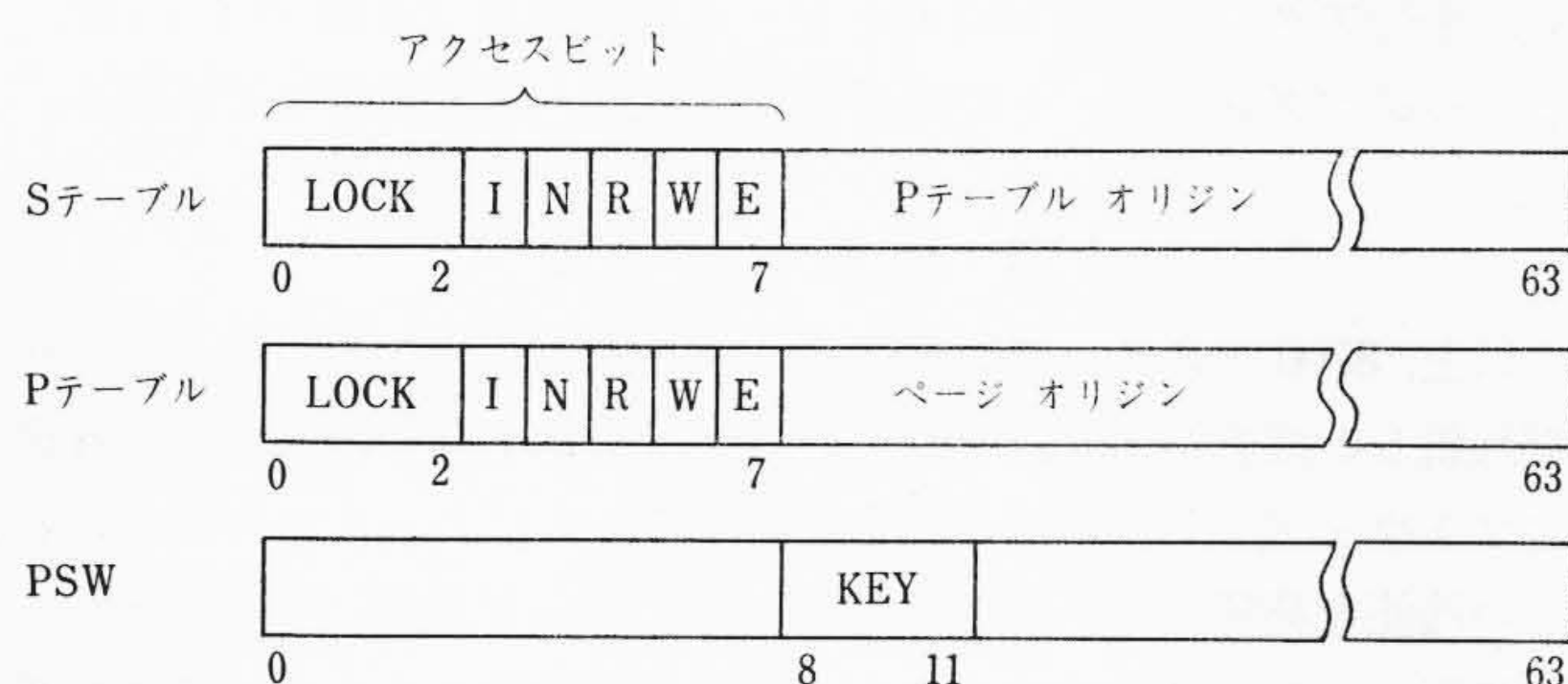


図9 アクセスビット

を設けてあり、これらのアクセスビットと、演算装置内のプログラム状態語(PSW)内に存在するKEYの値を比較して、セグメント単位、ページ単位に書込み、読出し、実行の制御を行なっている。

- (a) PSWのKEY=000の場合はアクセスビットに関係なく、書込み(W)、読出し(R)、実行(E)が可能となる。
- (b) $KEY \leq LOCK$ の場合はRは常に可能となるが、W、とEはアクセスビットの指示に従う。
- (c) $KEY > LOCK$ の場合は常にWは禁止される。Iビットが0のときはEも常に禁止される。Rはアクセスビットの指示に従う。

この関係は、KEY、LOCKの値がそのセグメントの保護性のレベルを表わしており、 $KEY > LOCK$ なら保護機能はゆるく、 $KEY > LOCK$ であると保護機能がきつくなる。このような保護機能により、プログラム間の多彩な保護を行なうことができる。

2.5 構成制御

8700 システムでは、複数台のCPU、MMU、IOPを接続して、マルチプロセッサシステムを構成することができるが、これらの装置のうちある装置が故障した場合、故障装置を分離し、オフライン保守を行なったあと再び結合するなどの構成変更の制御が必要となる。8700の構成制御の特色は、分散管理方式の構成制御機能にある。これは特定のCPUを構成制御のマスタCPUとせず、プログラムの制御によりマスタCPUが動的に変わることを可能にし、かつ構成制御を指定されたマスタCPUのプログラムの下に行なうことができるようになっている。この機能によって、システム構成に柔軟性を与え、システムの可用性の向上を図っている。

3. 主記憶装置(MMU)、主記憶制御装置(MMC)

8700のMMUはサイクルタイム0.9マイクロ秒の磁心記憶装置である。連続する8バイト(パリティを含めて72ビット)の情報を同時に読み書きする機能を持つ256Kバイトのユニットをバンクと呼び、2バンクを収容した0.5Mバイトの装置を増設単位としている。MMUは主記憶制御装置(MMC)によって制御されるが、1Mバイトの場合図10に示すアドレス付けによる4ウェイインタリーブ制御を行なっている。通常の読出し、書込みは一つのバンクに対してなされるが、CPUのバッファメモリにブロック転送を行なう場合は、連続的に各バンクに起動をかけて、4個のバンクより連続的に読み出された情報をバッファメモリに転送するブロック転送機能を備えている。またMMCは複数台のCPUから読出し、書込み要求を受け付けてMMUを制御する。この接続例は図11に示すとおりである。MMCは複数台のCPUからの同時要求に対しては先行優先の制御を行ない、受け付けた要求のデータ処理が終了する

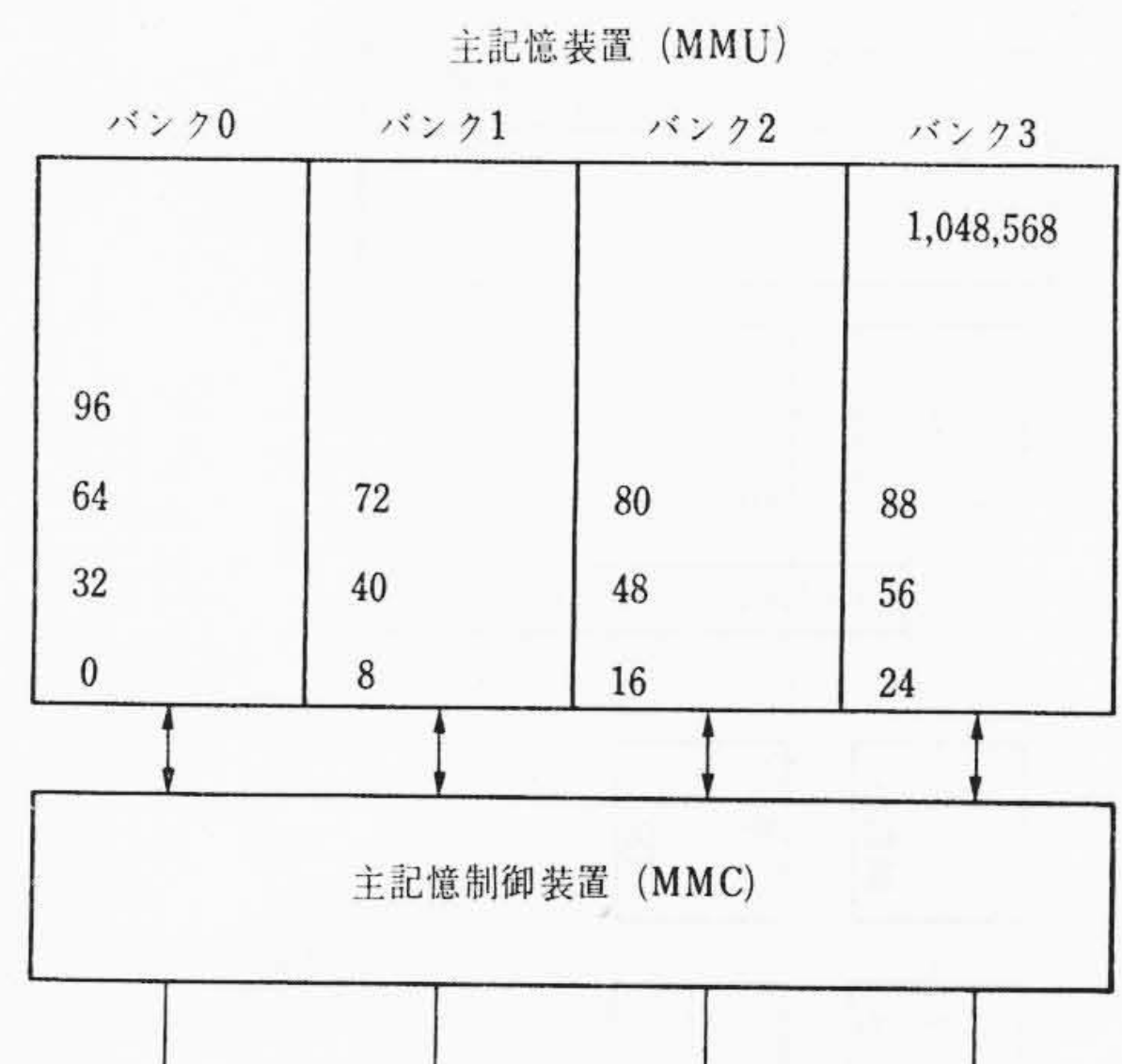


図10 メモリのインタリーブ制御

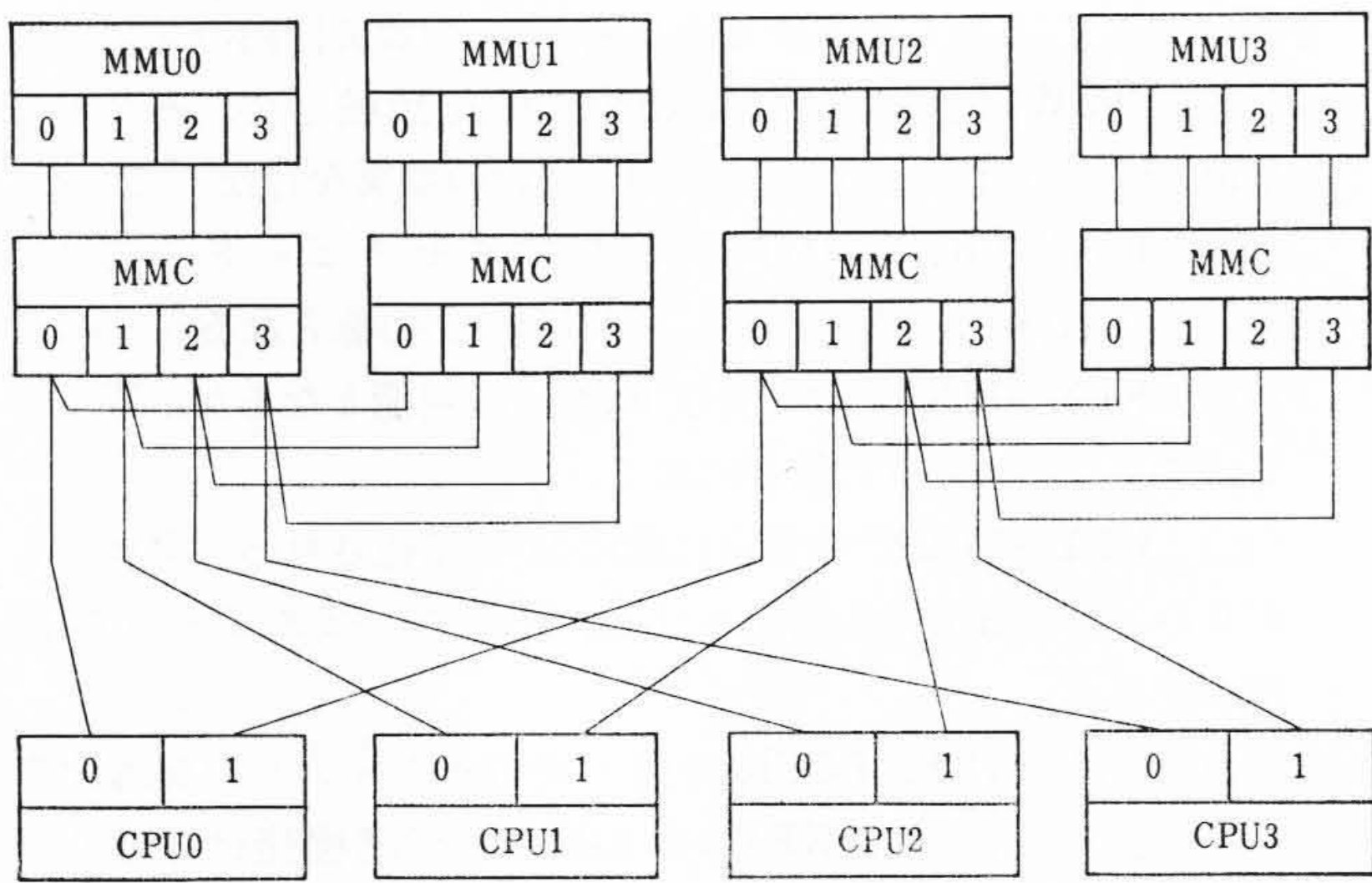


図11 4Mバイト・4CPU構成図

前に次の要求の受付を行なういわゆるパイプライン制御を採用しており、最大4個の要求を受け付けて並行に処理を進めることができる。さらにMMCには、CPUから転送される情報のパリティチェックを行ない、MMUへは誤り訂正のためのハミングコードを作成付加して書込み、読出し時のチェックにより2ビットエラーを検出し、1ビットエラーは自動的に訂正する機能を持っている。

4. 入出力処理装置 (IOP)

図12は入出力処理装置 (IOP) の構成例を示したものである。IOPは入出力チャンネル機能をCPUより分離、独立させたもので、これによりCPUの処理負担を軽減し、チャンネルスループットを向上させ、マルチプロセッサシステムの構成を可能にする。IOP1台の最大スループットは8Mバイト/秒である。図12のIOPで多重プロセッサ機構はマルチプロセッサシステムを構成する場合、複数CPUと接続され、IOPの各チャンネル、サブチャンネルが、複数CPUの制御下で動作することを可能とする。共通制御部は各チャンネルに共通する制御機能のほかに、チャンネルが故障した場合、他チャンネルの動作を妨げないで、診断する機能が内蔵されている。各チャンネルの特長としては、

(1) 高速セレクトチャンネル

最大データ転送能力4Mバイト/秒を有するチャンネルであり、論理アドレス空間を構成するメモリの一部として使用されるページングドラムを接続するのが目的である。

(2) セレクトチャンネル

主としてドラム、ディスク、磁気テープなどの補助記憶装置を

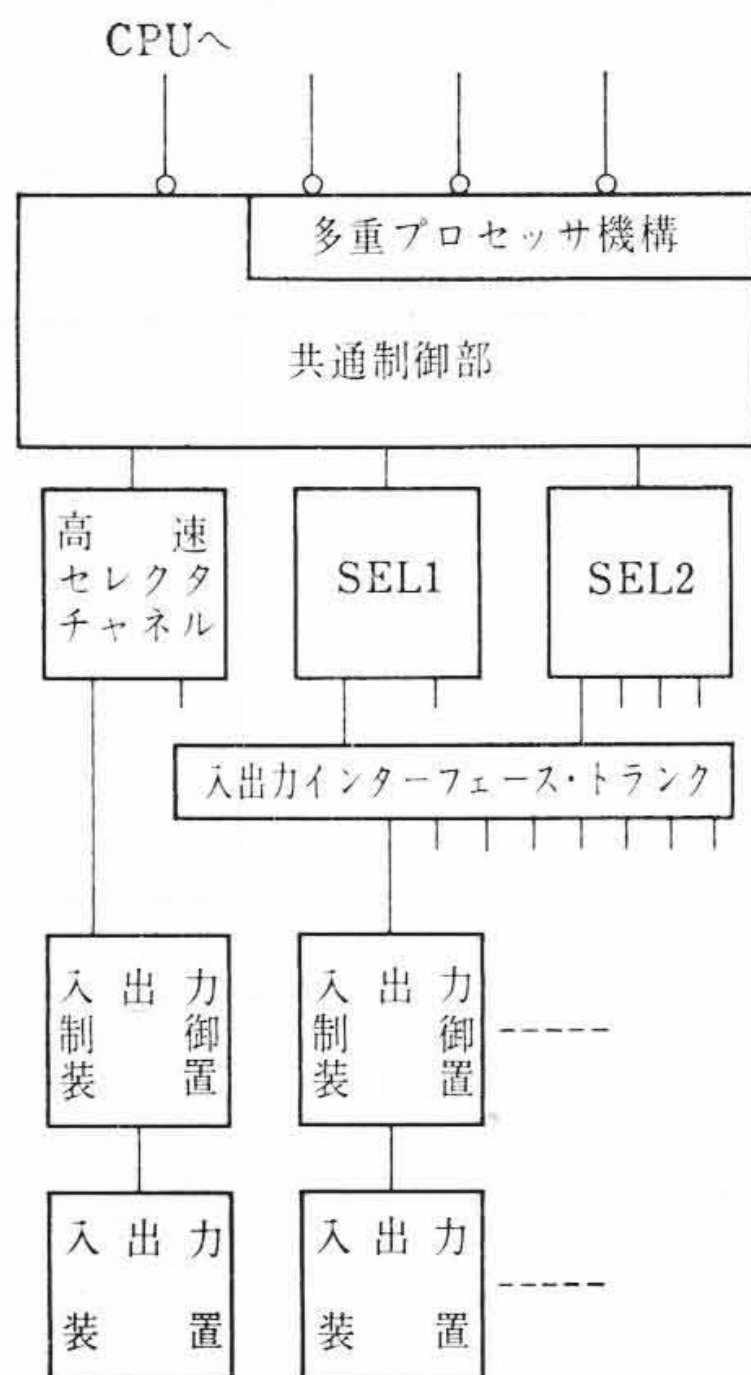


図12 入出力処理装置の構成例

接続するチャンネルで、このチャンネルには転送速度とチャンネル数との間に次の関係を持っている。SEL1, SEL2, SEL4はチャンネルあたりのデータ転送速度がそれぞれ600Kバイト/秒, 500Kバイト/秒, 250Kバイト/秒であり、チャンネル数はそれぞれ1, 2, 4本である。

(3) マルチプレクサチャンネル

主として低速度の入出力装置および通信回線を介して端末装置を接続するためのチャンネルで、最大256台の入出力装置を同時に制御できる。

5. 高可用性機能

可用性 (Availability) はシステムとしてのMTBF (Mean Time Between Failure) とMTTR (Mean Time To Repair) により、

$$\text{可用性} = \frac{\text{MTBF}}{\text{MTBF} + \text{MTTR}}$$

と定義され、高可用性とはシステムについて、この可用性を最大にすることである。8700システムではMTBFを増大させるために、高信頼度部品を使用すると同時に、

- (1) システムを多重化し、故障装置の切離し、再構成制御によりシステムダウンを回避する。
- (2) 動作の再実行により一時的誤動作を自動的に回復する。
- (3) メモリの読出し情報に1ビットのエラーが発見された場合にこれを自動的に訂正する。

などの機能を有している。

また、MTTRを短縮するために、

- (1) 各装置内部のレジスタおよびデータ母線の情報には、すべてパリティビットを付し、パリティ・チェック回路を設けている。また、演算部にも予測パリティを作成し、結果パリティ・チェックを行なうなどの誤動作検出検能により故障箇所を指摘する。
- (2) 誤動作が検出されたとき、直ちにその状態を凍結し、エラー情報および全レジスタの内容をMMUのスキャン・アウト・エリアに格納し、記録する。
- (3) 動作の再実行機能により一時的誤動作による保守を回避する。
- (4) ダイアグノーグ命令、故障箇所指摘テスト (FLT) 機能により故障箇所の診断を高速化する。
- (5) ダイアグノーグ命令により保守作業の能率化を図る。

などの手段を講じている。

6. 入出力装置

チャンネル入出力装置との接続は、8000シリーズの標準入出力インタフェースによって行なわれるため、従来の入出力装置および今後開発されるほとんどすべての入出力装置が接続できる。新しい入出力装置としては、コンソールディスプレイ装置、1600BPI, 240Kバイト/秒、自動巻付機構付の磁気テープ装置、記憶容量4.2Mバイト、平均アクセス時間10.3msデータ転送速度2.2Mバイト/秒、のページングドラム、その他通信制御装置、端末装置などがある。

7. 結 言

以上、8700システムの各装置について概説した。各装置ともそれぞれ新しい機能が盛り込まれているが、これを有効に働かせる各種ソフトウェアシステムがこれを支持することによってシステムとしての機能を発揮する。8700システムは、バッチ処理、リモートバッチ処理、オンラインリアルタイム処理、本格的タイムシェアリング処理を効果的、経済的に実現できる大形計算機である。