

HITAC 10 II システム(処理装置)

HITAC 10 II System

The HITAC 10 II system is a new addition to the HITAC 10 general purpose mini-computer series. It has successfully incorporated higher speeds and high functions in its smaller size structure than other types.

Introduced in this article is its central processing unit, with description of its characteristic function as compared with that of other types of the HITAC 10 family.

西牧 武彦* Takehiko Nishimaki

山田征二郎* Seijirô Yamada

下島 賢二* Kenji Shimojima

1 緒 言

最近、ミニコンピュータの普及に伴って、ユーザーの要求はしだいに高級化、多様化しつつある。一方、ミニコンピュータのハードウェアを実現する各種の基礎技術の進歩も著しく、とりわけ中規模集積回路（以下、MSIと略す）に代表される論理回路素子の発達は、これまでの処理装置設計の際の根本的な制約を一気に大幅に緩和してしまい、これによって処理装置設計者は処理装置の高速化、機能強化および小形化に関する大きな自由度を手にすることができたのである。

また、記憶装置においてもコア製造技術の進歩と周辺回路素子の発達があいまって、さらに高速化、小形化することが可能となった。そこで、これらの諸状況のもとに、HITAC 10（以下、H-10と略す）システムのフィールドデータを生かしつつ、HITAC 10 II（以下、H-10 IIと略す）システムが設計、製作された。

H-10 II システムのいちばんの特長は処理速度の向上である。H-10 II システムの処理装置（以下、H-10 II CPUと略す）

のメモリサイクルタイムはH-10システムの処理装置（以下、H-10 CPUと略す）におけるメモリサイクルタイムの約65%と高速化された。

また、命令語数も増加し、記憶保護（注1）、入出力インタフェースの強化（容易性の増大、割込みレベルの拡張（注2））、操作性の強化（操作スイッチの機能増大、イニシャルプログラムロードルーチンの自動書込み（注3））などの機能が付け加えられた。さらに、体積でH-10 CPUの約50%、重量で同60%と小形、軽量化され、システム用きょう体の開発と合わせてシステムまとめが容易になった。このほか、H-10 CPUが持つ特長はすべて持っている。以下、H-10 II CPUについて述べる。

（注1～3）付加機構

2 構 造

H-10システムの1号機が設置されてからすでに久しいが、この間、H-10システムは様々な用途に用いられてきた。そして

ユーザー側で開発されたアプリケーションもかなりの量に上っており、しだいに高度化しつつある。ところでこうしたユーザーからH-10システムよりもさらにコスト・パフォーマンスの良いシステムが要求され始めた。しかも、すでに開発されたアプリケーションはほとんど変更なく生きられねばならない。この意図のもとに設計、製作されたH-10 II CPUはH-10 CPUの持つ命令語のすべてを持ち（ただし、命令実行時間は異なる）、さらに独自の機能を付け加えたアップワードコンパクトマシンとなっている。したがってその構造は基本的にH-10 CPUと同一であり、図2に示すブロック構成になっている。以下、特長について述べる。

2.1 IPL自動書込み機能

H-10 CPUにはイニシャルプログラムロードルーチン（IPL）の自動書込み機能を持っている。これは操作パネルのIPLスイッチを押すことによ

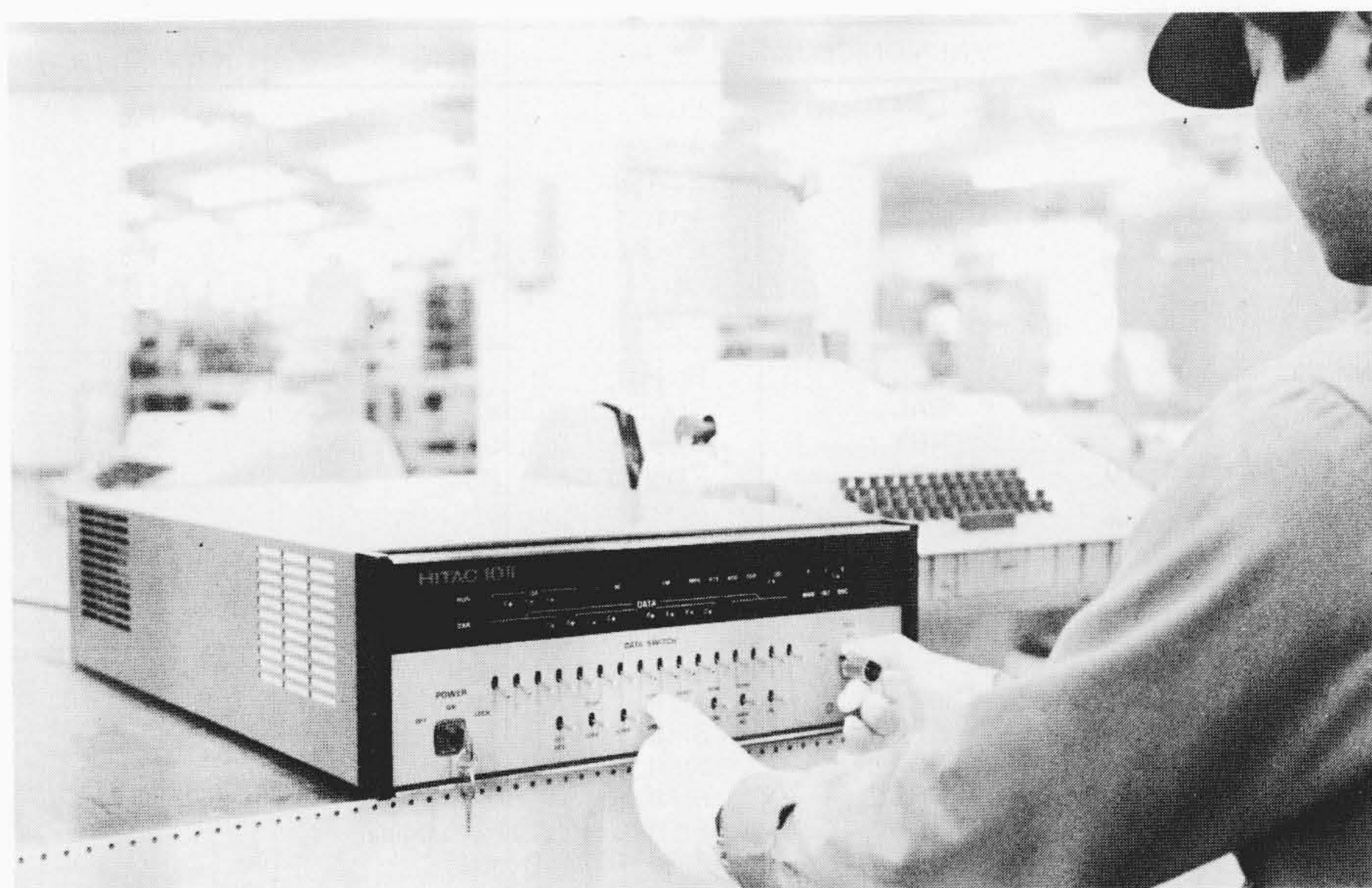


図1 HITAC 10 II システムの処理装置 小形化、軽量化を図った結果、HITAC 10システムの処理装置に比べ高さが約半分になった（横幅と奥行はほぼ同じである）。

Fig. 1 Processor Unit of HITAC 10 II System

* 日立製作所旭工場

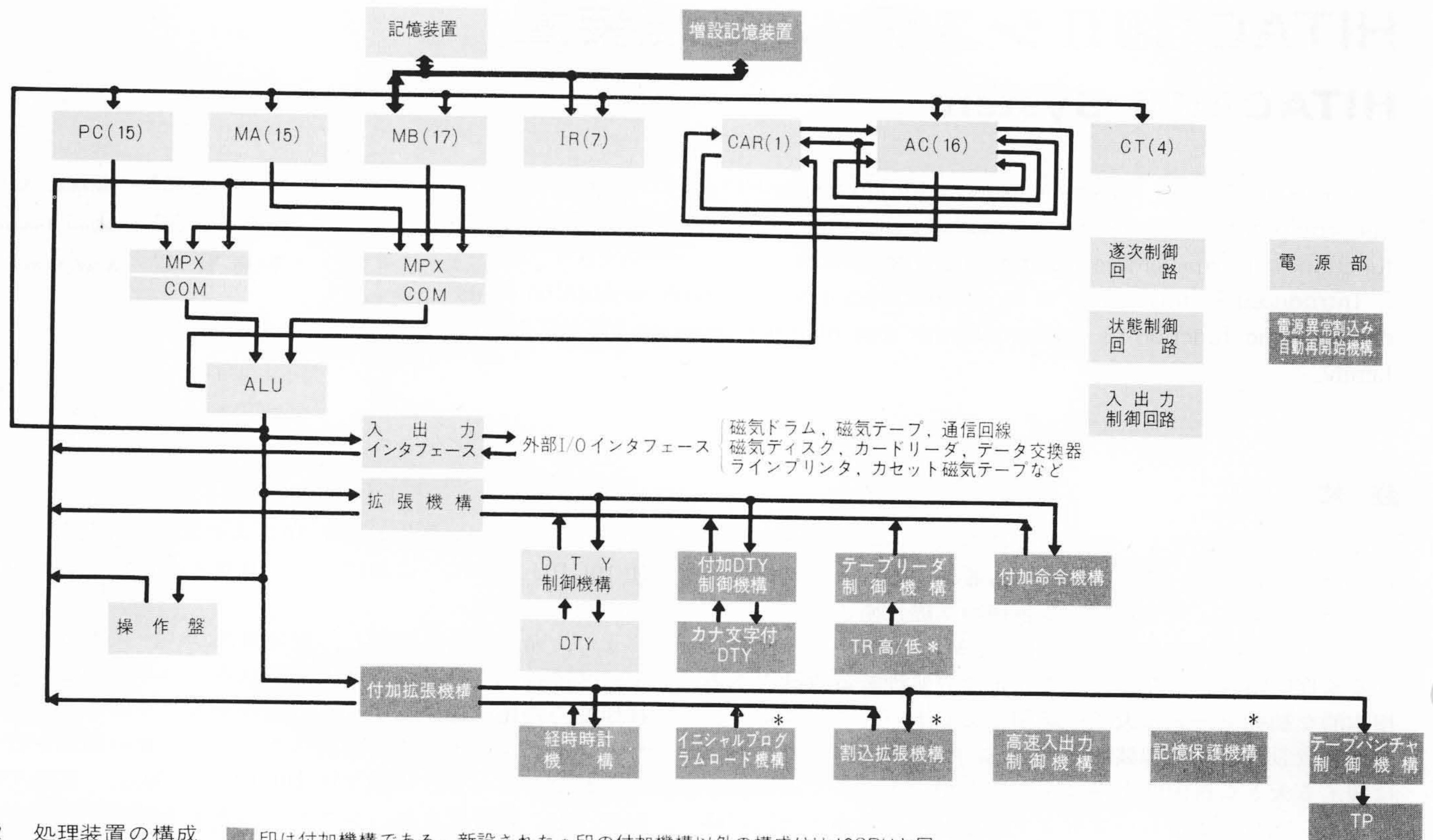


図2 処理装置の構成 ■印は付加機構である。新設された*印の付加機構以外の構成はH-10CPUと同一である。もちろん、それぞれのブロックはMSIなどの採用により信頼性の向上、モジュラリティの強化、生産工程の簡素化によるコストダウンなどを図っている。

Fig.2 Block Diagram of Processer Unit

り、同機構内にあるリードオンリーメモリの内容が主記憶装置の一定番地にブロック転送されるようになっており、同リードオンリーメモリの中には高速紙テープ読取機（あるいはデータタイプライタの紙テープ読取機）からのテープ読取りルーチンが収まっている。これによってオペレータは、誤って主記憶装置内のIPLを消滅させてしまった場合にも、すみやかに回復させることができ、また、電源投入直後のプログラムロードも、確実に迅速に行なうことができる。

2.2 インタフェース信号線数の減少

MSIを大幅に採用したために、H-1011CPUはデータの流れにおいてH-10CPUとは一部異なった点がある。すなわち、MSIは従来のIC(SSSI)に比べて時分割制御性を強く必要とするので、必然的にマルチプレクサの機能が強化される。

このため高速入出力制御においてもH-1011CPUはH-10CPUと違って転送アドレス情報と入力転送データとを同時に必要とすることがないので一組の信号線を時分割に使用できる。したがってインタフェースラインの信号線が大幅に減り、信頼性が向上した。

時分割使用の手法はH-1011CPUのメモリインタフェースにも用いられ、演算処理ユニットと主記憶装置との間のデータ転送ラインは双方向性を持っている。こうしてインタフェースラインの信号線が大幅に減り、さらに信頼性が向上した。

2.3 H-1011命令

表1はH-1011CPUの命令語を示すものである。表中のIMM, KCD命令はH-10CPUにおいてオペコードトラップとなっていたコードを使用して付け加えたH-1011CPU独自の命令である。IMM命令は命令語の下位8ビット内容をアドレス情報としてではなく、直接にオペランドとして使用でき

表1 命令語表 表中の*印以外の命令はH-10CPUの命令語と同一である。H-1011CPUでは新たに*印の命令が設けられた。また、**印のシフト命令は循環(Rotation)の指定ができるようになった。なお、*印の命令および**印の機能は手動のスイッチによって無効にすることもできる。

Table 1 List of Instruction

MNEMONIC表示	命令	実行時間 (μs)
L	Load	1.8
A	Add	1.8
S	Subtract	1.8
N	And	1.8
X	Exclusive Or	1.8
O	Or	1.8
ST	Store	1.8
B	Branch	0.9
BAL	Branch and Link	1.8
KCT	Skip on Count up	2.1
*KCD	Skip on Count Down	2.1
SE	Set Effective Address	0.9
SC	Status Control	1.8
IOC	Input Output Control	2.7
*IMM	Immediate	0.9, 1.8
**SRL	Shift Right Logical	1.8~6.3
**SLL	Shift Left Logical	
SRA	Shift Right	
SLA	Shift Left	
**SRDL	Shift Right Double Logical	
**SLDL	Shift Left Double Logical	
SRDA	Shift Right Double	1.8~6.3
SLDA	Shift Left Double	
LE	Load Extended Accumulator	1.8
LD	Load Double	2.7
AD	Add Double	2.7
SD	Subtract Double	2.7
M	Multiply	7.2
D	Divide	7.2
STE	Store Extended Accumulator	1.8
STD	Store Double	2.7

3.4 電圧ドライブ方式の採用

H-10MSは、電流ドライブ方式であるが、H-10IIMSでは、電圧ドライブ方式である。このため、電流源回路およびこれに付随する $\pm 15V$ 電源チャネルも不必要となる。

3.5 メモリサイクルの短縮

H-10MSでは、 $1.4\mu s$ であるが、H-10IIMSは、これを35%以上サイクルアップし、 $0.9\mu s$ とした(アクセスタイムも300nsから、250nsに向上させた)。これは、明らかに処理速度の向上、処理能力の多様化につながる性能向上である。

3.6 1パリティビット方式の採用

H-10MSは、2パリティビット方式であるが、H-10IIMSは、コアメモリの十分なフィールドデータによる1パリティビット方式である。この方式の利点としては、処理装置、電源などへの負担の軽減(パリティ回路、電流容量の縮小)を上げることができる。

3.7 電源チャネルの縮小

H-10は、メモリ用電源4チャネルとして、 $\pm 15V$ 、 $-32V$ および $-30V$ を必要とするが、H-10IIは、 $+25V$ および $-5V$ (小容量)のみである。このように電源に対しても負担を軽減している。

3.8 記憶内容の保護機能

H-10MSは、記憶内容の保護機能を持っていないが、H-10IIMSは記憶内容保護機構(注5)を持っており、書込み禁止領域を設定できる。これによってプログラムミスなどによる情報の消失を防止できるとともに、システムとしての信頼性が向上している。以上、代表的項目について記述したが、結論としてH-10IIメモリは、H-10の経験を生かして大幅に改良したものであると言える。最後に、図3はメモリユニットの外観図を、図4はメモリユニットの構成を参考として示したものである。(注5)付加機構

4 入出力インタフェース

H-10IICPUの入出力制御には二つの方式がある。その一つを低速入出力制御といい、他を高速入出力制御という。低速入出力制御はプログラム制御下であって、その入出力命令により入出力装置のフラグ・センスと入出力データ転送を行なう。入出力データ転送は処理装置のアクムレータを経由して行なわれ、一つの入出力命令により転送されるデータは1語=16ビットであり、プログラム・ステップを加味した最高転送速度は約80K語/秒(H-10CPUの場合約50K語/秒)である。

一方、高速入出力制御においては、転送する処理装置メモリ番地と転送データ数をおのおのワードアドレスレジスタ(以下、WARと略す)、ワードカウントレジスタ(以下、WCRと略す)の二つのレジスタからの指定により、プログラム制御を受けずに処理装置のメモリ・バッファを経由して、直接に処理装置の主記憶装置と入出力との間でデータ転送を行なうものである。高速入出力制御はさらに二つの方式に分かれ、間接モード高速入出力制御と直接モード高速入出力制御がある。間接モード高速入出力制御では、前記WAR、WCRをプログラム指定により処理装置の主記憶装置の2語分のエリアに持たせたうえで制御を行なう方式で、最高転送速度は277K語/秒(H-10CPUの場合142K語/秒)である。一方、直接モード高速入出力制御ではWAR、WCRを入出力装置に持つので最高転送速度は833K語/秒(H-10CPUの場合714K語/秒)となる。

本インタフェースは、H-10CPUの各種応用分野からの要望に答えて、さらにより簡単な接続方式および信頼性の向上を目標に改善したものである。次におもな改善項目を掲げる。

4.1 S/Nの向上

従来のインタフェース終端抵抗 100Ω では、インタフェース・ライン上を流れる電流が大きく(最小50mA/本)、グランドレベルの浮き上り現象が大きくなるため、ローレベルのマージンが少なくなり、またライン間クロストークの影響も考慮しなければならない。そこでH-10IICPUでは同終端抵抗を図5に示すようにし、電流を減らして(最小28mA/本)S/Nを向上させた。

4.2 インタフェースラインドライバのIC化

上記4.1の結果、ラインドライバにIC(集積回路)を使用することができる。

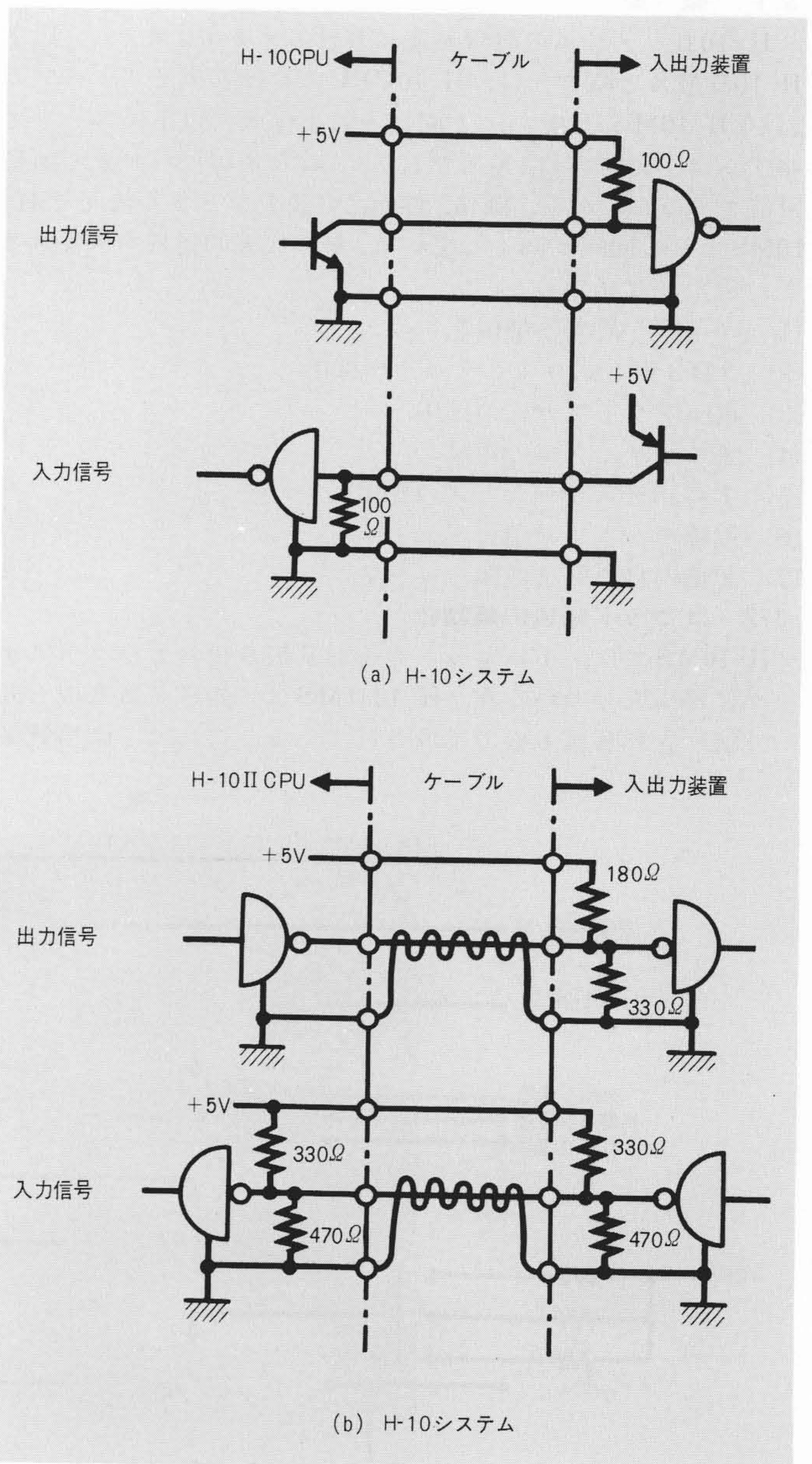


図5 入出力インタフェースの基本形 両者の違いの中で基本的なものは、論理和の設定方法である。H-10システムを信号“1”優先形とすれば、H-10IIシステムは信号“0”優先形であり逆転している。この違いがいくつかの改良点を生み出した。

Fig.5 Basic Model of Input-Output Interface

4.3 インタフェースラインの使用効率向上(信号線数の減少)

H-10CPUの場合の72本に対し、H-10II CPUの場合は61本に減少した。

4.4 消費電力の削減

前記4.1～4.3により消費電力が約半分で済む。

4.5 インタフェース論理レベルの改善

インタフェース論理レベルを次のように変えた。

H-10II インタフェース	H-10 インタフェース
論理 "1" = 0 V	論理 "1" = +5 V
論理 "0" = +5 V	論理 "0" = 0 V

4.6 複数台接続時の個々の電源ON/OFFによる障害対策

前記4.5の結果、複数台接続時に、どの入出力装置の電源をOFFにしても、それ以外の入出力装置の動作は正常に実行できるようになった(図6参照)。

4.7 装置個々の電源アンバランスによる障害対策

前記4.5の結果、従来、装置個々の電源のアンバランスが約0.5V以上になるとドライバのトランジスタが破壊する(図7参照)という現象が起きたが、これがなくなった。

4.8 ケーブル長制限の緩和

前記4.1の結果、低速インタフェースケーブル長を従来の5mから10mまで伸ばすことが可能となった。

4.9 割込み機能の拡充

H-10CPUにおいては割込みレベルは1レベルのみであったが、H-10II CPUにおいては4レベル(注5)としたため、システムを組むうえで非常に有利となり、時分割処理がスピードアップし、割込み処理が容易になった。

5 実 装

5.1 概 要

H-10II CPUの実装は次の項目を重点に設計された。

- (1) 小形、軽量化
- (2) コストダウン
- (3) 保守性の向上

H-10CPUの実装方法を検討した結果、まず電源部を小さくしなければ上記の項目を満足できないことが明らかになった。そこで、電源部の方式を変え、直列制御方式からスイッチング方式にすることによって、電源部の体積を大幅に(H-10CPUの $\frac{1}{3}$ 以下)減らすことができ、コストダウンも可能になった。電源部にできたゆとりを有効に利用するために、プリント基板の大きさも改め、基板サイズの大形化を行なった。また、きょう体も、システム構成の容易さを目的としてミリサイズの標準ラックに最適な寸法とし、ラックマウントタイプとデスクトップタイプのいずれかを選択することができる。

5.2 大形基板の採用

MSIを多量に用いることによって論理回路素子の部品点数が大幅に減少し、配線本数も減らすことができたので、大形基板の使用が可能になった。図8は大形基板の一例を示すものである。この基板の大きさは350mm×370mmで、従来のIC(SSI)なら最大130個実装できる。主記憶装置も4K語分を大形基板1枚にまとめ、その入出力インタフェースをTTLレベル化したことによって、各ブロックのモジュラリティを良くし、保守性を向上させた。大形基板の印刷配線面の層数

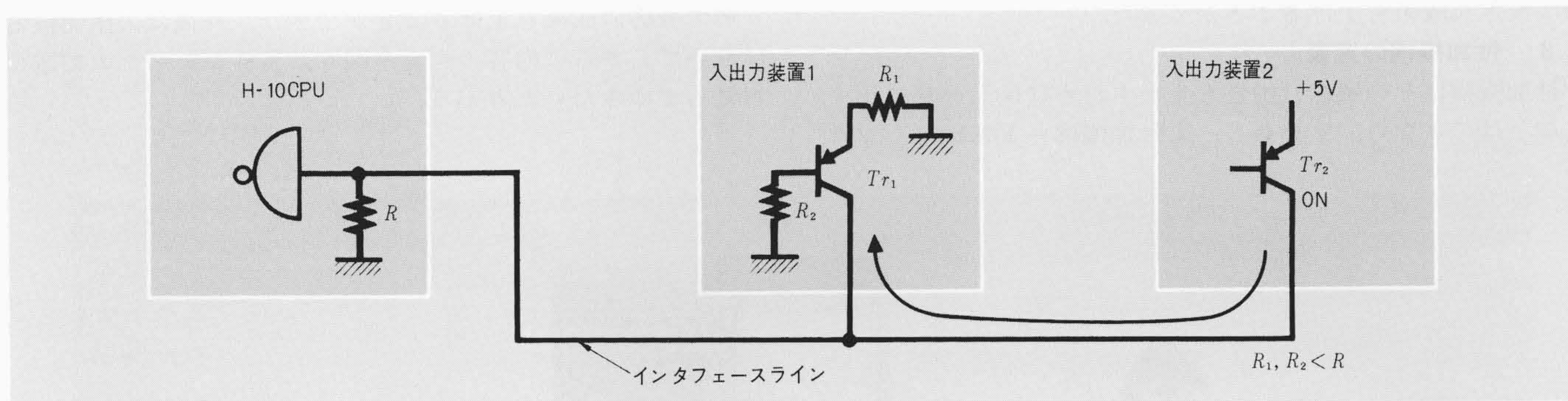


図6 入出力装置の電源ON・OFFによる障害 入出力装置1の電源OFFによって入出力装置2の Tr_2 がONとなると、入出力装置1の Tr_1 のコレクタ・エミッタに電圧(+5V)が加わり、そのベースが R_2 を通して接地された形になってしまうため、 R の両端において信号 "1" のはずが信号 "0" になってしまう。

Fig.6 Failure Caused by Power ON・OFF at Input-Output Device

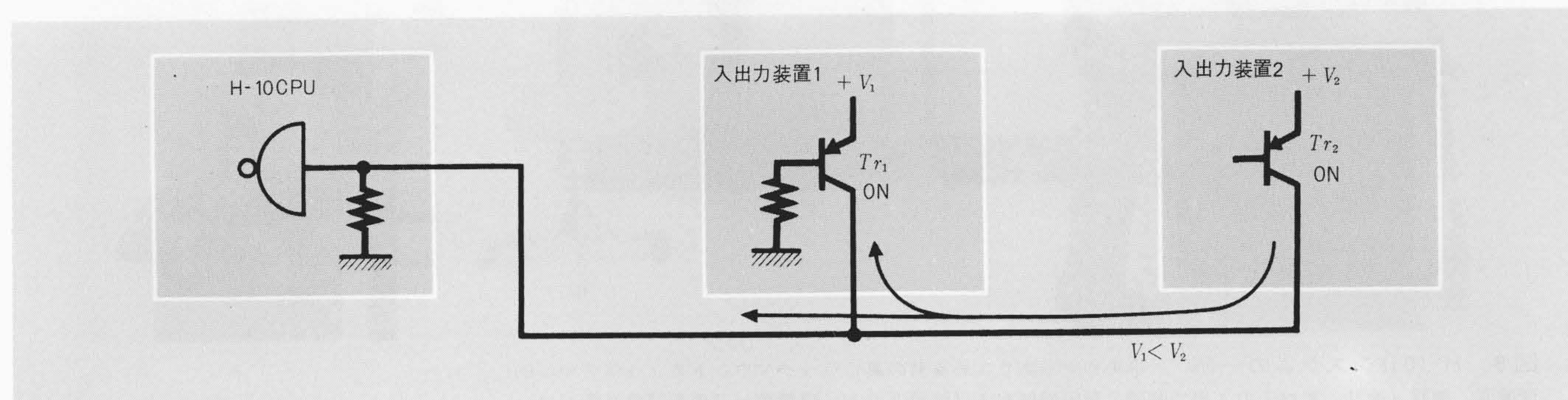


図7 各入出力装置の電源間におけるアンバランスによる障害 V_1 と V_2 の差が約0.5V以上になると、 V_2 の電源から V_1 の電源に電流が生じ Tr_1 、 Tr_2 とも破壊する可能性がある。

Fig.7 Failure Caused by Unbalance between Power Supply at Each Input-Output Device

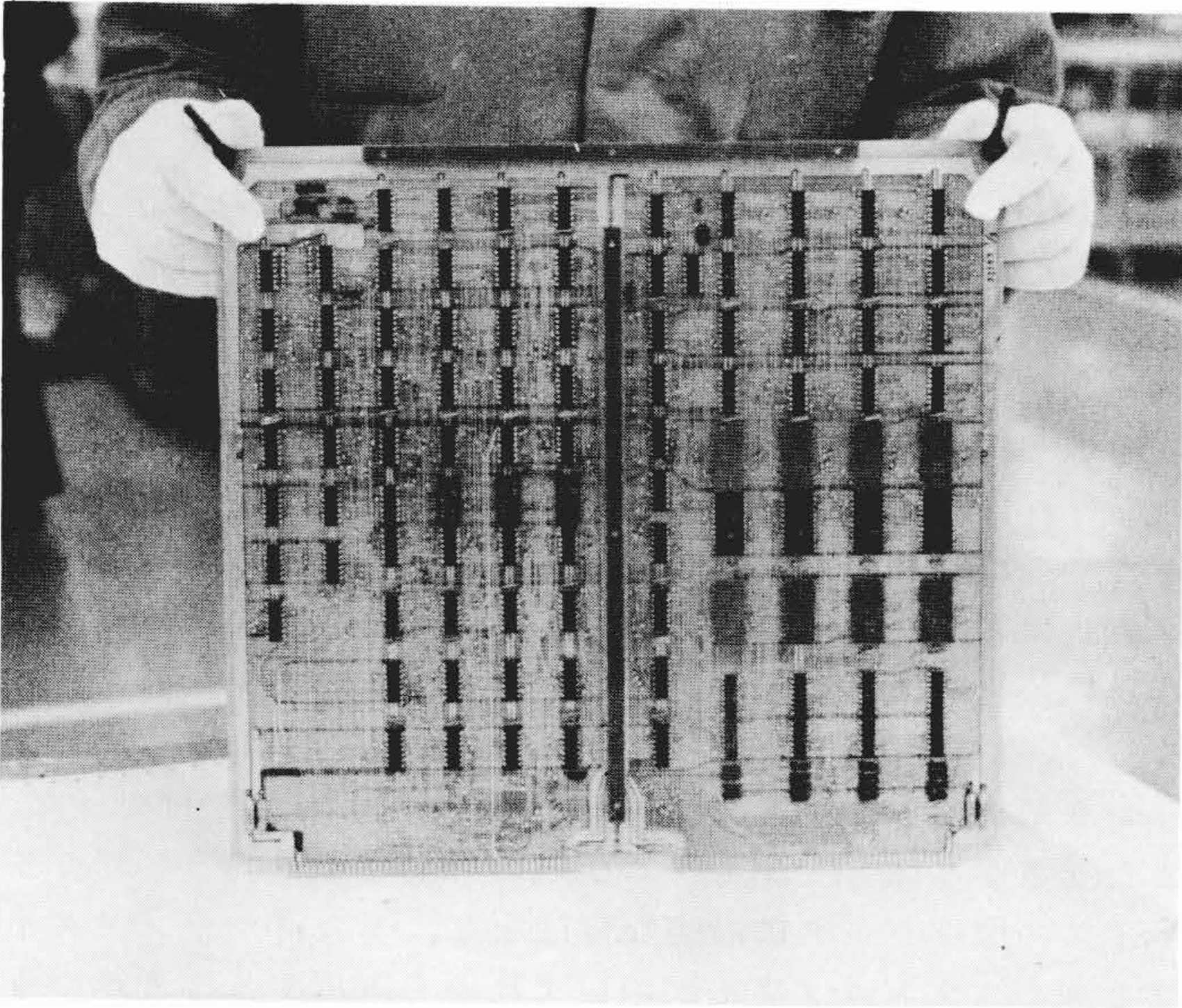


図8 大形プリント基板 この基板はデータ処理部の論理回路が実装されており、PC, MA, MB, CAR, ACなどのレジスタおよびマルチプレクサ、演算論理ユニット(ALU)などがはいっている。

Fig.8 Large Scale Plug-In

も2層であり、H-10CPUで使用している多層基板に比べ、製造が容易になった。

配線本数の減少によって、バックボードも単なる2層プリント基板に変えることができた。また、バックボードワイヤリングの本数もわずか30本ほどに減らすことができ、工数低減に大きな成果を上げることができた。

5.3 付加機構の実装

付加機構はその選択自由性を生かすためには大形基板化することはできない。すなわち、1付加機構=1基板にしなけ

ればならない。そこで、付加機構の選択自由性を生かしつつ大形基板の効果をそこなわないようにするため、何種類かの付加機構を組み合わせ、1枚の大形母基板上に集中的に配置し、おののおのを小形単一基板化することができた。この方法により、単体試験が可能となるので、増設が容易かつ確実にできる。

図9にはラックマウントを使用したH-10 II システムの一例を示すものである。

6 ソフトウェア

H-10 II のシステムソフトウェアは、OEMユーザーおよび種々の入出力装置を用いたシステムユースを主眼として設計されている。本システムにより作成されたユーザープログラムは、リロケータブルになっているため、メモリ内のユーザープログラムのメモリ占有場所を変更することができる。さらにシステムプログラムおよびユーザープログラム相互間のバインドが可能であり、バインドを行なうことにより複数本のオブジェクトプログラムを一本化できるため、プログラミング効率がいっそう良くなった。また、各種のユーティリティプログラムがより豊富に用意されており、これらのユーティリティプログラムを使用することにより、きわめてコストパフォーマンスの高いシステムを容易に作成できるとともに、デバッグ効率をさらに高めることができた。

7 結 言

H-10システムの高速化、機能強化、小形化を目指して設計、製作されたH-10 II CPUは、メモリサイクルタイムの短縮、付加機能の充実、モジュラリティの強化・コストダウンという形で一応の成果を上げることができた。今後は入出力機器において、さらに内容の充実を図り、多様なシステム要求に対処してゆきたいと考える。

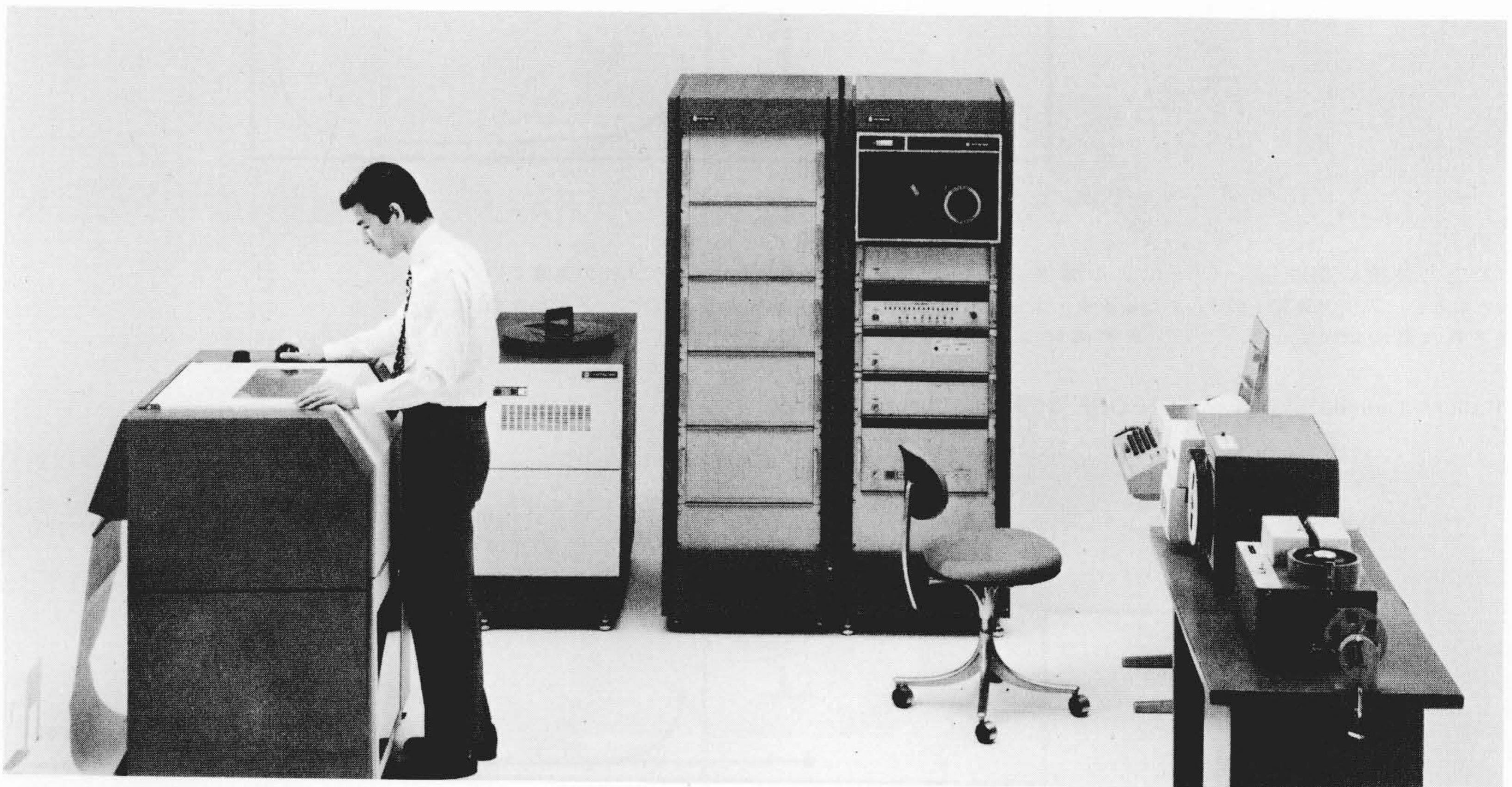


図9 H-10 II システムの一例 中央やや右寄りにある背の高いラックマウントきょう体の中に処理装置、増設メモリ、すべての入出力装置の制御機構および磁気ドラム、磁気テープの各記憶装置がはいっている。なお、左からラインプリンタ、磁気ディスク、データタイプライタ、紙テープパンチャ、紙テープリーダの順である。

Fig.9 Example of HITAC I0 II Syetem