

# SiゲートPチャネルMOS技術の開発

## Silicon Gate P Channel MOS Technology

In this article physical and electrical characteristics and processing techniques of MOS LSI's using poly Si as a gate electrode are discussed. Poly Si gate electrodes have made it possible to lower the  $V_{TH}$  of MOS transistors and the density of LSI's. With P-channel and N-channel 256-bit shift registers as a base, 1024-bit class memories and LSI's have come to be produced on a commercial basis. This Si gate technology is now being applied to MOS LSI's of higher classes. The article describes some of its applications.

岩松 誠一\* Seiichi Iwamatsu  
 富永 四志夫\* Yoshio Tominaga  
 安濟 範夫\* Norio Anzai  
 友沢 明弘\* Akihiro Tomozawa  
 吾妻 孝\* Takashi Agatsuma

### 1 緒言

SiゲートMOS(Metal Oxide Semiconductor)技術は1966年のWatkinsらの発想に始まり<sup>(1)</sup>1968年、Saraceらによりその概要が報告<sup>(2)(3)</sup>された。われわれもこの技術の重要性に着目して試作を開始し、その後1969年にIntel社からSiゲートMOSメモリの発表があり、一躍MOS LSIの主要技術として脚光を浴び始めた。1970年には筆者らのうちの一人はSiゲートMOS技術によるNチャネルMOST(MOSTはMOSトランジスタの略称)の報告<sup>(4)</sup>を行ない、現在のNチャネルSiゲートMOSメモリへの発展の基礎とした。

ここでは、このようにして開発されたSiゲートMOS技術の基礎的特性、製造工程、特徴などについて述べ、また最近注目を浴び始めたイオン打込み技術との併合による応用例についても触れる。

### 2 SiゲートMOS(Si-SiO<sub>2</sub>-Si系)の物理的特性

#### 2.1 AlゲートMOSとSiゲートMOSのバンド・モデル

図1はSiゲートMOSTの模型構造を示したもので、SiゲートMOSTとAlゲートMOSTとの違いはゲート電極として多結晶Siを用いるか、Alを用いるかである。以下、両者の物理的な相違をバンド構造により示すことにする。

Al-SiO<sub>2</sub>-Si系のバンド構造を示したのが図2(a)である。平衡状態の場合、(基板SiはN形で表面準位、 $Q_{ss}=0$ とする。)Al-SiO<sub>2</sub>とSi-SiO<sub>2</sub>との仕事関数の差によりSi表面付近でポテンシャルは下に曲がり、Siの表面層は電子の蓄積層となる。Al-SiO<sub>2</sub>-Si系の場合のフラット・バンド条件はゲート電極に仕事関数の差だけの電圧 $\Phi_{MS}$ を加え、バンド構造の曲がりをも平坦にする場合の条件である。仕事関数の差、 $\Phi_{MS}$ は次のように計算される。

$$\Phi_{MS} = \Phi_{Al} - (\chi + \frac{1}{2}E_g + \phi_{FB}) \dots \dots \dots (1)$$

ここに、 $\Phi_{Al}$ : Alの仕事関数

$\chi$ : Siの電子親和度

$E_g$ : Siのバンドギャップ

$\phi_{FB}$ : Siのフェルミポテンシャル

いま、 $\Phi_{Al}=4.1V$ ,  $\chi=4.15V$ ,  $E_g=1.1V$ とすると求める $\Phi_{MS}$ は次式となる。

$$\Phi_{MS} = -0.6 - \phi_{FB} \dots \dots \dots (2)$$

次にSi-SiO<sub>2</sub>-Si系のバンド構造とそのフラット・バンド条件は図2(b)に示すとおりである。前と同様 $Q_{ss}=0$ とし、基

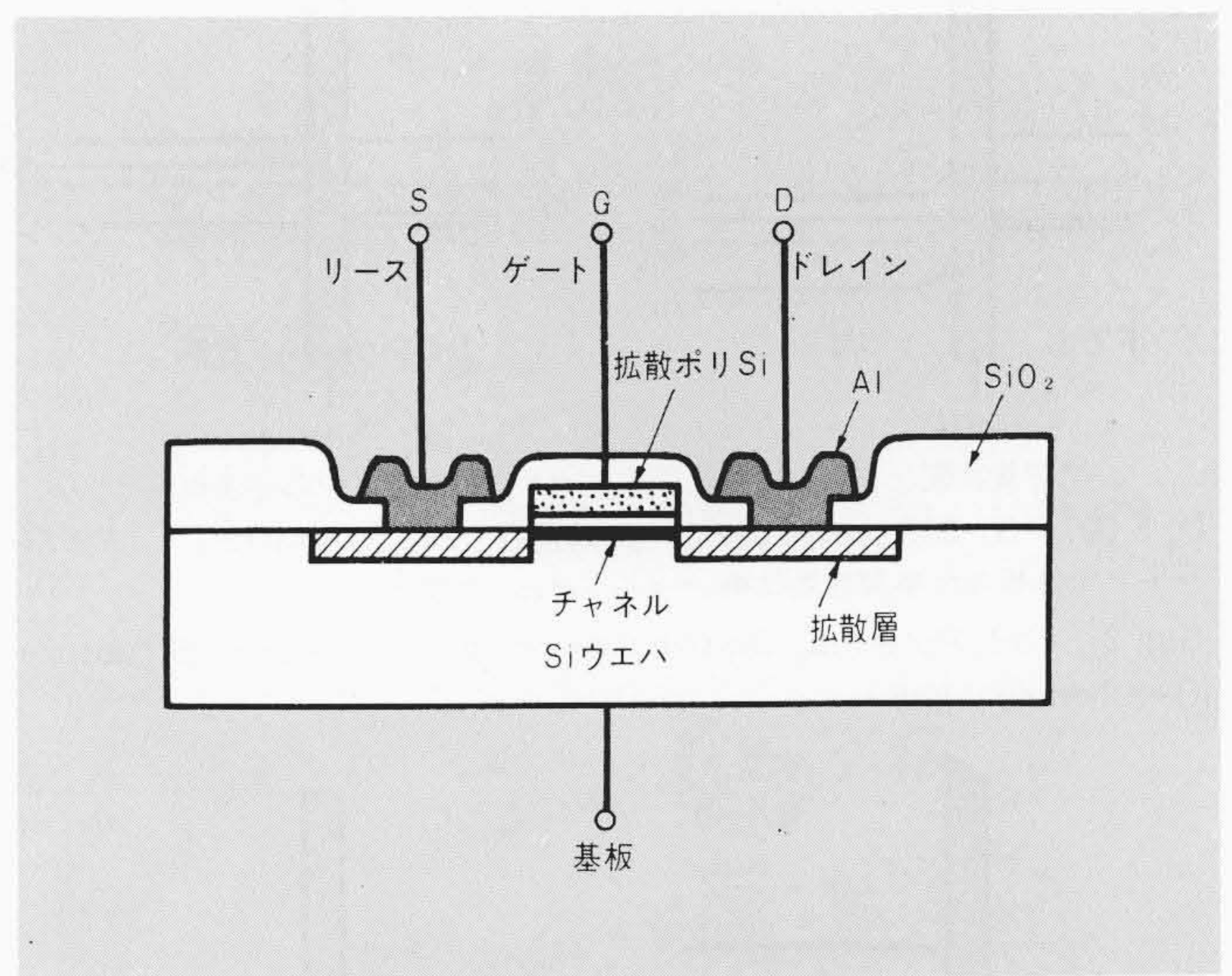


図1 SiゲートMOST構造 ゲートは強くドーピングした多結晶Siで形成され、ソース・ドレインはゲートをマスクとして自己整合で形成される。

Fig. 1 Si Gate MOST Structure

板SiがN形でP形多結晶Siをゲートにした、いわゆるPチャネルSiゲートMOSの場合の仕事関数の差、 $\Phi_{SS}$ は、

$$\Phi_{SS} = \phi_{FG} - \phi_{FB} \dots \dots \dots (3)$$

ここに $\phi_{FG}$ ,  $\phi_{FB}$ は、それぞれゲートSi, 基板Siのフェルミポテンシャルである。

図2(c)はNチャネルSiゲートMOSの場合のバンド・モデルを示すものである。いまゲートSiと基板Siがともに強くドーピングされているとした場合、その導電形の相違により、 $\Phi_{SS}$ はゲートSiがP形、基板SiがN形の場合、 $\Phi_{SS}=1.1V$ 、ゲートSiがN形、基板SiがP形の場合、 $\Phi_{SS}=-1.1V$ となる。

次にPチャネルMOSTの場合のAlゲートとSiゲートによる差を計算すると、 $\Phi_{MS} - \Phi_{SS}=1.15V$ となる。ただし、ゲートをN形に強くドーピングした場合はAlゲートとSiゲートとの仕事関数の差は、 $\Phi_{MS} - \Phi_{SS}=-0.05V$ となりほとんどなくなる。

#### 2.2 しきい値電圧 ( $V_{TH}$ )

SiゲートMOSTの $V_{TH}$ は次式で与えられる。

\* 日立製作所半導体事業部



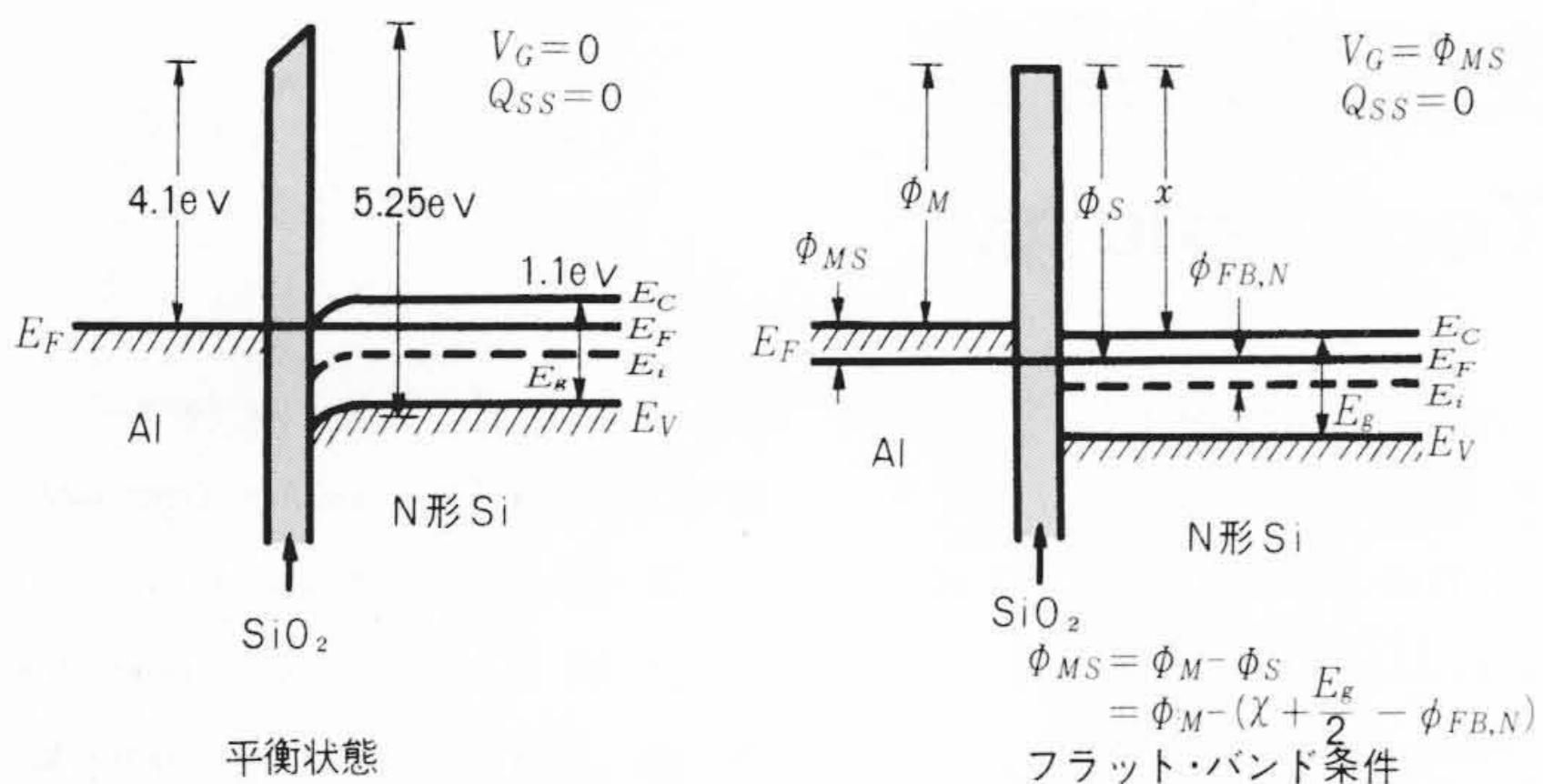


図2(a) Al-SiO<sub>2</sub>-Si系のバンド構造 AlゲートとSi基板の仕事関数差は  $\phi_{MS} = \phi_M - (\chi + \frac{E_g}{2} - \phi_{FB,N})$  となる。

Fig.2(a) Potential Distribution in an Al-SiO<sub>2</sub>-Si Structure (P-Channel MOS)

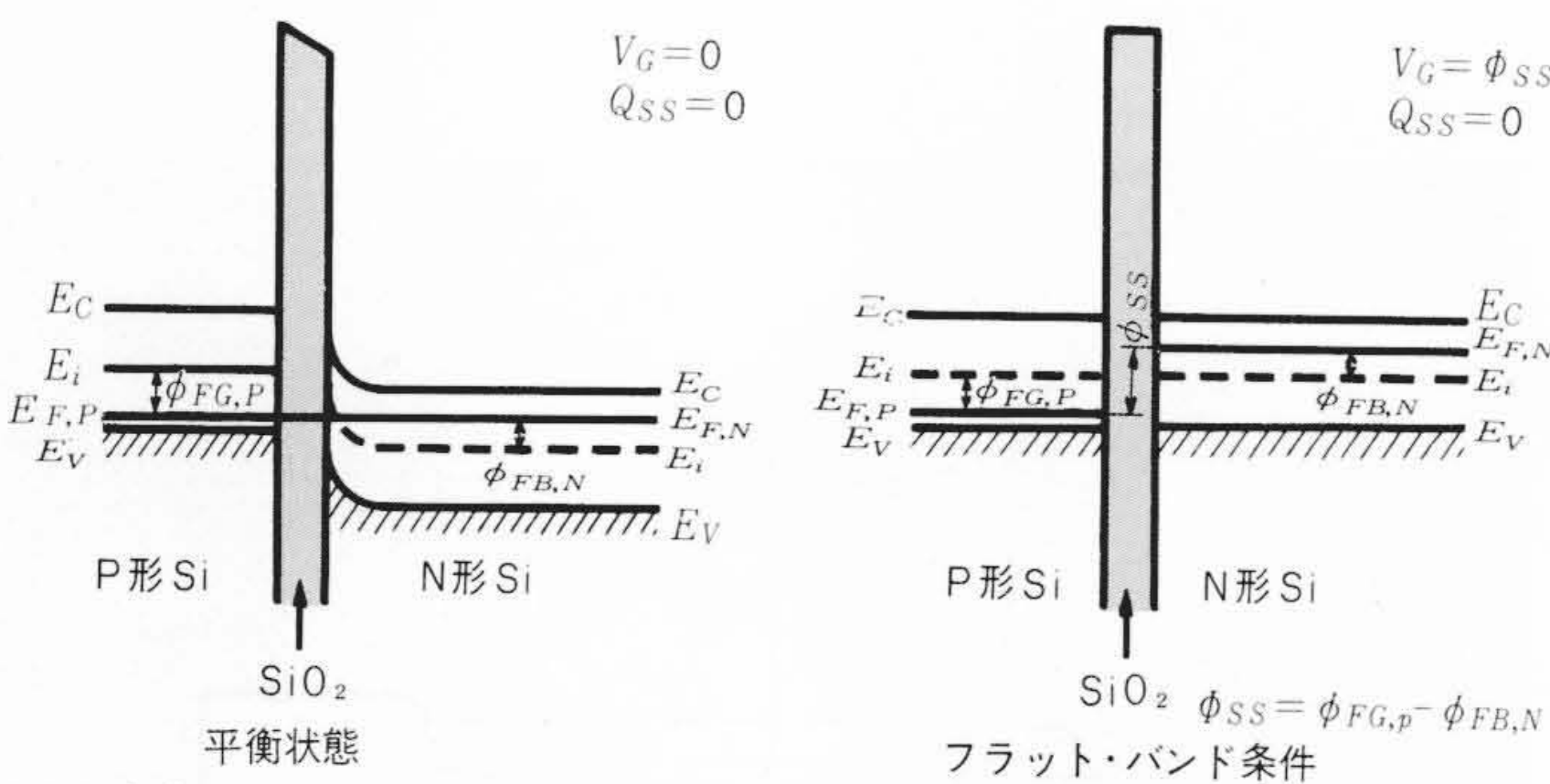


図2(b) Si-SiO<sub>2</sub>-Si系のバンド構造(PチャンネルMOS) P形SiゲートとSi基板の仕事関数差は  $\phi_{SS} = \phi_{FG,P} - \phi_{FG,N}$  となる。

Fig. 2 (b) Potential Distribution in an Al-SiO<sub>2</sub>-Si Structure (P-Channel MOS)

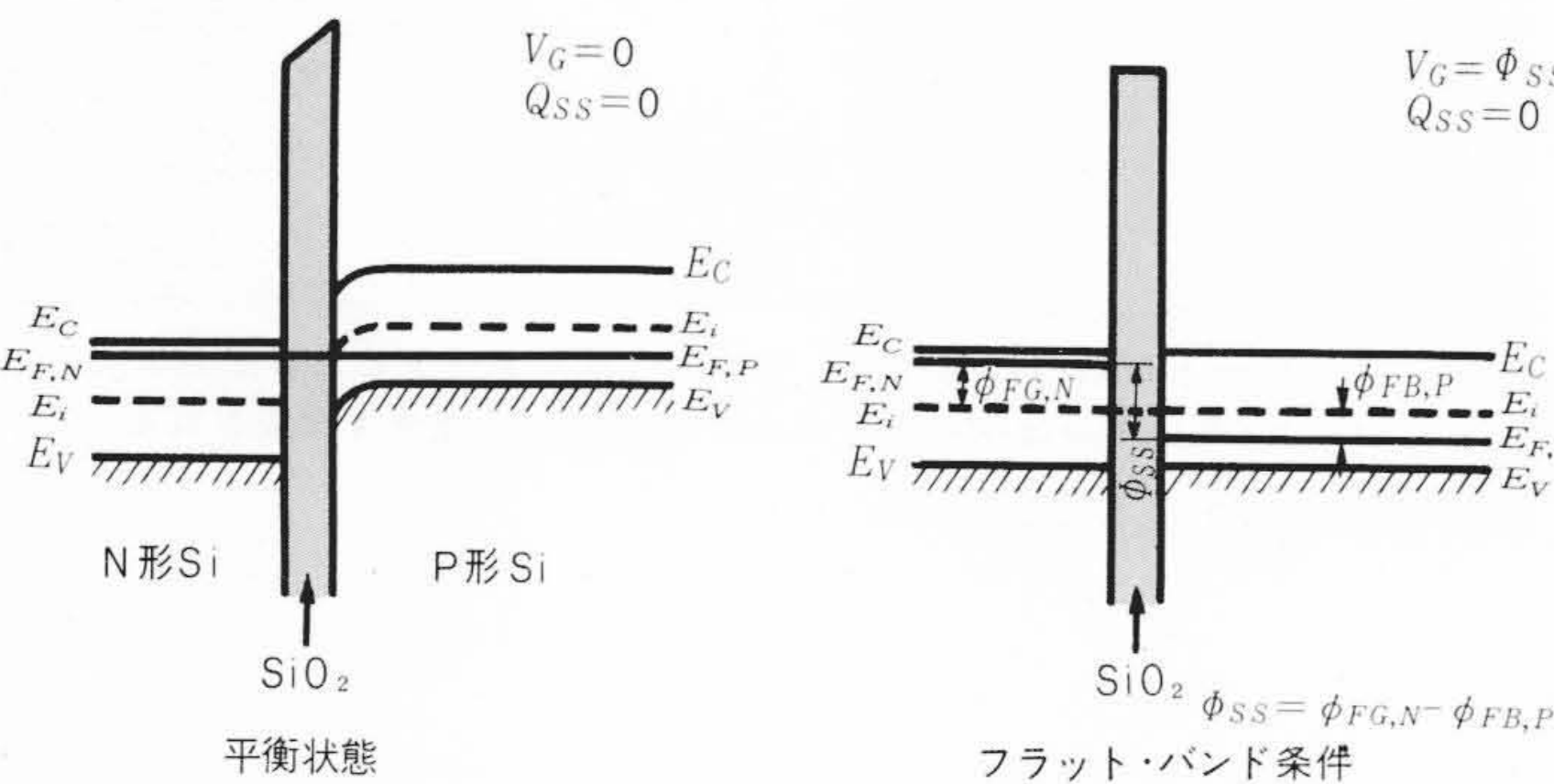


図2(c) Si-SiO<sub>2</sub>-Si系のバンド構造(NチャンネルMOS) N形SiゲートとSi基板の仕事関数差は  $\phi_{SS} = \phi_{FG,N} - \phi_{FG,P}$  となる。

Fig. 2 (c) Potential Distribution in an Al-SiO<sub>2</sub>-Si Structure (N-Channel MOST)

$$V_{TH} = \phi_{SS} + 2\phi_{FB} - \frac{1}{C_0}(Q_{SS} + Q_B) \dots\dots\dots(4)$$

ここに、 $\phi_{SS}$  : ゲートと基板の仕事関数差  
 $\phi_{FB}$  : 基板Siのフェルミ・Vベル  
 $Q_{SS}$  : 界面電荷密度  
 $Q_B$  : 基板Siの空乏層中の電荷密度  
 $C_0$  : ゲート酸化膜容量

PチャンネルSiゲートMOSTの場合は、

$$\begin{aligned} \phi_{SS} &= \phi_{FG1P} - \phi_{FG1N} \\ Q_B &= qN_D Xd_{max} \\ Xd_{max} &= \sqrt{(-2ks\epsilon_0)(-2\phi_{FB1N})/qN_D} \\ C_0 &= K_0\epsilon_0/tox \\ \phi_{FB1N} &= -\frac{kT}{q} \ln(N_D/ni) \\ \phi_{FG1P} &= \frac{kT}{q} \ln(N_A/ni) \end{aligned}$$

ここに、 $N_D$  : 基板Siの不純物濃度, N形  
 $N_A$  : ゲートSiの不純物濃度, P形  
 $ks$  : Siの比誘電率  
 $K_0$  : 酸化膜の比誘電率  
 $tox$  : 酸化膜の厚さ

これらの値を(4)式に代入して、

$$\begin{aligned} V_{TH} &= (\phi_{FG1P} - \phi_{FG1N}) + 2\phi_{FB1N} - \frac{1}{C_0}(Q_{SS} + Q_B) \\ &= \frac{kT}{q} (\ln \frac{N_A}{ni} - \ln \frac{N_D}{ni}) - \frac{tox}{K_0\epsilon_0} (Q_{SS} + 2\sqrt{K_s\epsilon_0 N_D \ln \frac{N_D}{ni}}) \dots\dots\dots(5) \end{aligned}$$

となる。

次にNチャンネルSiゲートMOSTの場合はゲートSiをN形とP形の両者について考えると、それぞれ次のようになる。

ゲートSiをN形にした場合、

$$\begin{aligned} \phi_{SS} &= \phi_{FG1N} - \phi_{FG,P} \\ V_{TH} &= \frac{kT}{q} (-\ln \frac{N_{D,G}}{ni} + \ln \frac{N_{A,B}}{ni}) - \frac{tox}{k_0\epsilon_0} \\ &\quad (Q_{SS} - 2\sqrt{k_s\epsilon_0 N_{A,B} kT \ln \frac{N_{A,B}}{ni}}) \dots\dots\dots(6) \end{aligned}$$

ゲートSiをP形にした場合、

$$\begin{aligned} \phi_{SS} &= \phi_{FG,P} - \phi_{FB,P} \\ V_{TH} &= \frac{kT}{q} (\ln \frac{N_{A,G}}{ni} + \ln \frac{N_{A,B}}{ni}) - \frac{tox}{K_0\epsilon_0} \\ &\quad (Q_{SS} - 2\sqrt{K_s\epsilon_0 N_{A,B} kT \ln \frac{N_{A,B}}{ni}}) \dots\dots\dots(7) \end{aligned}$$

以上の(4)~(7)式より  $V_{TH}$  は、(a)仕事関数の差、(b)基板Siの不純物濃度、(c)界面電荷密度、(d)ゲート酸化膜の厚さ、の四つの物理量で決まることがわかる。

図3はSiゲートMOSTを製作する場合の  $V_{TH}$  を定めるうえでのプロセスの設計基準をゲート酸化膜厚は0.1 $\mu$ 、フィールドの酸化膜厚は1 $\mu$ で  $Q_{SS}$  は  $0.5 \times 10^{11} \sim 0.8 \times 10^{11}$  (<100>Siウエハの場合)、および  $Q_{SS}$ 、 $2.5 \times 10^{11}$  (<111>Siウエハの場合)と変化させた場合の基板濃度  $N_B$  と  $V_{TH}$  との関係を示したものである。

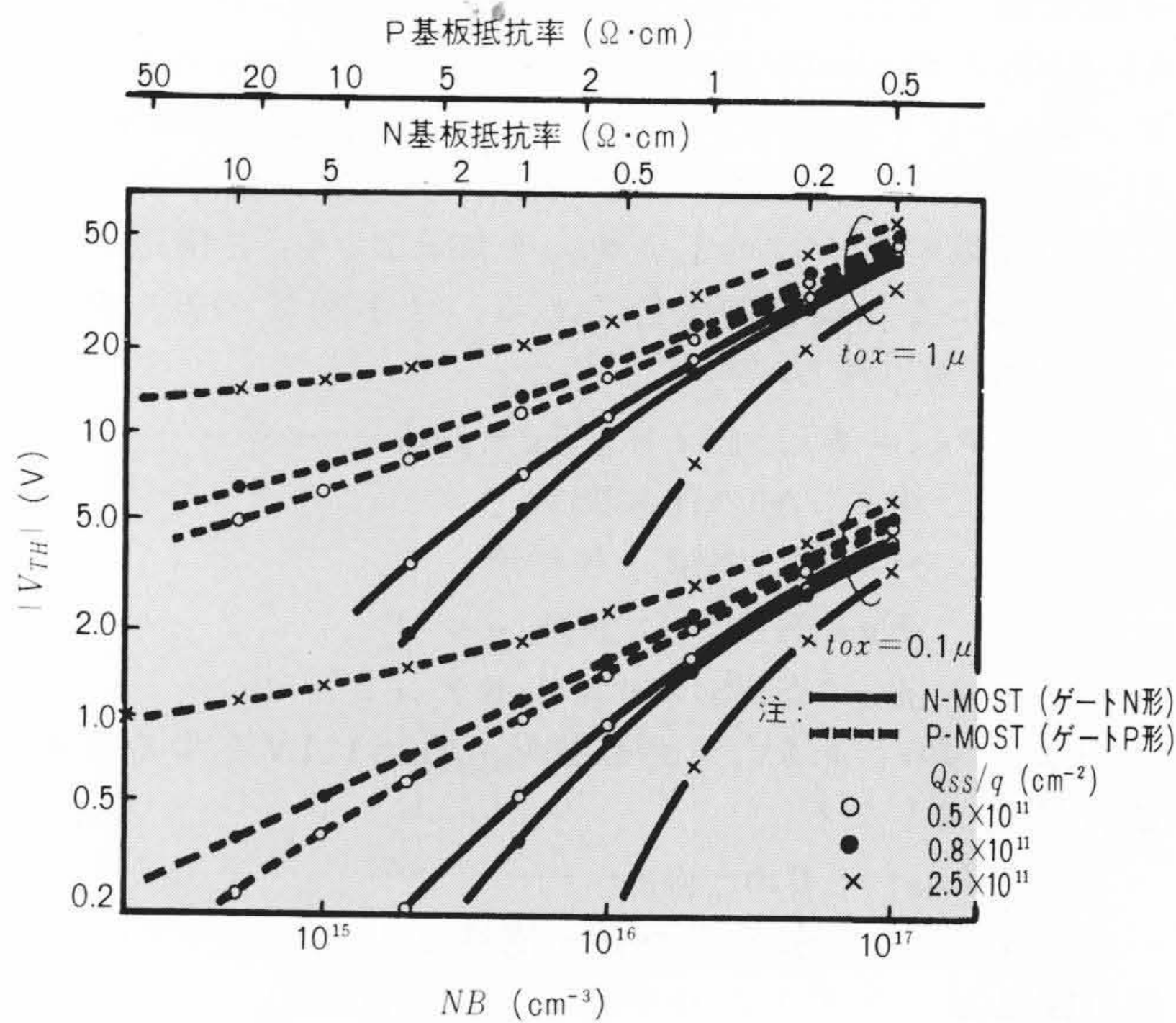


図3 SiゲートMOSTの  $V_{TH}$   $V_{TH}$ は基板抵抗率、酸化膜厚、表面単位電荷密度、ゲートSiのタイプによって定めることができる。

Fig. 3 Threshold Voltage of Si Gate MOST



3 SiゲートMOSTの製作

3.1 SiゲートMOSTの製造工程

図4はSiゲートMOSTの製造工程を示すものである。まずPチャネルSiゲートMOSTの場合を述べると、

- (a) 表面酸化： $5 \sim 8 \Omega \cdot \text{cm}$ ,  $\langle 111 \rangle$  のSiウエハに約 $1.4 \mu$ の熱酸化膜を成長させる。次にソース・ドレインおよびゲートとなるべき部分を穴あけする。
- (b) ゲート形式・ゲート酸化膜を $1,200^\circ\text{C}$ , Dry  $\text{O}_2$ 中で $1,000 \sim 1,200 \text{ \AA}$ 成長させ、次に $0.4 \sim 0.5 \mu$ の厚さの多結晶SiをCVD (Chemical Vapour Deposition) 法によりデポジットさせる。さらにゲートとなる部分と配線個所に多結晶Siが残るように加工する。

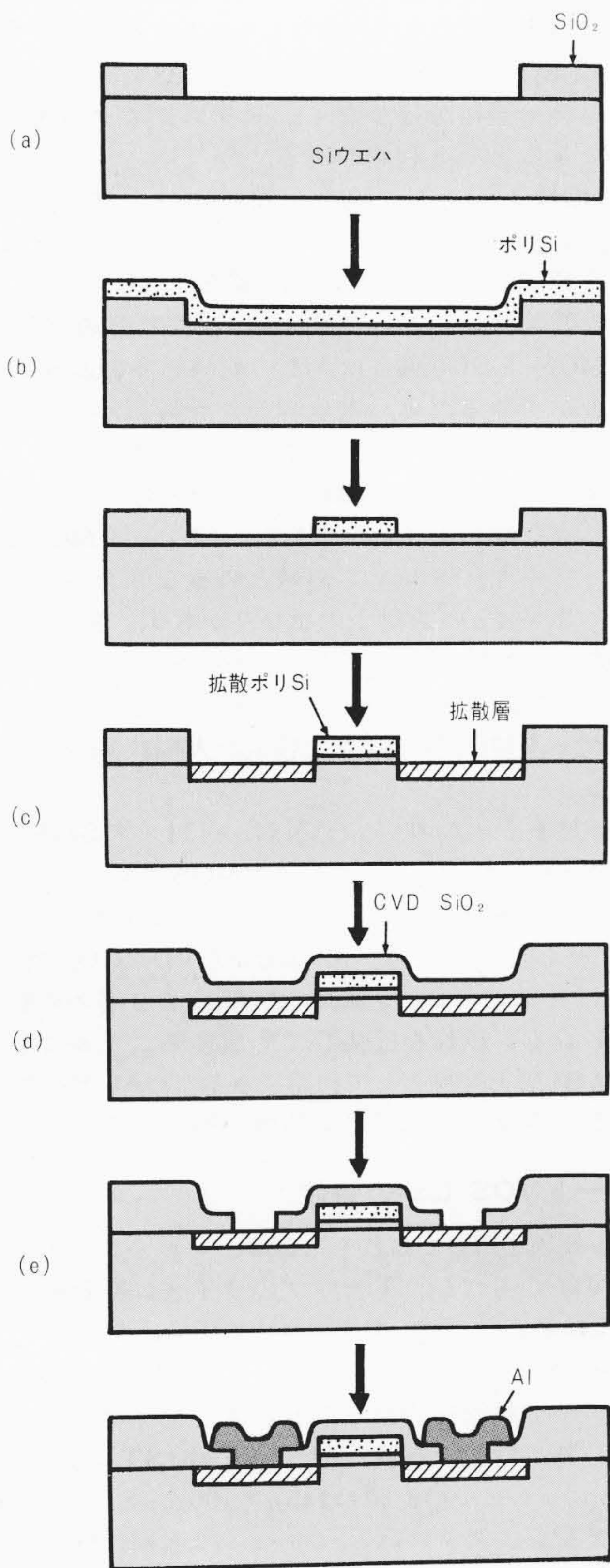


図4 SiゲートMOST製作工程 (a)酸化-ソース・ドレインゲート部ホトレジ・エッチング (b)ゲート酸化-ポリSiデポジション, Siゲート部ホトレジ・エッチング (c)酸化膜除去-ソース・ドレイン・ゲート部拡散 (d)CVD・SiO<sub>2</sub>デポジション (e)コンタクト部ホトレジ・エッチング, Al蒸着・ホトレジ・エッチング-コンタクト・アロイ

Fig. 4 Processing Step for Si Gate MOST

- (c) 自己整合ソース, ドレイン形式:ゲートとなるべき多結晶Siをマスクとしてソース, ドレイン領域の穴あけを行ない, ボロンを拡散させる。拡散深さは $0.8 \mu$ , 拡散表面抵抗率 $\rho_s$ は $15 \sim 30 \Omega/\text{square}$ である。このとき, ゲートの多結晶およびSi配線にも拡散されるが, ゲート酸化膜がボロン拡散の障壁となりゲート部にはボロンは拡散されない。
- (d) CVD SiO<sub>2</sub>デポジション: CVD法によりゲートSiおよび配線用Si上に約 $1 \mu$ 厚のSiO<sub>2</sub>膜を成長させる。このときCVD SiO<sub>2</sub>層の一部にリンを含ませたPSGを用い, その後熱処理を施すと $V_{TH}$ の安定性に効果がある。
- (e) Al配線形成: コンタクト部分の穴あけを行なう。次にAlを約 $1 \mu$ 蒸着し, Al配線加工を行なう。この後, 低温で水素アニールによりAlとSiのコンタクト・アロイを行なう。水素アニールによりFast Surface Statesの密度を低下せしめることができる。

NチャネルSiゲートMOSTの場合は次の2点が異なるだけである。

- (1) SiウエハはP形 $\langle 100 \rangle$ で, 抵抗率はエンハンスメントタイプの場合は $1 \sim 2 \Omega \cdot \text{cm}$ , 程度:エンハンスメントタイプでさらに基板バイアスを用いた高速メモリ用の場合は比較的高い抵抗率のものを用いる。
- (2) 不純物拡散はリン拡散で, 拡散深さは $0.8 \mu$ , 表面拡散抵抗率 $\rho_s$ は $5 \sim 10 \Omega/\text{square}$ になる。

次にプロセス上問題となる点のいくつかについて述べる。

(a) 多結晶Siのデポジション法

Siゲート用のSiデポジション法としてモノシランの $600 \sim 700^\circ\text{C}$ ,  $\text{N}_2$ ふんい気中での熱分解法を用い $200 \text{ \AA}/\text{min}$ 以上の生成速度を持つSi膜を得ることができた。生成Siは結晶粒度 $100 \sim 200 \text{ \AA}$ の多結晶であり,  $\text{HF-HNO}_3$ 系によるエッチング速度は単結晶Siの約2倍であった。Si膜厚のばらつきは $\pm 7\%$ 以下であり, 基板に凹凸がある場合でもSiの段部への付着は良好であり段切れ不良は起こりにくい。

(b) 配線の段切れ防止法

SiゲートMOSTは図4の工程を採用する場合, 基板と表面酸化膜との間の段差および多結晶Si配線部の段差がSi配線およびAl配線の段切れの原因となることがある。この配線段切れの防止法としてSiデポジション法やAl蒸着条件, ホトレジスト条件の検討が必要であるが, さらに段部の形状も段切れの原因となっているので, 段部はできるだけなだらかな形状になるように表面酸化膜や多結晶Si膜のホトレジスト・エッチング(以下, ホトレジ・エッチングと略す)条件を決める必要がある。

(c) ゲート破壊防止法

SiゲートMOSTはAlゲートMOSTの場合と比較した場合, ゲート形成後ボロン拡散などの高温処理があることおよびゲート部の多結晶Siの「ひさし部」が形成されやすいことの2点が大きく違う。高温処理によるゲート耐圧の劣化については, ゲート部での異物によるSiO<sub>2</sub>膜のガラス化が原因と考えられ, ゲート形成前後の処理を清浄化する必要がある。またゲートの「ひさし部」の問題はこれを除去するとともに, ゲートSiを完全なSiO<sub>2</sub>膜で被覆することにより解決することができた。

(d) その他の問題点

CVD SiおよびCVD SiO<sub>2</sub>生成時などの異物や突起の発生が歩どまり収率に大きく影響を与えることがわかつ



た。これについては基板Siの表面処理条件、CVD装置上の問題、CVD生成条件などの検討が必要である。

### 3.2 電気的特性

図5はチャンネル長さ(L),  $6.5\mu$ , チャンネル幅(W),  $50\mu$ を持つPチャンネルおよびNチャンネルSiゲートMOSTの $V_G$ - $I_{DS}$ 特性を示すものである。図からわかるようにPチャンネルMOSTの $V_{TH}$ は $-1.5V$ で±BT処理によるその変動も少なかった。また寄生MOSの $V_{TH}$ は約 $-23V$  ( $t_{ox}:1.4\mu$ )であった。NチャンネルMOSTの $V_{TH}$ は $+0.5V$ , 寄生MOSの $V_{TH}$ は約 $15V$  ( $t_{ox}:1.3\mu$ )であった。またBT処理による $V_{TH}$ の変動はほとんどなく、特に $\pm 50V$ の高い電圧VベルのBT処理に対しても $V_{TH}$ の変動は $0.02V$ 以下ときわめて小さく安定であった。

図6は $I_{DS}$ - $V_D$ 特性のチャンネル・コンダクタンスより三極管領域の移動度を求めたものである。図からみられるように、NチャンネルMOSTの場合はPチャンネルMOSTに比べて移動度

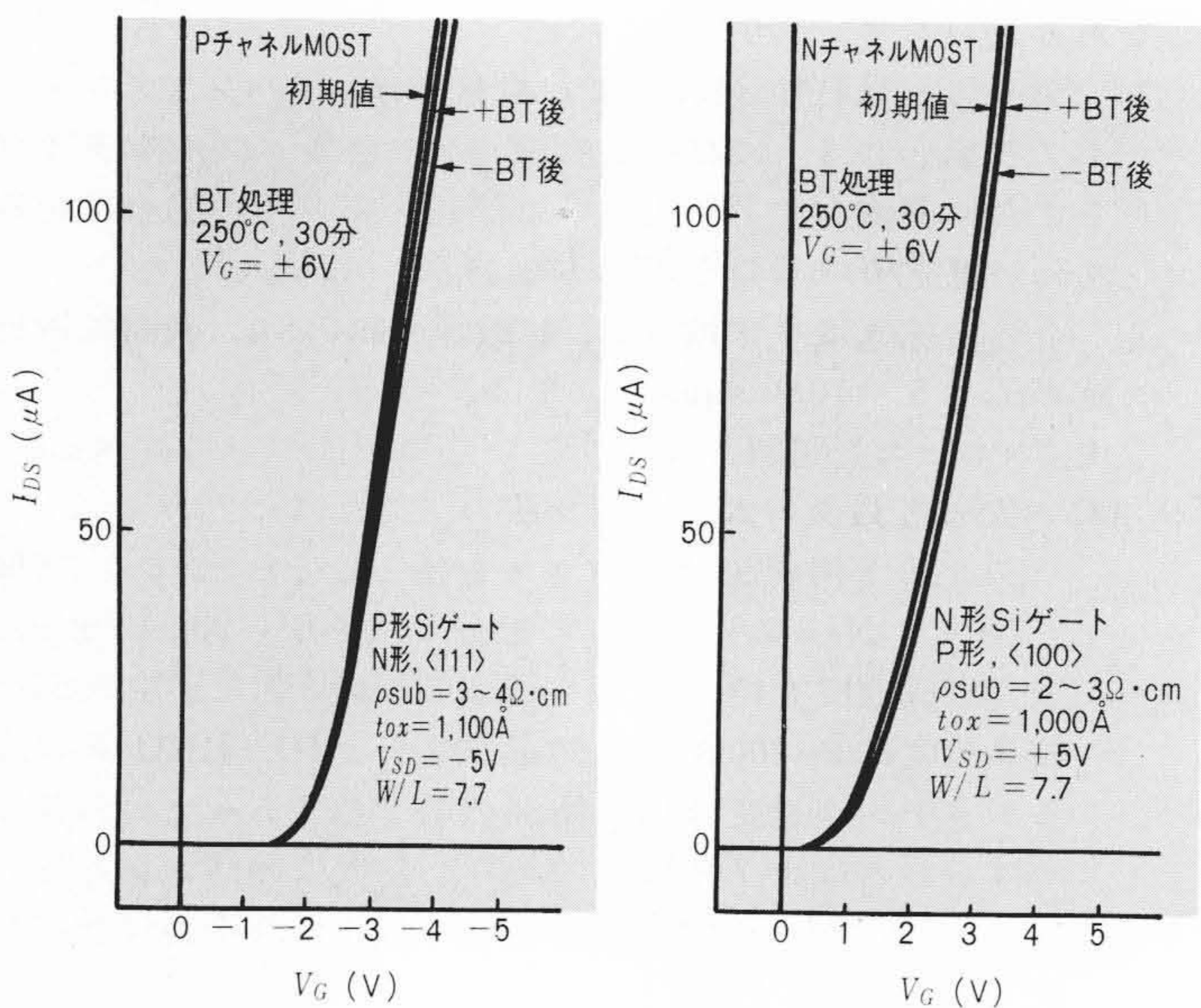


図5 SiゲートMOSTの $V_{TH}$ のBT処理による変動 BT処理による $V_{TH}$ の変動はほとんどなかった。

Fig. 5  $V_G$ - $I_{DS}$  Characteristics before and after High-Temperature Bias Stressing

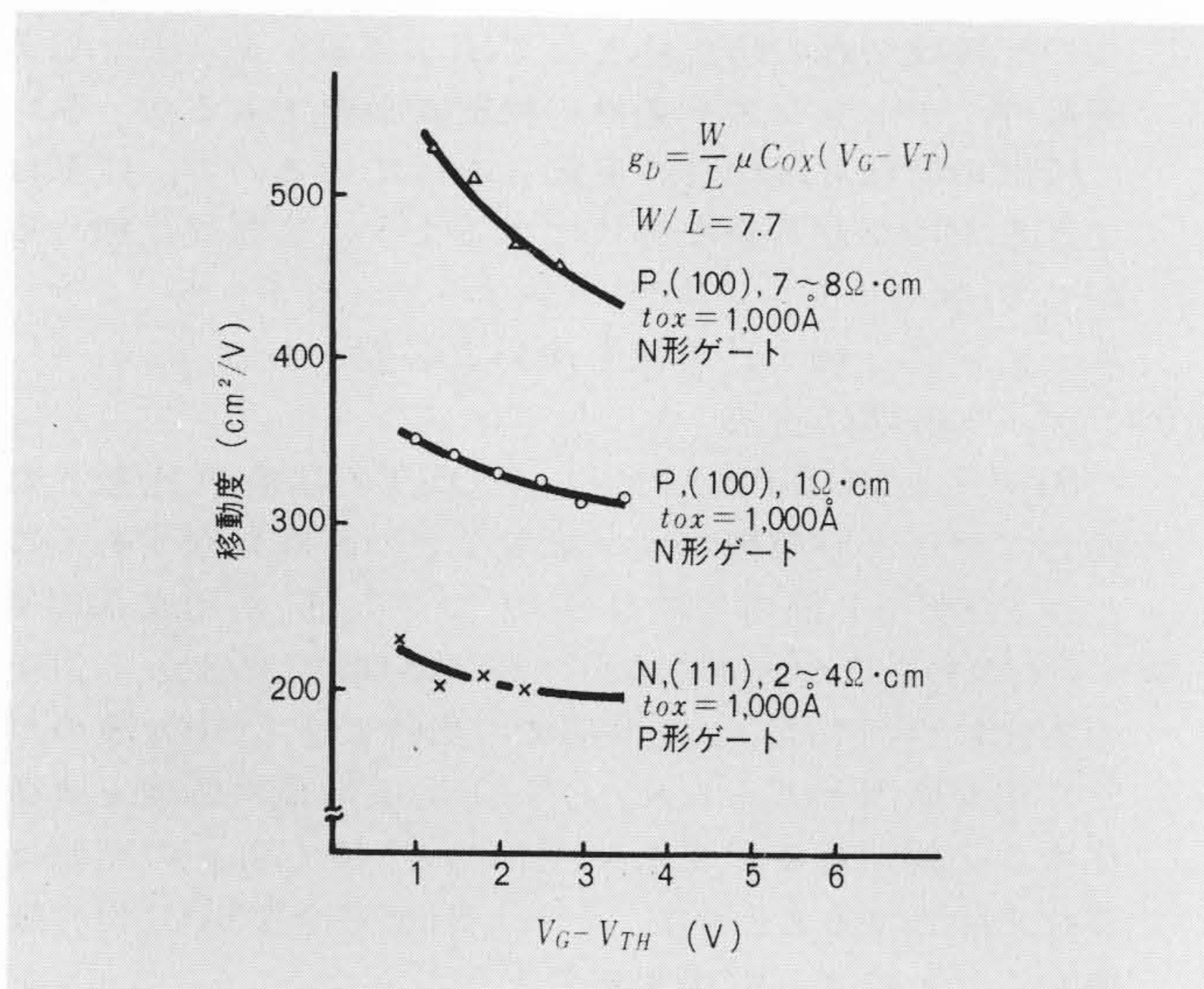


図6 移動度の比較 Nチャンネルの場合はPチャンネルより移動度は2~3倍大きくなる。

Fig. 6 Mobilities of N Channel and P Channel MOST

が大きくなり、高速度の特性が得られることになる。

### 3.3 構造上の特長

Siゲート技術を用いた場合の利点は、ゲート電極にSiを用いて $V_{TH}$ を低くできることと、セルフ・アライメント構造にできることおよび多層配線が可能なことである。

セルフ・アライメント構造とは、ソース、ドレイン領域とゲート領域との相対位置をマスクの目合せ操作を経ることなく決められることができる構造をいう。SiゲートMOSTの場合、ソース、ドレイン領域はさきに形成されたゲートSiをマスクにして拡散によって形成される。したがって、マスク工程を途中に入れることなくゲート、ソース、ドレインが同時に形成される。一方、Alゲートの場合は、すでに形成されたソース、ドレイン領域に合わせてゲート部分の目合せ操作をするため、ゲート部分はソース、ドレイン領域と $3 \sim 4 \mu$ の目合せ余裕をとって設計しなければならない。すなわち、セルフ・アライメント構造のSiゲートMOSTではAlゲートの場合よりもゲート目合せ余裕分は少なく、トランジスタの占める面積を小さくできるという利点がある。

さらにMOS LSIとした場合、回路中および素子中に生ずる寄生容量を小さくできるために応答速度を上げることができるという利点がある。AlゲートMOS LSIの場合、速度遅れの最大の要因は配線として利用される拡散層の容量である。SiゲートMOS LSIの場合は、この配線を多結晶Siによって行なうことができるため、寄生容量を大幅に小さくすることができる。そのうえ、セルフ・アライメント構造であるためゲートとソース、ドレイン領域の重なりを小さくでき、ミラー容量を大幅に減らすことができる。AlゲートMOSTの場合はゲートとソース、ドレイン領域との重なり合いは目合せの余裕をみて $3 \sim 4 \mu$ の設計上の重なりがあり、さらに拡散によるゲート部への入り込みがある。一方、Siゲートの場合は拡散によるソース、ドレインの入り込みだけとなる。これらの結果、SiゲートMOSTでは寄生容量が大幅に減少し高速性能が良くなる。

このほかPチャンネルの場合はN形、 $\langle 111 \rangle$ のSi基板を用いるため、ゲート下の $V_{TH}$ は低く、寄生MOSの $V_{TH}$ が高くとれるため、AlゲートMOSTのような寄生チャンネル防止用のアンユラ・リングが不要なこと、ゲート部分がCVD  $SiO_2$ で保護されているためソースとドレイン領域のAl配線を2層めの配線とし、ソースとドレイン領域を近接して形成することができること、また多結晶Si層を配線として利用できるためAl-Si-拡散層の3層配線となるなどの点で高集積度を得ることができる。

### 4 SiゲートMOS LSIの特性

Siゲート技術を用いて試作した256ビット・シフトレジスタの特性について述べる。1チップのサイズは $3.2mm \times 2.0mm$ , 素子数1,543個/チップ, Pチャンネルの場合,  $V_{TH} = -1.5 \sim -2.0V$ , Nチャンネルの場合,  $V_{TH} = +1.0 \sim 1.5V$ が設計基準である。Siゲート技術を用いることにより集積度が上がる様子は図7に示すとおりである。AlゲートMOSTによるシフトレジスタのユニットセルの面積は $145\mu \times 100\mu$ , SiゲートMOSTによるシフトレジスタのユニットセルの面積は $90\mu \times 90\mu$ で、ユニットセルの面積はほぼ半分になっている。256ビットのシフトレジスタの試作で得られたおもな特性は次のとおりである。

- (1) 低 $V_{TH}$ が得られた (PチャンネルMOS:  $-1.5 \sim -2.0V$ , NチャンネルMOS:  $+0.5 \sim +1.0V$ )。
- (2) 電源電圧が下がりTTL (Transistor Transistor Logic) と直結して動作させることができた (PチャンネルMOS:  $V_{DD}$



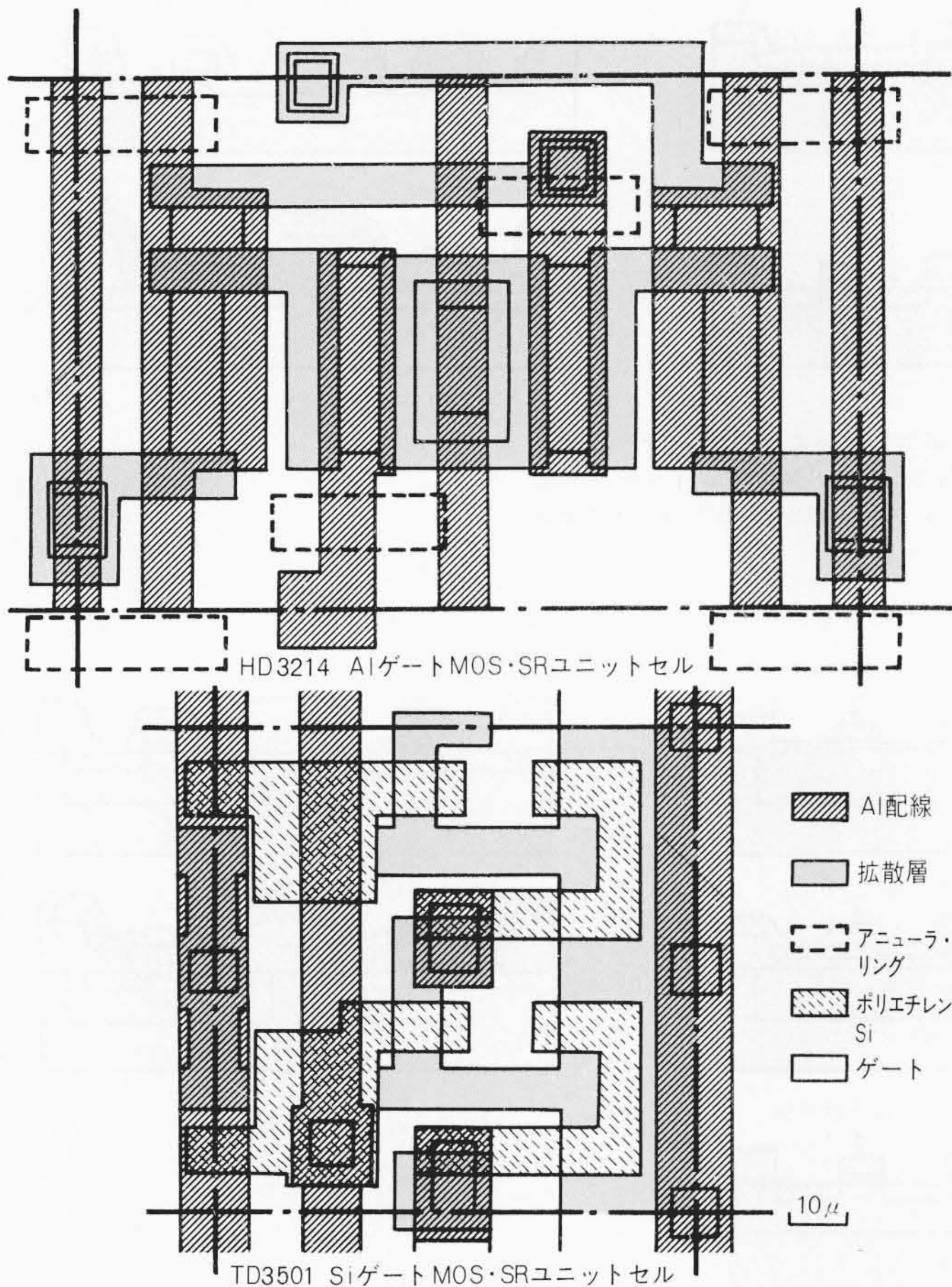


図7 SiゲートMOS・SRとAlゲートMOS・SRのユニットセルの比較 SiゲートではAlゲートの1/2の面積で同じ機能が得られる。

Fig.7 Geometry of Integrated Structures

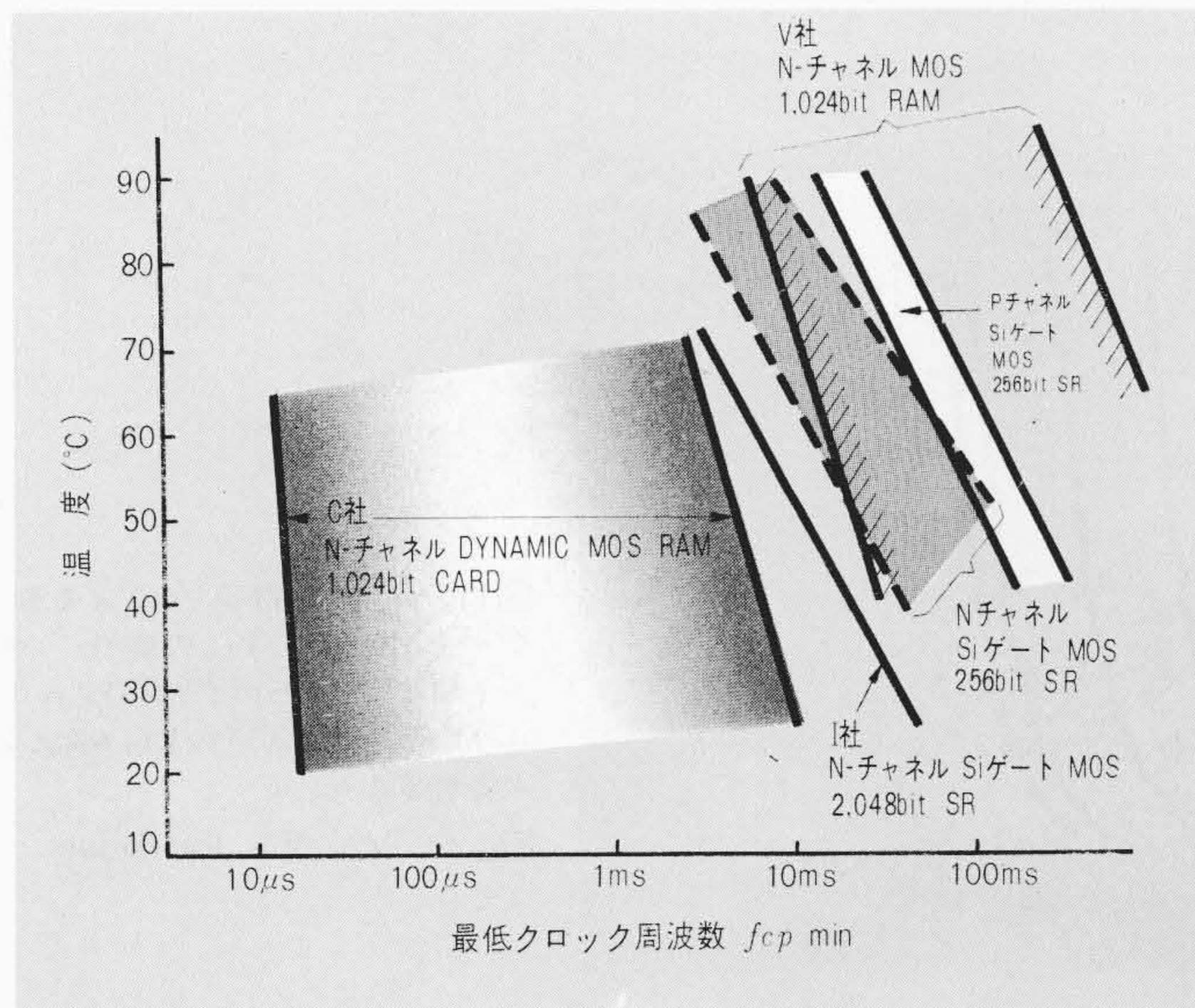


図8 各社MOS LSIの最低クロック周波数の温度依存性比較 メモリ部分の電流リークが小さくできると $f_{CP\ min}$ は大きくできる。

Fig. 8  $f_{CP\ min}$ . VS. Temperature of MOS LSI

= -10V, NチャンネルMOS:  $V_{DD} = +5V$  )。

(3) 限界周波数が上がった (PチャンネルMOS:  $f_{DATA\ max}$  7 MHz, NチャンネルMOS:  $f_{DATA\ max} = 4$  MHz, ただしNチャンネルMOSは動作電圧5Vの場合)。これはたとえばPチャネ

ルAlゲートMOS LSIの限界周波数が2MHzといわれており、これと比べて周波特性が向上していることを示すものである。

(4) 下限クロック周波数 ( $f_{CP\ min}$ ) はメモリ時間を決めるうえで重要な因子であり、図8はその温度依存性を各社について比較したものである。これからPチャンネルおよびNチャンネルSiゲートMOS LSIは他社製品とほぼ同一レベルにあることがわかる。

### 5 SiゲートMOS技術の応用

これまでに述べたSiゲートMOS技術を基礎として次のような応用製品が開発された。

#### 5.1 HD3500およびHM3500シリーズ

PチャンネルSiゲートMOS LSIとしてHD3500およびHM3500シリーズがあり、1,024ビット級のメモリを代表に各種標準製品と電子式卓上計算機用/チップLSIなどカスタマー・デザインによる論理LSIがある。図9はHD3502 (Quad256ビット・シフトレジスタ) のチップを示したものである。

#### 5.2 HD3600シリーズ

PチャンネルSiゲートMOS LSIの別のタイプとしてエンハンスメント-ディプレッション形MOS LSI(以下E/D-MOS LSIと略する)がある。これは負荷MOSの $V_{TH}$ をボロン・イオン打込みでディプレッション形とし、駆動MOSの $V_{TH}$ をエンハンスメント形に保つことによって高速化、低消費電力化および寸法縮小による大集積化を図るもので、コスト・パフォーマンスから見てすぐれた特性を備えている。図10(a)はSiゲートE/D-MOS LSIの製作工程を示すものである。また図11は、負荷MOSの $V_{TH}$ をゲートへのイオン打込み量により制御できることを示したものである。

#### 5.3 HD4100シリーズ

PチャンネルSiゲートMOSTとNチャンネルSiゲートMOSTとを一つの基板上で組み合わせれば、コンプリメンタリSiゲートMOS LSI(以下SiゲートC-MOS LSIと略する)ができる。その製作工程は図10(b)に示すとおりである。この場合、NチャンネルMOSTを形成するP-Well領域はボロン・イオン打込みにより形成される。HD4100シリーズは高速・低消費電力LSIを旨としている。

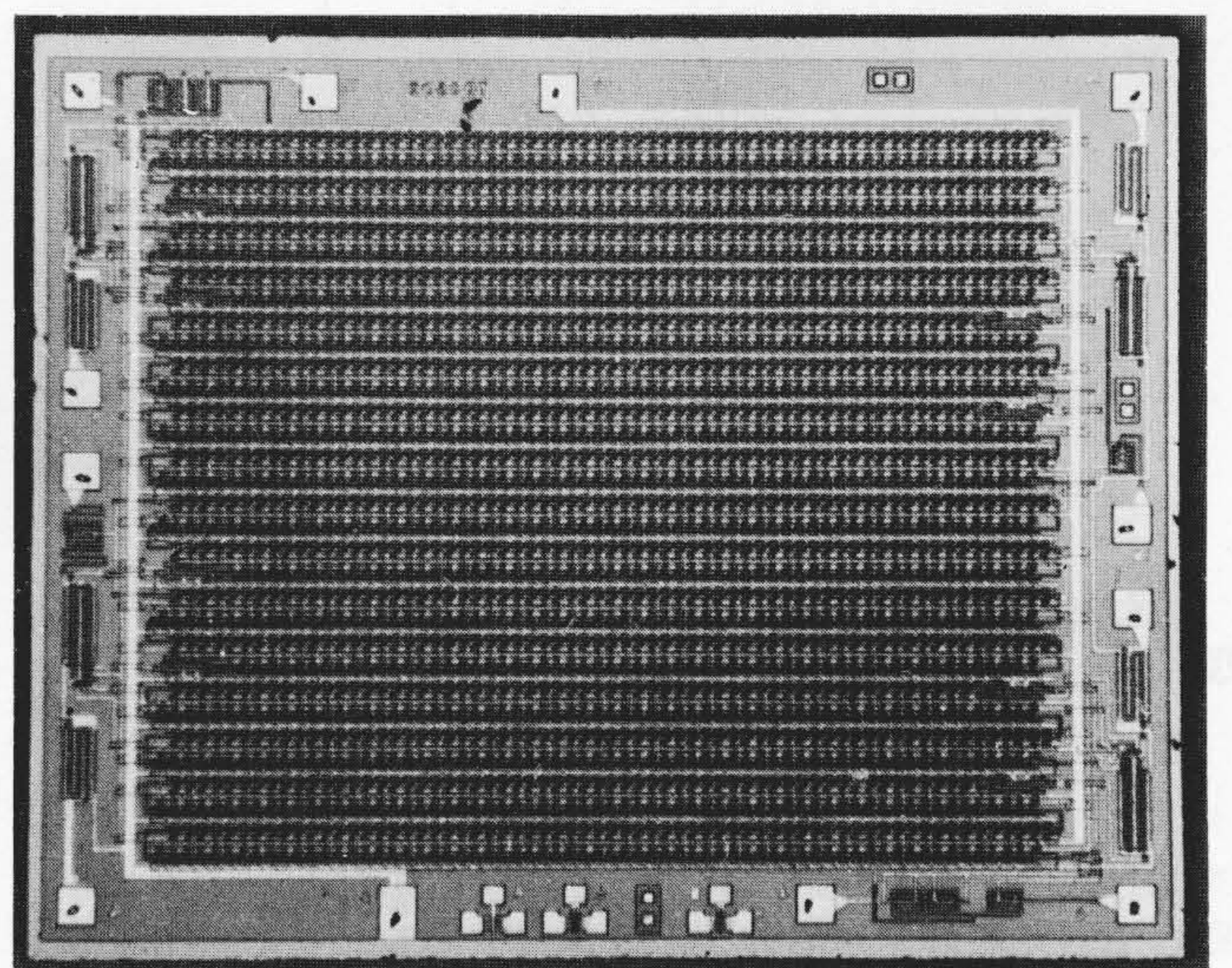


図9 HD3502(Quad256ビット・シフトレジスタ) (チップサイズ 3mm×3.38mm) 1,024ビットで約6,000個のトランジスタが一つのチップ内に形成されている。

Fig. 9 HD3502(Quad 256 Bit Shift Register)



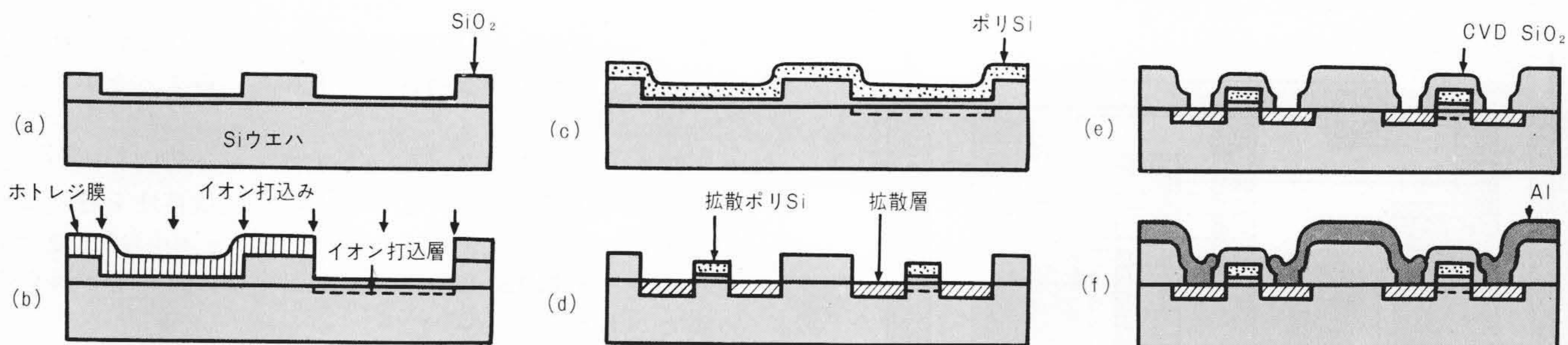


図10(a) SiゲートE/D MOST 製作工程 (a)酸化-ソース・ドレインゲート部ホトレジエッチング-ゲート酸化 (b)ホトレジ-イオン打込み (c)ポリSi デポジション (d)ゲートSi, SiO<sub>2</sub>ホトレジエッチング-ソース・ドレインゲート部拡散 (e)CVD-SiO<sub>2</sub>デポジション-コンタクト部ホトレジエッチング (f)Al 蒸着-ホトレジエッチング-コンタクトアロイ

Fig. 10(a) Processing Steps for Si Gate E/D MOST

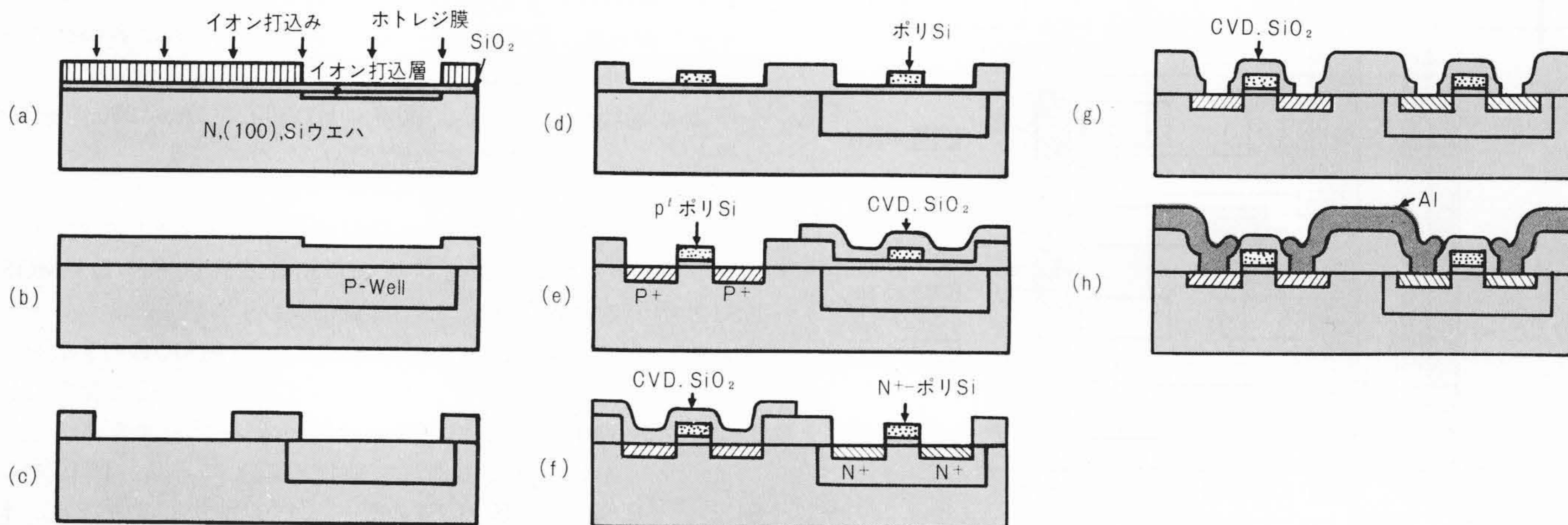


図10(b) SiゲートC-MOST 製作工程 (a)酸化-P-Well部ホトレジエッチング-イオン打込み (b)P-Well 部引伸し拡散・酸化 (c)ソース・ドレインゲート部ホトレジエッチング (d)ポリSi デポジション-ゲートSi ホトレジエッチング (e)CVD-SiO<sub>2</sub>デポジション-P-MOS部ホトレジエッチング-ボロン拡散 (f)CVD-SiO<sub>2</sub>除去-CVD-SiO<sub>2</sub> デポジション-N-MOS部ホトレジエッチング-リン拡散 (g)CVD-SiO<sub>2</sub>除去-CVD-SiO<sub>2</sub> デポジション-コンタクト部ホトレジエッチング (h)Al 蒸着-ホトレジエッチング-コンタクトアロイ

Fig. 10(b) Processing Steps for Si Gate C-MOST

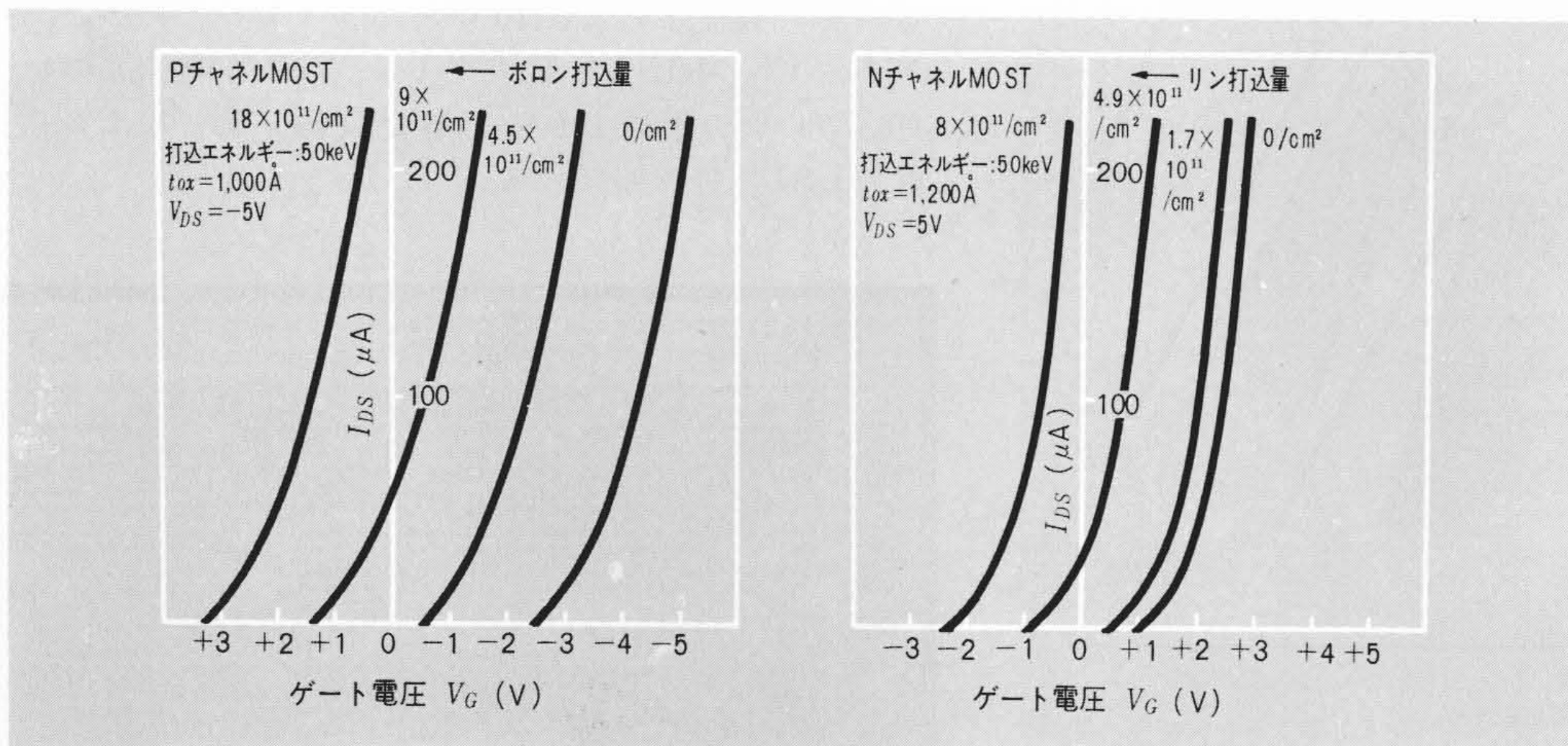


図11 イオン打込みによるSiゲートMOSTのV<sub>TH</sub>の変化 ゲート酸化膜上からのイオン打込みによりSiゲートMOSTのV<sub>TH</sub>を変えることができる。

Fig. 11 V<sub>TH</sub> VS. Ion Dose

6 結 言

SiゲートMOS技術は着手してから4年、量産試作にはいつてから2年以内という早いペースで量産化されてきたが、イオン打込み技術との併用によりさらに応用範囲が広くなり、顧客や回路設計側からの要求を迅速に満たしうる技術としてますます発展していくものと考えられる。今後NチャネルSiゲートMOS LSIシリーズの完成、さらにはSiゲートCCDへと発展させていく考えである。

参考文献

- (1) B. G. Watkins et al: U. S. Patent 582053, (Sept., 26, 1966)
- (2) J. C. Sarace, R. E. Kerwin, D. L. Klein and R. Edwards, Solid-St. Electron., 11, 653(1968)
- (3) F. Faggin, T. Klein, Solid-St. Electron., 13, 1125(1970)
- (4) 清水, 岩松, 正木, 大野: 電気通信学会全国大会予稿集, 904, 960(昭和46-4)