

電子式卓上計算機用半導体の進歩 — これまでの歴史と今後のすう勢 —

Progress of Semiconductor Technology for Electronic Desk-top Calculators — History and Future Trends —

Development of electronic desk-top calculators in this country has been closely associated with that of semiconductor technology, particularly that of LSI. Since the development of electronic desk-top calculators using discrete components such as transistors and diodes was announced in 1964, these two fields have been in a close cooperation completing a logic part consisting of a single LSI.

The history and future trends of semiconductors for desk-top calculators are described in this article.

初鹿野凱一* *Yoshikazu Hatsukano*

野宮 紘靖* *Kōsei Nomiya*

1 緒 言

昭和39年に初めて発表された電子式卓上計算機（以下、電卓と略す）は、(i)小形軽量 (ii)低消費電力 (iii)高速演算 (iv)無騒音 (v)高信頼性 という特長を生かし、**図1**に示すような急激な成長を続けてきた。

昭和40年には4,000台にすぎなかった電卓の生産台数も、昭和47年には、400万台に達し、7年間の成長率が1,000倍という驚異的な発展を示した。これに伴い価格も当初40万円であったものが最近では、ついに1万円台のものまで現われ、パーソナル計算機として学生、一般家庭に販路を拡大されるに至り、これがさらに生産台数を増加させることになった。

このような急激な発展は、電卓市場に登場した二十数社に及ぶ電卓メーカーがそれぞれ激しいシェア獲得競争を演じ、コスト・パフォーマンスの水準を次々と高めることにより世界的な電卓市場へ進出して行くことができた結果であり、この電卓の技術競争をささえてきたものは、わが国における半導体技術の進歩にほかならない。

昭和39年、ゲルマニウムトランジスタによって電子化が始まった電卓は、**図2**に示すような速いピッチで新しい半導体部品を開拓してきた。半導体部品開拓の推移は、使用部品点数の減少およびそれに伴う信頼性の向上ならびにコストの低

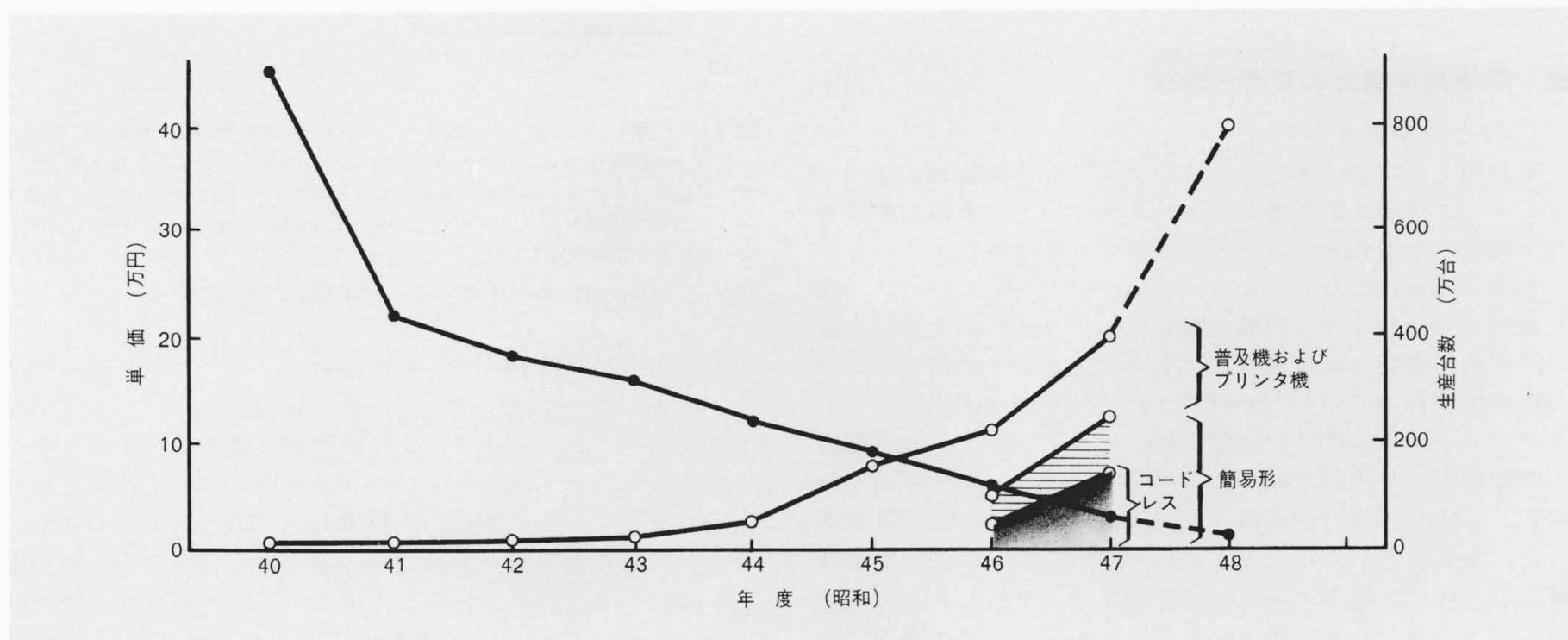


図1 電卓の生産台数と価格の推移 昭和40年の生産台数4,000台、単価40万円程度であった電卓は、昭和48年においては生産台数は800万台、価格も1万円以下になるものと予想されている。

Fig. 1 Decrease of Sales Price per Calculator and Increase of Production Size

*日立製作所半導体事業部

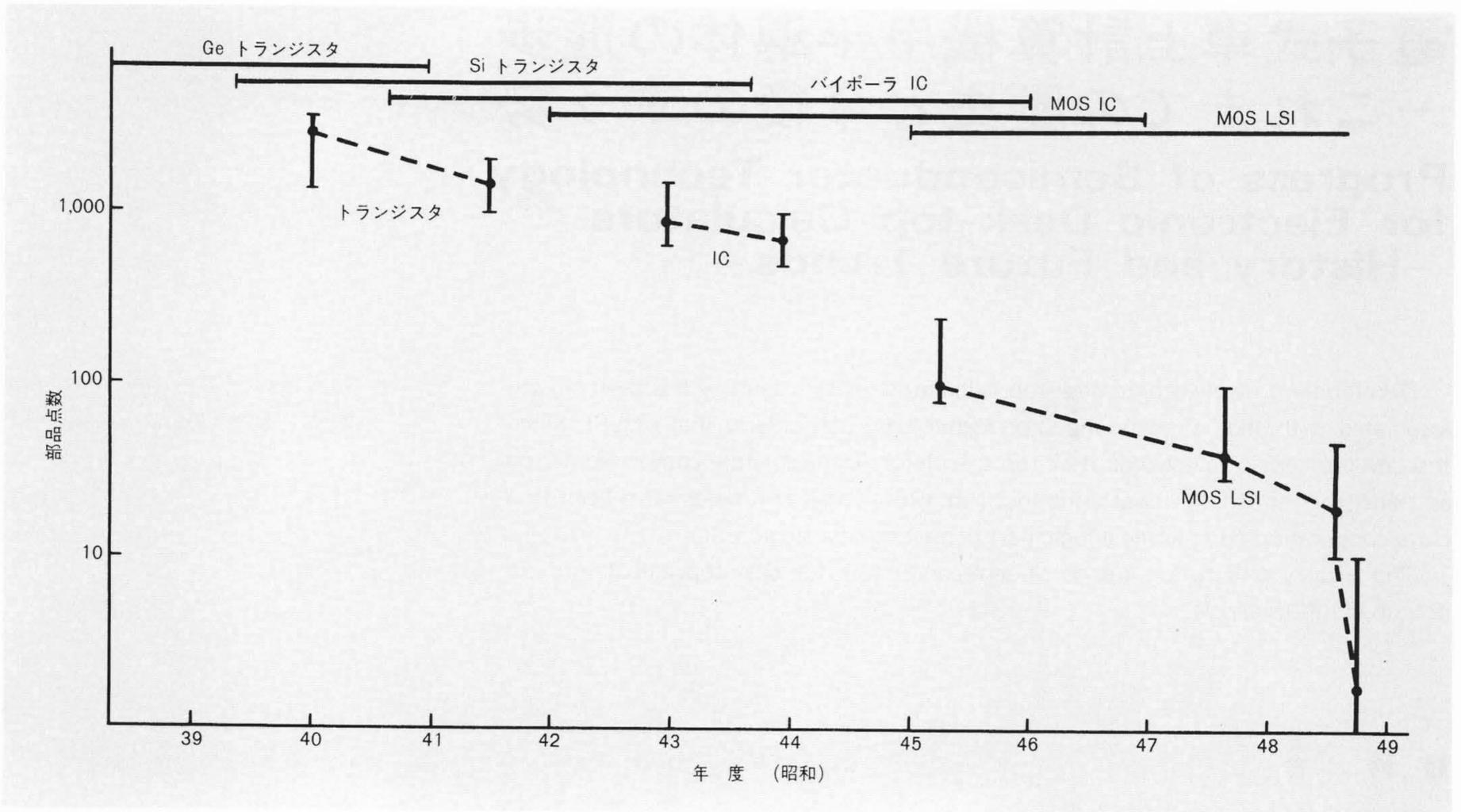


図2 電卓用半導体部品の推移と1台あたりの半導体部品点数の推移 昭和39年には1台あたり3,000個近い半導体部品を使用していたが、昭和48年には2~3個の半導体部品で済むようになった。

Fig. 2 Number of Semiconductor Components per Calculator

減および小形軽量化を旨として、電卓メーカーと半導体メーカーとの共同研究課題として、電卓に最も適した素子の追求という形で進められてきた。半導体メーカーにとっては、単に生産する品種が変わるといっただけでなく、プロセス技術、設計手法、テスト方式、顧客とのインタフェースなど設計、生産、販売のすべての面について体質的な変化が要求されてきた。

2 電卓用半導体の変遷と現状

2.1 トランジスタ

電卓用トランジスタとしては、従来のものに比較して、スイッチング速度が若干速いこと、 h_{FE} の大きいものが要求された程度で半導体メーカーとしての大きな問題はあまりなかったと言える。しかしながら、電卓メーカーにおいては、消費電力を減少したり、部品点数を減らすために基本回路の変形、定数の変更、回路条件によるトランジスタの選別および動作補償回路の設定などが検討されていた。2,000個以上のトランジスタ、ダイオードと数千個の抵抗、コンデンサを使用した電卓の大量生産が始まり装置全体のバランスを考えた簡略化、安定化の努力が重ねられ以後電卓技術の基礎が確立された。半導体メーカーにとっては、電卓システムに対する理解もまだ浅く、電卓メーカーの要求するトランジスタの特性をつくるだけという純粋な一部品メーカーとしての存在であった。

2.2 IC(集積回路)

電卓用ICとして最初に脚光を浴びたものはMOS (Metal Oxide Semiconductor) ICであった⁽⁴⁾。これは、単体部品から一足とびにLSI(大規模集積回路)化をねらったものであるが、当時(昭和40年)のMOS LSIの生産技術がこれに

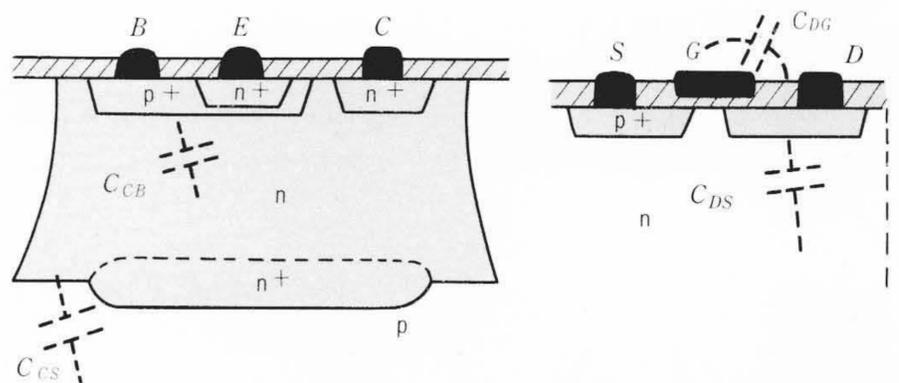


図3 トランジスタとMOSトランジスタの断面図の比較 バイポーラトランジスタでは、コレクタ領域の中にベースおよびエミッタを形成し、あい異なるコレクタは電氣的に分離しなければならない。MOSトランジスタでは、二つのP領域がゲートによって結合されているだけであり、特別なアイソレーションを必要としない。

Fig. 3 Comparison of Bipolar and MOS Transistors

伴わず不成功に終わった。これに対し、すでに世界的な標準化が始まっていたバイポーラICが確実な手段としてまず採用され始めた。デジタルICの特性は表1に示すようなものであるが、バイポーラICのうち電卓用として使用された実績のあるものは主として、DTL、T²Lである。DTL、T²Lは、特性的にも、品種数の豊富さから言っても、電卓用としては十分なものであるが、IC化の目的が部品点数の減少という点にある以上、高集積度にすぐれたMOS ICへ移行することは必然的な流れであった。

MOS ICの集積度に関する利点は、図3に示すように、原理的にセルフ・アイソレーション形式となっているために素子間の特別な電氣的分離が必要でないことである。回路的には、直結論理であり論理素子間の結合に余分な素子を必要としないこと、MOSトランジスタの定数を設計することに

表1 デジタルICの比較表 DTL, T²LはMOSに比較すると1けた以上高速であるが, 集積度は逆に1けた以上低い。

Table 1 Comparison of Digital IC's

項目	ICの種類	バイポーラIC						ユニポーラIC	
		DCTL	RTL	RCTL	DTL	TTL	ECL	CTL	MOS
論理振幅(V)		0.2~0.7	1.0以上	1.0以上	1.7以上	2.0以上	0.8	2.0以上	—
ファンアウト		4~5	DCTLより大	DCTLより大	5~10	6~10	15~20	10~25	DC:大 C負荷:50 100pF
電源		+3V	+3~6V	+3~6V	+3~6V	+4~5V	-5V	+4.5V, -2V	-12V, -24V
消費電力(mW)		60	DCTLより小	5~10	5~20	1~20	20~40 (200~300)	150~200	1~6
遅れ時間(NS)		50~100	DCTLより劣る	100~300	20~50	3~30	1~6	20~30	100~1,000
集積度									最も有利

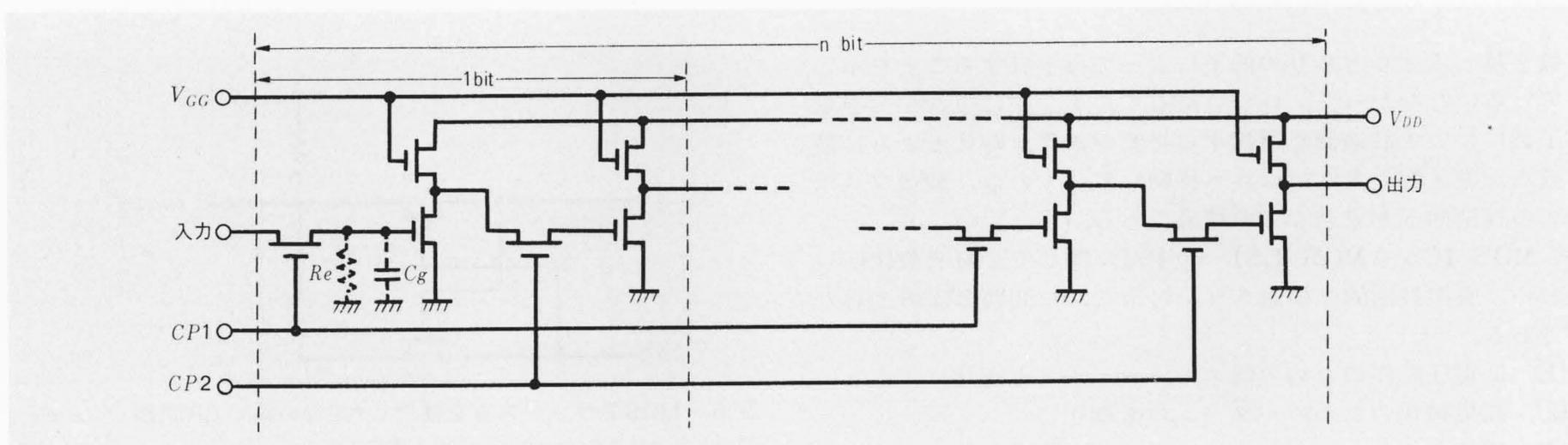


図4 ダイナミックシフトレジスタの回路構成 MOSの高入力抵抗を利用したダイナミックシフトレジスタは, 6個のトランジスタで1ビットを構成できる。

Fig. 4 MOS Dynamic Shift Register

よって負荷抵抗もトランジスタとして形成できること, さらにMOSの高入力インピーダンスを利用したダイナミック回路動作を積極的に使用することによって少ないトランジスタ数で高機能な回路を構成できる利点がある。

MOS IC最大の長は, ダイナミック・メモリの利用という点にあり, 多数の部品点数を必要としたF/F(フリップフロップ)回路, シフトレジスタ回路が図4に示すように一新した。しかしダイナミック・メモリは, MOSの入力ゲートに充電することにより信号を記憶するものであり, ゲートの入力容量, リーク抵抗で決まる放電時間よりも早い周期でリフレッシュしなければならず, 動作下限周波数に対する規定が必要となった。このことは, 電卓のシステム設計にも変化をもたらした。従来のレジスタは, スタティック形であり非演算時は, 情報が静止していたがMOS ICでは, リフレッシュのために常に循環することになった。循環レジスタからスタティックな表示をするためには, 表示情報の直並列変換が必要になったが, 電卓技術の進歩からダイナミック表示が考案され, 図5に示すような1組の直並列変換回路, デコーダ回路, ドライバ回路で済むようになった。

MOS ICのファミリーは, 各種のF/F, シフトレジスタが多くを占めており, 論理ゲートの種類は少ない。この理由は, MOS ICの入力スレッショルド電圧が高く, ダイオードと共用しても信号のレベルシフトを許容できることから, ダイオ

ード論理を多用しコストミニマムをねらった結果である。さらに, 図6に示すように, MOSトランジスタ単体としても半加算回路のような排他論理を簡単に構成できるというおもしろ味がある。シフトレジスタは, 電卓のけた数によってビット数が決定することから各けたに見合うビット数を持つ何種類かが開発され, 当初直列入力直列出力だけの単純な回路構成であったものが, シフト用の出力, 循環制御回路を内蔵するようになった。

さらに演算回路として最も標準的な2進10進加減算器がIC化され, 大容量のシフトレジスタと合わせ電卓の中心部を形成し, その周辺をMOS形F/F, ゲートおよびダイオードで構成するという配置が一般的となった。

2.3 LSIとその現状

ICからLSIへの変遷も, トランジスタからICへ変遷した動機と変わったものではない。特に電卓の場合は, 2.2で述べたように部品点数の減少という目的に向かってトランジスタから一足とびにMOS LSIへ進もうという試みがあったのである。この試みは不幸にして成功しなかったが, 当時からICの次はLSIの開発が必要であろうと叫ばれていた。チップ上にどれだけの機能(ゲート数)を包含すべきかについてはいくつかの予想例があったが, 図7はその一例⁵⁾を示すものである。本図は, IC, LSIに含まれる素子1個あたりの製造コストは, 素子数の増加とともに減少し, ある素子

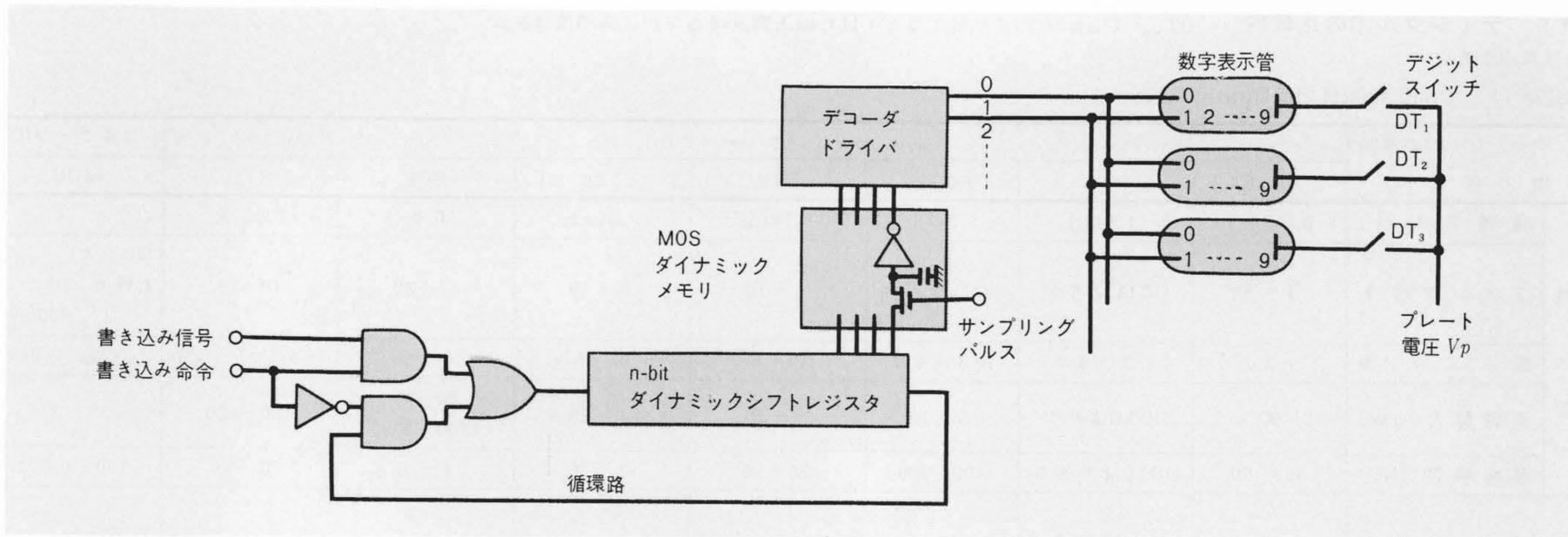


図5 電卓のダイナミック表示 カソード側を全けた共通結線を行ない、アノード側へ電圧を逐次的に供給するというパルス点灯が主流になった。

Fig. 5 Dynamic Display in a Calculator

数を越えると歩どまりの低下によって再上昇することを示している。したがって、いつの時点でもチップに包含すべき素子数について最適値を選択する必要がある、時代とともに最適点が素子数の大きいほうへ移動していくのは、製造プロセスの技術向上を見込んだ結果である。

MOS ICからMOS LSIへの変遷に際して、日立製作所において製造技術的に検討され、対策された問題は次のとおりである。

- (1) 低電圧動作のための低スレッショルド電圧化
- (2) 高集積化のためのパターンの微細化
- (3) 微細パターンのための寄生チャネル防止方法
- (4) 入出力保護ダイオードの構成
- (5) レイアウト方式
- (6) アートワークへのCAD(Computer Assisted Design)技術の導入
- (7) テストシステムの検討

LSIのために開発されたこの製造技術は、HD3200シリーズと名付けられ電卓のLSI化を積極的に推進する原動力となった。HD3200シリーズの構造は、従来のMOSトランジスタと同様Alゲートであるが集積度が向上するにつれて電卓機能の高級化が進み、より高速なLSIが要求されるようになってSiゲート構造へ移行しつつある。この特長は、ゲート電極の位置決定後それを基準にしてソース、ドレインを形成するため相互の位置ずれが起こらず位置合せの余裕を見込む必要がないことである。したがって、位置合せ余裕分の面積的な減少、ゲートとソースおよびドレインとの重なりによる入力容量が減少し、高速動作が期待できる。

回路的には、低消費電力化をねらいとした論理素子のクロックドライブ方式が採用され、図8に示すように平均的な消費電力はクロックのデューティサイクル分に減少した。

AlおよびSiゲートプロセス技術により開発されたMOS LSIについてチップあたりのゲート数を年代ごとにプロットすると図9のようになり、集積度は年間で2倍以上の増加を示している。同図に記入されたLSIの1個1個は、IC時代のような標準的な製品ではなくほとんどすべて特定顧客のためのカスタムLSIであることに注意しなければならない。

LSIの機能は、当初2,000~3,000個のトランジスタ、ダイオードで構成されていた電卓を、できるだけ少ないパッケージ数で実現することにあるが、電卓システム設計にあつ

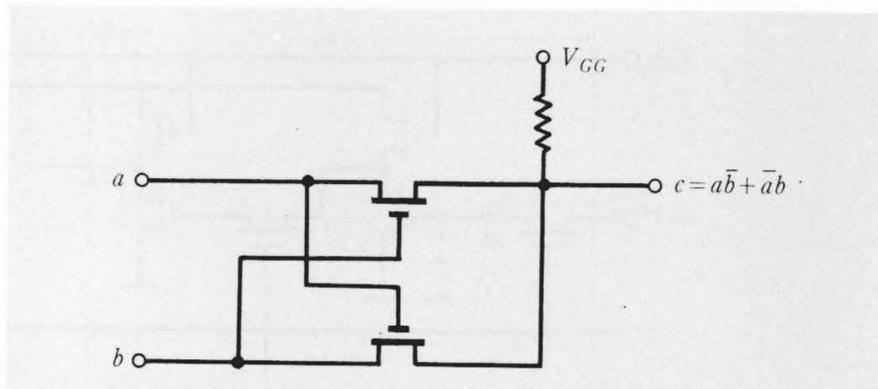


図6 MOSトランジスタを使用したExclusive OR回路 わずか2個のトランジスタでExclusive ORを実現できる。

Fig. 6 Exclusive OR Gate with MOS Transistors

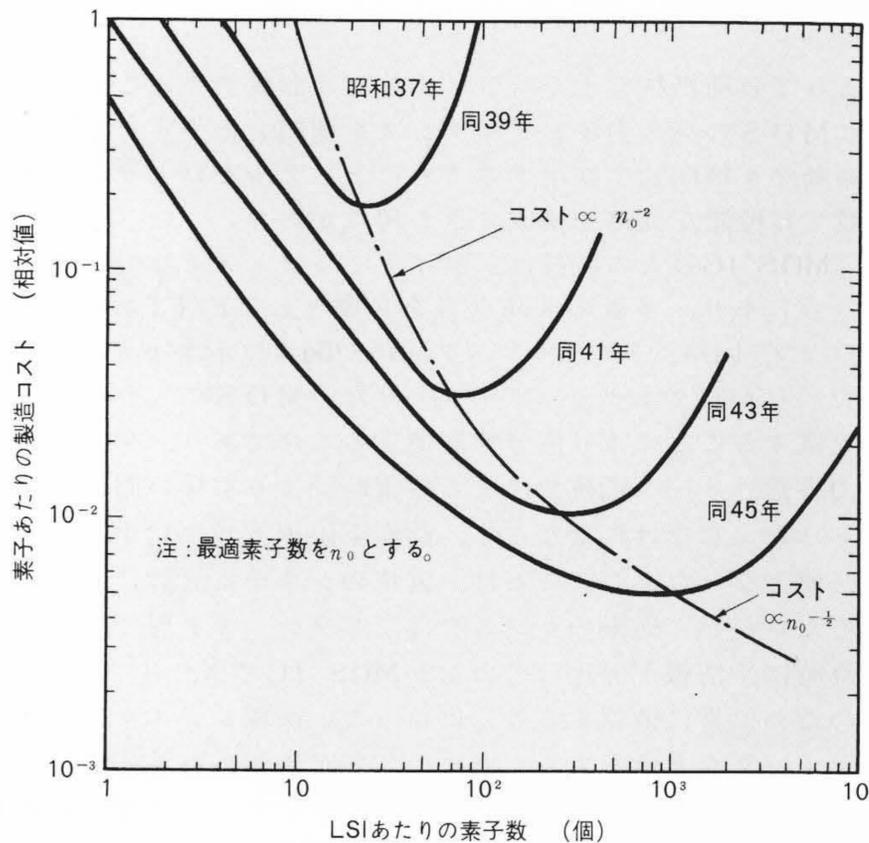


図7 LSIあたりの素子数とその素子数あたりの製造コスト チップに包含される素子1個あたりの製造コストがミニマムになるような集積度が存在し、最適集積度はプロセス技術の進歩により大きくなる。

Fig. 7 Processing Cost per Integrated Circuit Component vs. Total Number of Components (n) per Integrated Circuit for Various Gears

ではバランスのとれた演算機能、分割および集積度を決定しシステム全体としての最良のコスト・パフォーマンスを設定しなければならない。ここにも電卓メーカーと半導体メーカーとの共同作業の必然性があり、一般的なLSI開発手順は表2のようになる。

一つのLSIは、一つのシステムで最適であっても他のシステムでは最適ではあり得ないばかりでなく全く無意味であると言える。したがって、カスタムLSI時代の半導体メーカーにとっては、開発されたLSIそのものが売りものではなく、顧客の要求する価格と開発期間で顧客の要求するもの

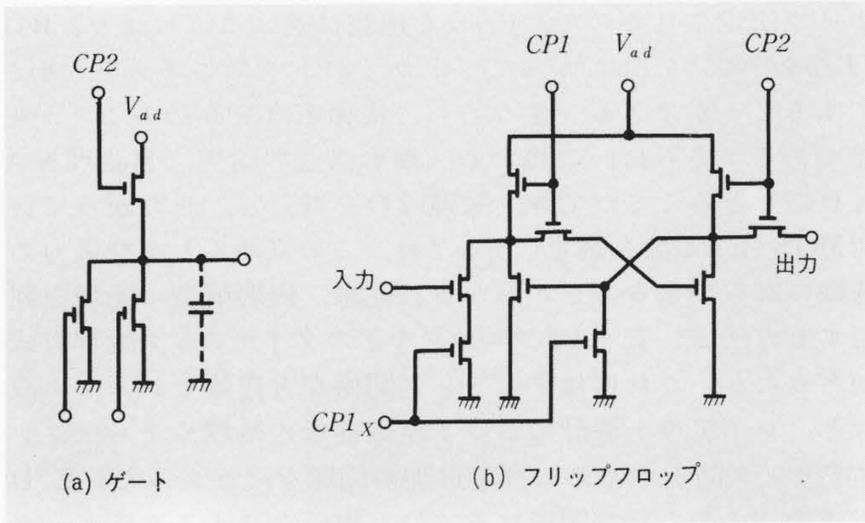


図8 クロックドライブされたMOS回路 負荷MOSをクロックドライブすることによって、回路はクロックが供給されたときだけ電力を消費することになった。

Fig. 8 Clock-driven MOS Circuits

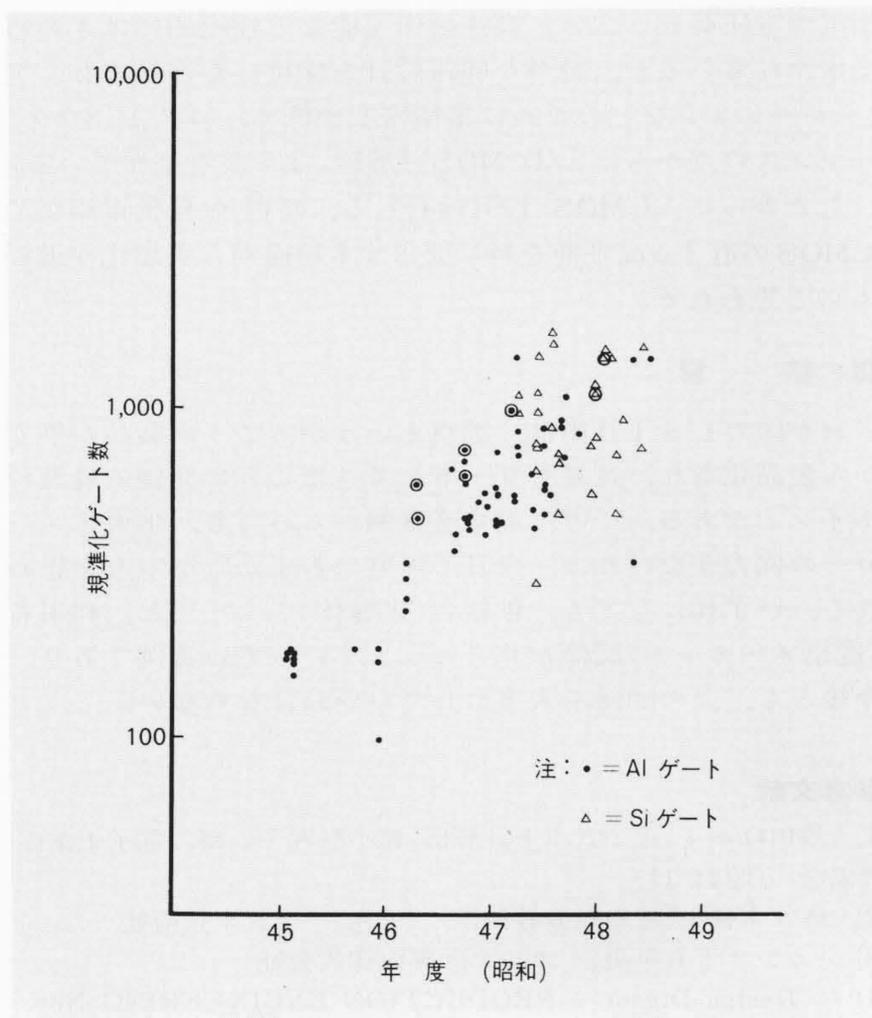


図9 電卓用MOS LSIにおけるチップあたりのゲート数 昭和45年にチップあたり200ゲートであったものが、昭和48年には1,500ゲートとなっており、集積度の増加は1年間約2倍である。

Fig. 9 Growth of Number of Gates per Chip

をいかに実現できるかという能力が売りものであるという発想の転換が重要である。

しかしながら、カスタムLSIでは、開発品種数が無制限に増大しLSIの開発効率に問題があることから、もう一つの方向として標準化の動きが強くなっている。たとえば、8けた電子そろばんのように顧客要求仕様があまりきびしくないものについては、半導体メーカーによって開発されたLSIが不特定多数の顧客を対象として発売されるようになった。

3 今後のすう勢

図1の破線で示されるように、昭和48年度における電卓生産台数は800万台に迫るものと予想されている。この急増の原因は、6～8けた程度の四則演算だけしかできない簡単なもので、できるかぎり小形で、単3電池3～5個で、連続数時間ないし十数時間使用可能なもの、つまり、いわゆるコードレス電卓といわれるものが大部分を占めており、従来の事務機の販売ルートのみではなく百貨店、一般文房具店などを通じて販売され、一般家庭、学生などが購買の対象となっている。

この種のものの特徴は、演算機能を必要最小限に押え、大衆価格を達成するため、部品点数を減らし、組立工数を極力きり詰めることおよび表示管を含めて低消費電力化を図ることに努力の重点がおかれていることである。

また、電卓業界におけるもう一つの傾向は高機能化、高性能化の動きである。普及形電卓の基本クロック周波数は50～100kHzで十分であったが、三角関数、対数などの複雑な関数演算が要求されたり、磁気カードなどを利用するプログラム式電卓では、演算時間を短縮するため、基本クロック周波数として500kHz～1MHzが必要となってきた。また、機能

表2 カスタムデザインMOS LSI開発手順 カスタムMOS LSIの開発においては、システム分割、論理シミュレーション、論理回路作成テストなどについて顧客との共同作業が不可欠である。

Table 2 Development Sequence for Custom MOS LSIs

手順	顧客	日立	協力作業
1	○		
2	○		
3	○		○
4	○		○
5	○	○	○
6		○	
7		○	
8		○	
9		○	
10		○	
11		○	
12		○	○
13		○	

の複雑化に伴いますますチップあたりの集積度を高めることが要求されている。

このようなすう勢に対して、半導体メーカーは従来のプロセスの改良のほかに、不純物拡散によってでなく、不純物イオンを加速してシリコン基板に導入するイオン打込み技術の応用を図っている。これによれば、スレッショルド電圧を制御して同一チップ上にエンハンスメント形電界効果トランジスタ(FET)とディプレッション形FETを同時に作ること(E/D MOS)、あるいはpチャンネルFETとnチャンネルFETを同時につくすることも可能となる(CMOS)。特に、前述したSiゲート技術と組み合わせることによって、双方の特徴を生かして、高速化、低消費電力化、高集積化いずれの面でも、一段の飛躍を期待しうるものである。ここではSiゲートE/D MOS LSIおよびSiゲートCMOS LSIの特徴について簡単に触れておくことにする。

3.1 E/D MOS LSI

これはイオン打込み技術を利用してスレッショルド電圧を制御して負荷MOS FETをディプレッション形としたもので、通常、図10に示すようにゲートとソースを短絡して使用する。このような接続により、負荷トランジスタは次式で表わされるような定電流特性を示す。

$$I_{LP} = -\frac{1}{2} \beta_{LD} (V_{THLD})^2 \dots \dots \dots (1)$$

$$\text{ここで、 } \beta_{LD} = \frac{\epsilon_0 \epsilon_{OX} \mu_P}{t_{OX}} \cdot \frac{W_{LD}}{L_{LD}}$$

ϵ_0 : 真空の誘電率

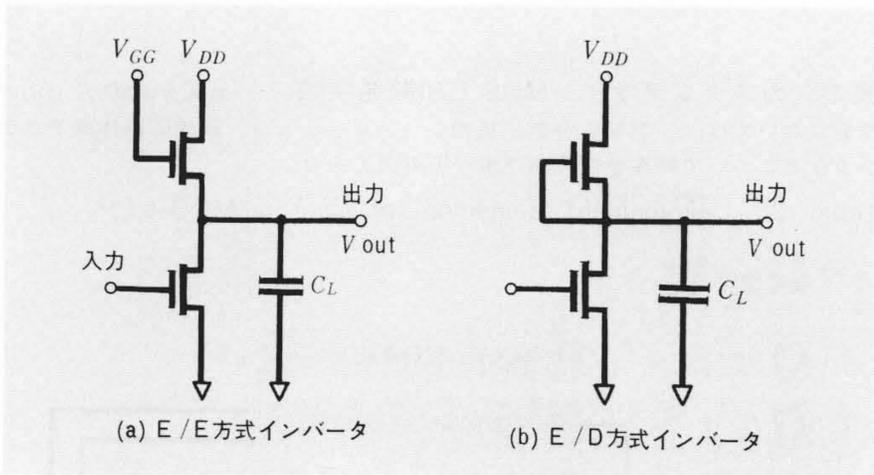


図10 インバータ回路 デプレッション形の負荷では、ゲート、ソースが短絡された一定電位であり、定電流負荷となる。

Fig. 10 Comparison of E/E and E/D MOS Inverters

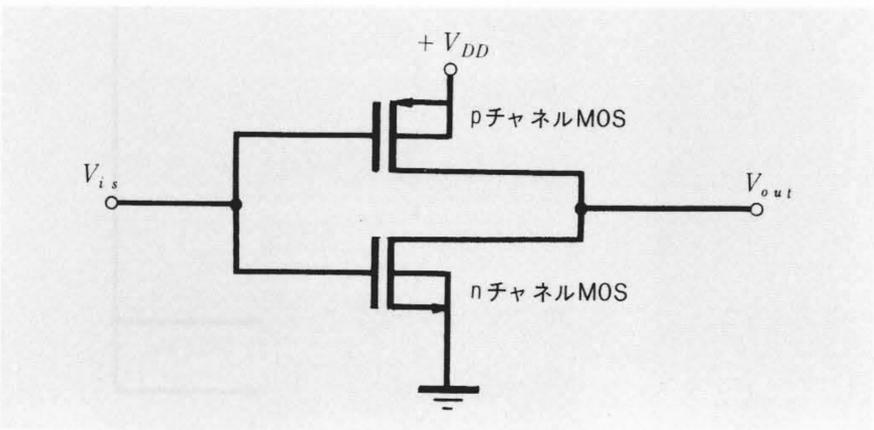


図11 CMOSインバータ回路 pおよびnチャンネルが縦続接続されており、過渡状態を除けば、両MOSが同時に導通することがなく、直流的な電力消費は極端に少ない。

Fig. 11 CMOS Inverter Circuit

- ϵ_{OX} : 酸化膜(SiO₂)の比誘電率
- μ_P : ホールのチャンネルにおける易動度
- t_{OX} : SiO₂膜の厚さ
- W_{LD} : 角荷MOS FETのチャンネル幅
- L_{LD} : 負荷MOS FETのチャンネル長
- V_{THLD} : 負荷MOS FETのスレッショルド電圧

これによれば、従来のE/E方式の負荷電流が、 V_{GG} , V_{DD} , V_{out} などにより大きく影響を受け、特にドライバMOS FETがしゃ断状態に近づき、 V_{out} が大きくなると極端に小さくなるのに比較すれば、負荷容量の充電時間が短くなること、したがって、高速化が達成できることがわかる。また、(1)式に示されているように、負荷駆動電流は W_{LD}/L_{LD} および V_{THLD} によって決定されるので、 V_{THLD} を適当に選ぶことにより、 W_{LD}/L_{LD} を小さく、したがって、ドライバトランジスタをも小さくすることができる。すなわち、集積密度を高めることが可能である。さらに、このため、縦形構造の論理(負論理NAND)をとることができ、論理段数を減らし、したがって負荷MOS FET数を減らしうるため、この点からも消費電力の低減に寄与できることがわかる。従来、縦形構造の論理を利用する方法として、4 ϕ クロックなどのダイナミック論理方式があったが、これにはタイミング関係など複雑なシステム設計と、レイアウト設計における浮遊容量の処理やチャージシェアリング防止のための容量付加の問題などがあった。E/D方式ではこのような問題はなく最も単純な2 ϕ スタティック方式の論理設計が可能である。

3.2 CMOS LSI

CMOS LSIは、図11に示すインバータが基本となるが、これは、信号が変化しないかぎりいずれかのトランジスタがしゃ断状態にあるため、きわめて消費電力の低いシステムを構成することが可能である。また、雑音余裕度が大きく、動作電源電圧範囲が広い、高速動作可能など性能的にはきわめてすぐれているが、特殊な回路設計を採用したとしても、アイソレーションなどのために集積密度が低く、コストパフォーマンスの点からはE/D MOS LSIのほうがすぐれている。

したがって、CMOS LSIはむしろ、時計や自動車用などCMOSの有する高性能を特に要求する用途から実用化が進むものと思われる。

4 結 言

わが国のLSI技術は、電卓というかっこうの製品が早くから製品化され、世界をリードしてきたことに発展の最大のポイントがある。一方、電卓産業側からみても、半導体メーカーの協力がなければ、今日の隆盛はむずかしかったと思われる。いずれにしても、供給者(半導体メーカー)と、利用者(電卓メーカー)の関係が非常にうまくいっている例であり、今後とも、この関係を大事にしていかなばならない。

参考文献

- (1) 浅田ほか:「電子式卓上計算機」超小形電子回路, 電子工業振興協会 (昭44-11)
- (2) 佐々木編:「電卓技術教科書」(下巻) ラジオ技術社
- (3) 「カシオ十五年史」カシオ計算機株式会社
- (4) "Design Digest" PRODUCTION ENGINEERING Nov. 8, 1965
- (5) H. Wolf and K. Greenough: "Novel Aspects of Large Scale Integration" Handbook of LSI, 電子技術センター
- (6) F. Faggin and T. Klein: "Silicon Gate Technology" Solid State Electronics, 1970, Vol.13