

サイクルタイム350ns 記憶容量65kバイトコアメモリ

A 65k-Bytes, 350 Cycle Time Core Memory

The design of a very high speed large capacity ferrite core memory is described. The memory has a capacity of 8192 words—72 bits (65 kB), a cycle time of 350 ns, and an access time of 150 ns. The storage elements are 15 mil low current-driven wide temperature stable cores (digit current 150 mA) and are operated in 2-wire 2D mode. A planer array structure with cores mounted on a ground plane (0.25 mm at center) and no discrete wiring between array and circuits are adopted for short drive line length and uniform transmission lines. Interactions between digit lines when the multi-digit (max 144 bits) lines are excited and digit noise recovery are treated in detail. The design criteria and operational characteristics of this memory system are presented in 17 graphs.

小田原弘造* Kôzô Odawara

永 富 好 照* Yoshiteru Nagatomi

藤 田 満 久* Mitsuhsa Fujita

1 緒 言

大容量の商用コアメモリのサイクルタイムは500~1,000nsが普通で、300ns内外の高速メモリはほとんど実用されていない。

そのおもな理由はコスト高にあり、原因を二、三列挙すると、

(1) 生産性の困難

高速化するためにはコアを小形化（たとえば3D方式なら外径12 mil）せねばならず、コアが作りにくくなると同時に編みにくくなる（1 mil=0.0254mm）。

(2) 発熱の困難

コアの自己発熱とマグネットワイヤの発熱が大きくなって温度上昇が著しい（3D方式では30℃以上）。場合によっては

液冷も必要である。

(3) 半導体部品の入手困難

駆動電流が大きく、かつ高耐圧を必要とするため半導体部品が高価になる。

(4) ノイズの増大

高速化すると3D方式や2½D方式ではデルタノイズやインヒビットノイズが大きくなる。その対策としてセンスブロックを分割するとコスト高になってしまう。

(5) 信号減衰の困難

駆動ならびにセンス系の線路長をよほど短くしないと信号の遅延と減衰が著しくなる。

(6) 信頼性の低下

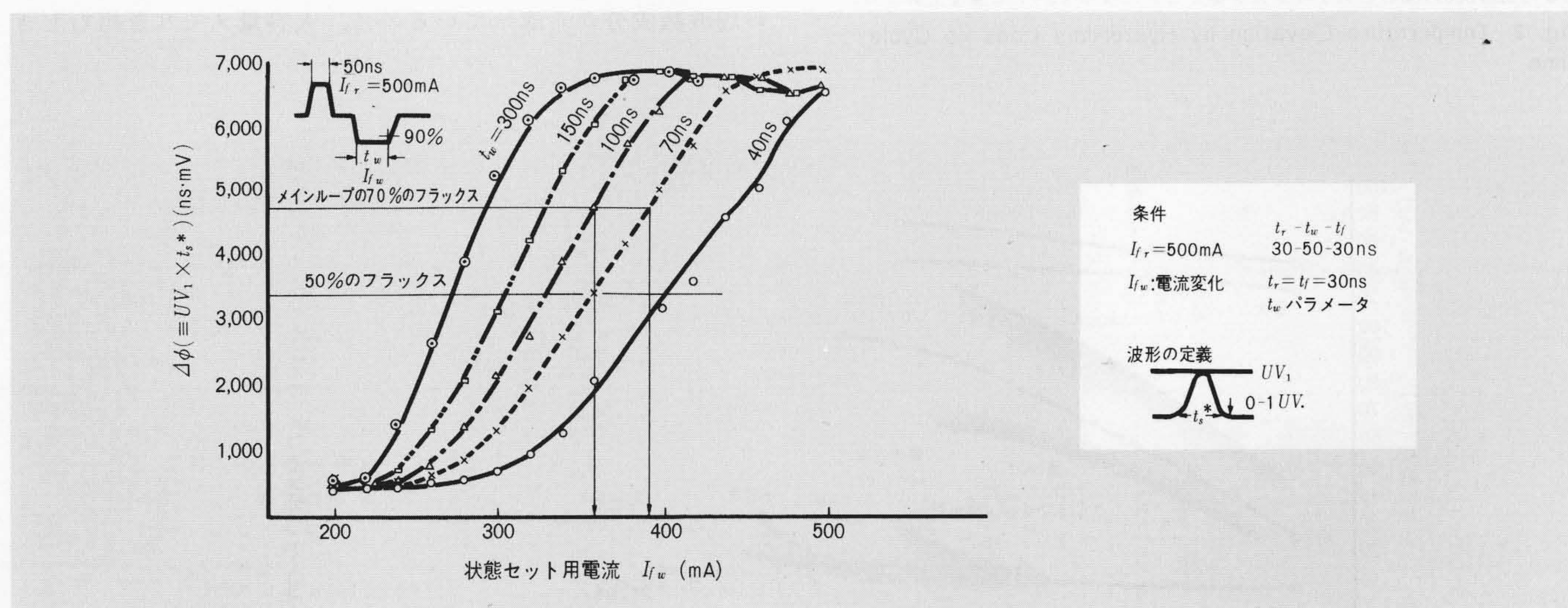


図1 15ミルLi系コアの特性 書き込みパルス幅時間をパラメータとして、状態セット用電流 I_{fw} と反転磁束量の関係を示す。

Fig. 1 Static S-curve of 15 mil Li Cores

* 日立製作所電子管事業部

3本線編み方式ではマグネットワイヤを細くせざるを得ず(直径0.04mm以下)断線しやすくなって信頼性が低下する。などをあげることができる。したがって高速メモリを実現するためには、できるだけ大きなコア(外径15ミル以上)を太いマグネットワイヤ(Cu心径0.05mm以上)で編み、かつコアを低電流駆動化し、駆動ならびにセンス線路長を短くして遅延と信号減衰を防ぎ、負荷を軽くする必要がある。そのためには2線式2D方式が最適である。

本報は8k語×72ビット(65kバイト=9ビット)の容量でアクセスタイム150ns, サイクルタイム350nsのメモリについて述べるが、低速メモリももちろん可能である。

2線式なので外径15ミルのコアを心径0.065mmのマグネットワイヤで容易に編むことができる。

パーシャルスイッチングを有効に使って、ディジット電流を150mAまで下げても、コア単体標準出力は約58mV, スwitchング時間は55nsが得られた。

低電流でかつパーシャルスイッチングを利用しているので温度上昇を350nsサイクルでも約7℃に押えることができる(通常の1/3)。

ディジットセンス系はコアを0.25mm間隔で配列したために負荷が軽くなり、4kディジットセンスでも駆動電圧18V(通常の約1/2)で立上り35nsが得られた。

おもな問題点は実装的に4k語×144ビット構成になっているので最大144ビットが選択されたときのビット電流間干渉と、そのS/Nへの悪影響ならびに4kビットのディジットノイズの回復時間の遅れなどをいかに押さえるかにある。

本報ではこれらの問題点についても若干の検討を加えた。

2 コアの特性

3D方式では飽和磁束の80%以上を反転させるが2D方式では50~70%しか利用しないのでスイッチングは速いが電流変動には敏感である。したがって反転磁束量の設定が重要になる。図1は書き込みパルス幅制限法による状態セットのための書き込み電流と磁束利用率の関係を示したもので、磁束利用率を50~70%にすると、セット電流360mAに対して書き込みパルス幅は70~100nsとなる。

およその磁束利用率を決定したら、次は温度特性、ビットノイズ(コアの微分インダクタンスによる)や生産変動を考慮して部分書き込み電流(I_{pw})とディジット電流(I_{dw})の配分を決める。まずコアの集中温度上昇は図2から350nsサイクルで約7℃であるから室温を15~30℃とみてアレー温度は15~40℃である。これに生産変動を加味した電流特性は、図3に示すとおりである。また I_{pw} と I_{dw} の配分は図4によって決めることができる。以上の方法で設定したコアの動作条件と出力特性は表1に示すとおりである。

3 メモリ装置の構成

2.で述べたスイッチングの速いコア($t_p=35ns$)は非常に高い周波数成分から成っているので、大容量メモリを組むとき

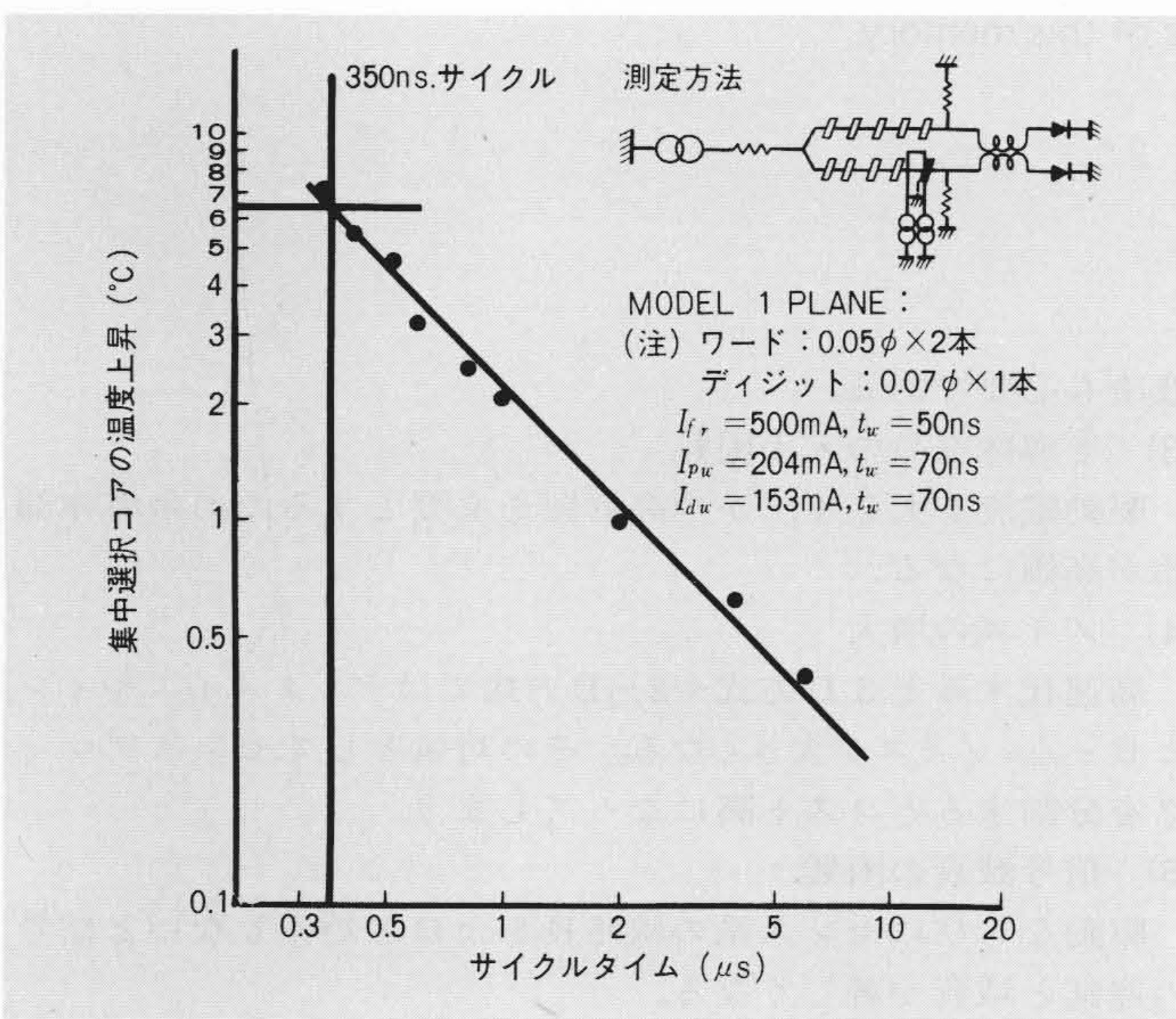


図2 メモリサイクルタイムとコアの集中選択温度上昇 特定のコアが所定のサイクルタイムで集中的に選択されると、ヒステリシス損による発熱が大きくなり、コア温度上昇の主因となる。たとえば、サイクルタイム 350nsなら毎秒300万回のヒステリシスを描くことになって約7℃温度上昇する。
Fig. 2 Temperature Elevation by Hysteresis Loss vs Cycle Time

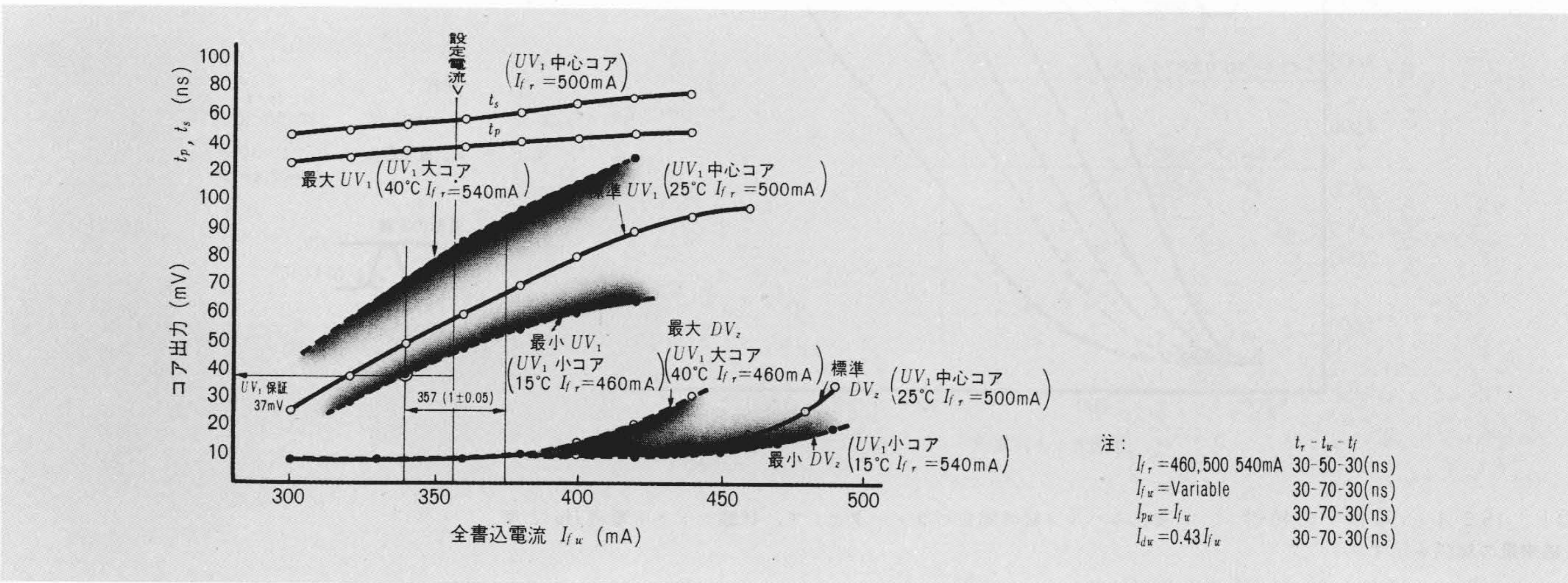


図3 15ミルコアの電流特性 標準コア出力(実線)を中心にコアのばらつきと温度変動を加味して最大、最小の UV_1 と DV_2 の電流特性を示している。標準設定全書き込み電流357mAが±5%変動すると最小出力 $UV_1=37mV$ で最大出力 $DV_2=10mV$ となる。

Fig. 3 Characteristics of 15 mil Cores

は実装に注意しないと信号減衰やノイズのためにS/N比がとれなくなるおそれがある。

そこで今回の65kバイトではできるだけ全体をコンパクトな構造にした。アレーはコアを0.25mmピッチで配列するとともに回路との接続もとかくノイズ源になりやすいワイヤリングをなくして最短距離で接続した。

コアアレーは図5のように1枚の基板上に65kバイト分のコアアレーとともにダイオードマトリックス、スイッチマトリックス、ディジットセンス系終端をすべて実装した。

周辺回路とは図6のようにコネクタ接続して、5層で65kバイトメモリ装置が構成されている。

電氣的にみると8k語×72ビットを4k語×144ビットで構成してワード系のコスト低減を図った。本方式では同時に2

表1 15ミルコアの動作条件と出力特性

15ミルコアの駆動電流条件と標準出力ならびに最悪条件下の出力を示した。

Table 1 Characteristics of 15 mil Cores

特 性			電 流	立 上 り	パルス幅	立 下 り
			(I)	t_r	t_w	t_f
条 件			(mA)	(ns)	(ns)	(ns)
標 準	駆 動 条 件	ビット電流 I_{dw}	153	30	70	30
		部分書込電流 I_{pw}	204	"	"	"
		読出電流 I_{fw}	500	"	50	"
条 件	標 準 出 力	UV_1	58 mV			
		DV_0	8 mV			
最 悪 条 件		t_p	35 ns			
		t_s	55 ns			
最 悪 条 件		電流-5%, 温度15°C, 生産変動を加味した最小の	$UV_1=37mV$			
		電流+5%, 温度40°C, 生産変動を加味した最大の	$DV_0=10mV$			

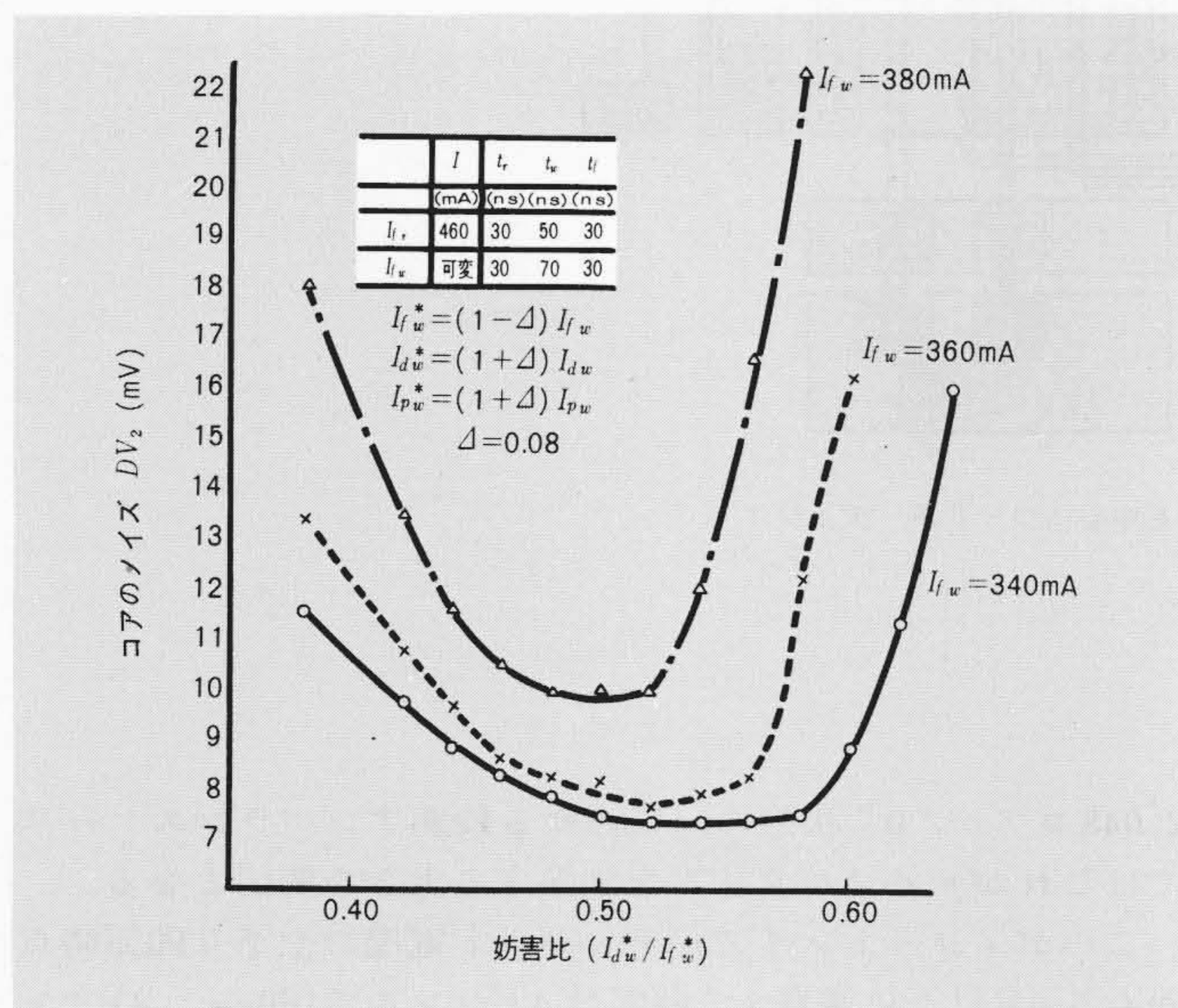


図4 15ミルコアの妨害比特性 I_{fw} を図3で決めたら I_{pw} と I_{dw} (ただし、 $I_{fw}=I_{fw}+I_{pw}$)の配分を決めるため、妨害比 I_{dw}/I_{fw} を雑音 DV_z が最小になるように決める。本図では電流変動 $\Delta=8\%$ を加味した特性をプロットしてある。

Fig. 4 Disturb Sensitivity of 15 mil Cores

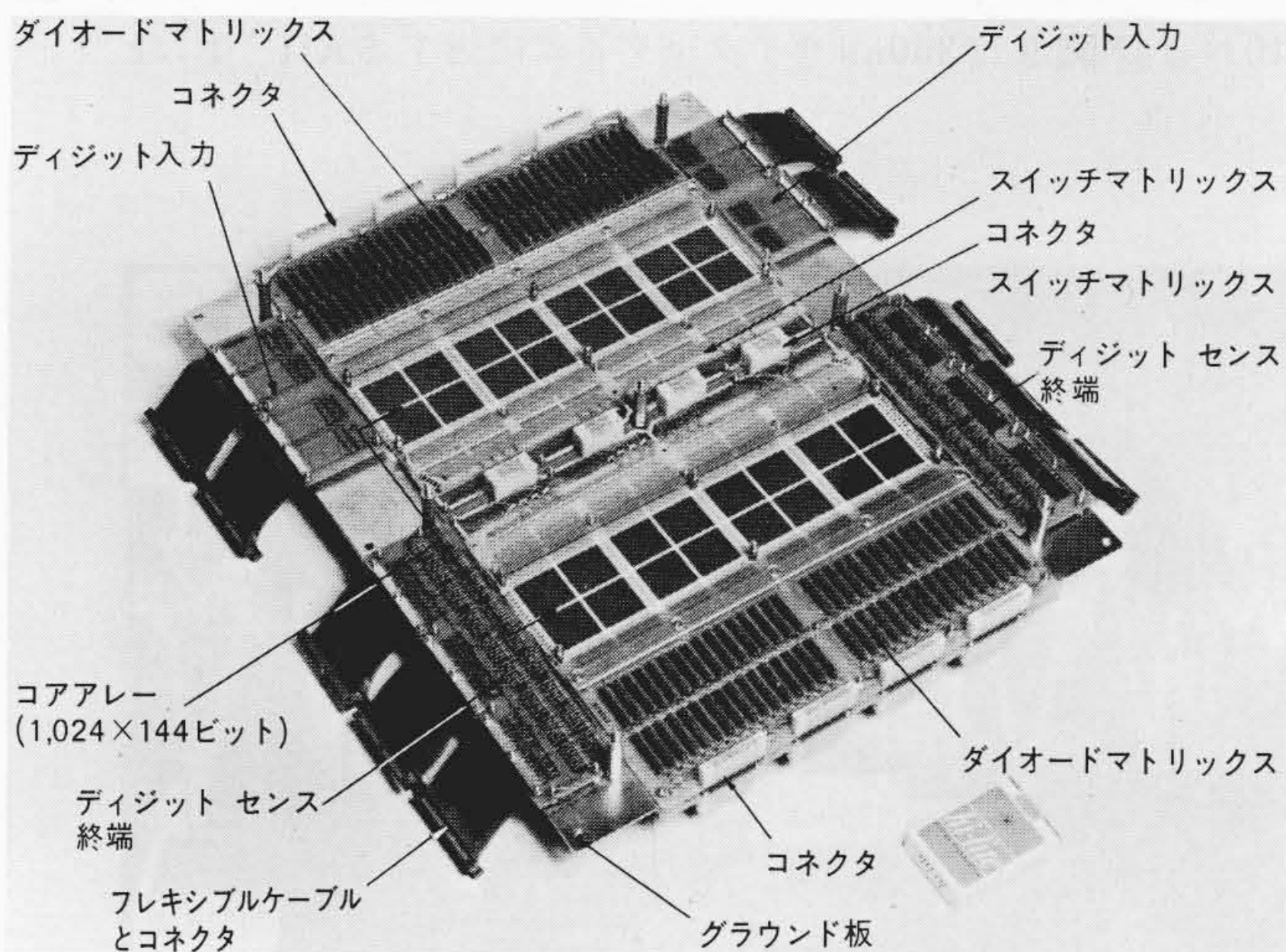


図5 コアアレー図 コアアレーと周辺回路の一部の実装図で65kバイト分のコアとダイオードマトリックス、スイッチマトリックス、ディジットセンス終端が1枚のAI基板上に搭(とう)載されている。

Fig. 5 Core Array

語分が読み出されるが、不要な語は図7のブロックダイアグラムに示したように読出し書込みデータ選択回路が働いて自動的に再書き込みしている。

ワード系は32×32のダイオードマトリックスを駆動単位とした。マトリックス単位が大きいわりにはワード電流の立上りは速く、144ビットをスイッチさせても30Vで50nsの立上り時間が実現している。

ディジットセンス系は図8に示すようにグラウンド板の面におおの2,048コアを配列し、ドライバ側からみると2,048コアずつ並列に合計4,096コアを駆動するようになっている。このようなディジットセンス系が144ビット分あって65kバイトシステムが構成されている。

ディジット電流は18Vの定電圧源から供給され、150mAの電流に対し立上り35nsを実現した。

ディジット電流が小さいこととおよび線路長が短いことが高速駆動に効果があった。副次的な効果としては、消費電力の低減(最大0.4mW/b, 平均0.25mW/b)にも大幅に寄与している。

センス信号はディジットドライバの遠端側で検出される。センスアンプには4,096個のコアから発生するディジットノイズも重畳しており、片側の2,048コアが“1”状態で、他方の

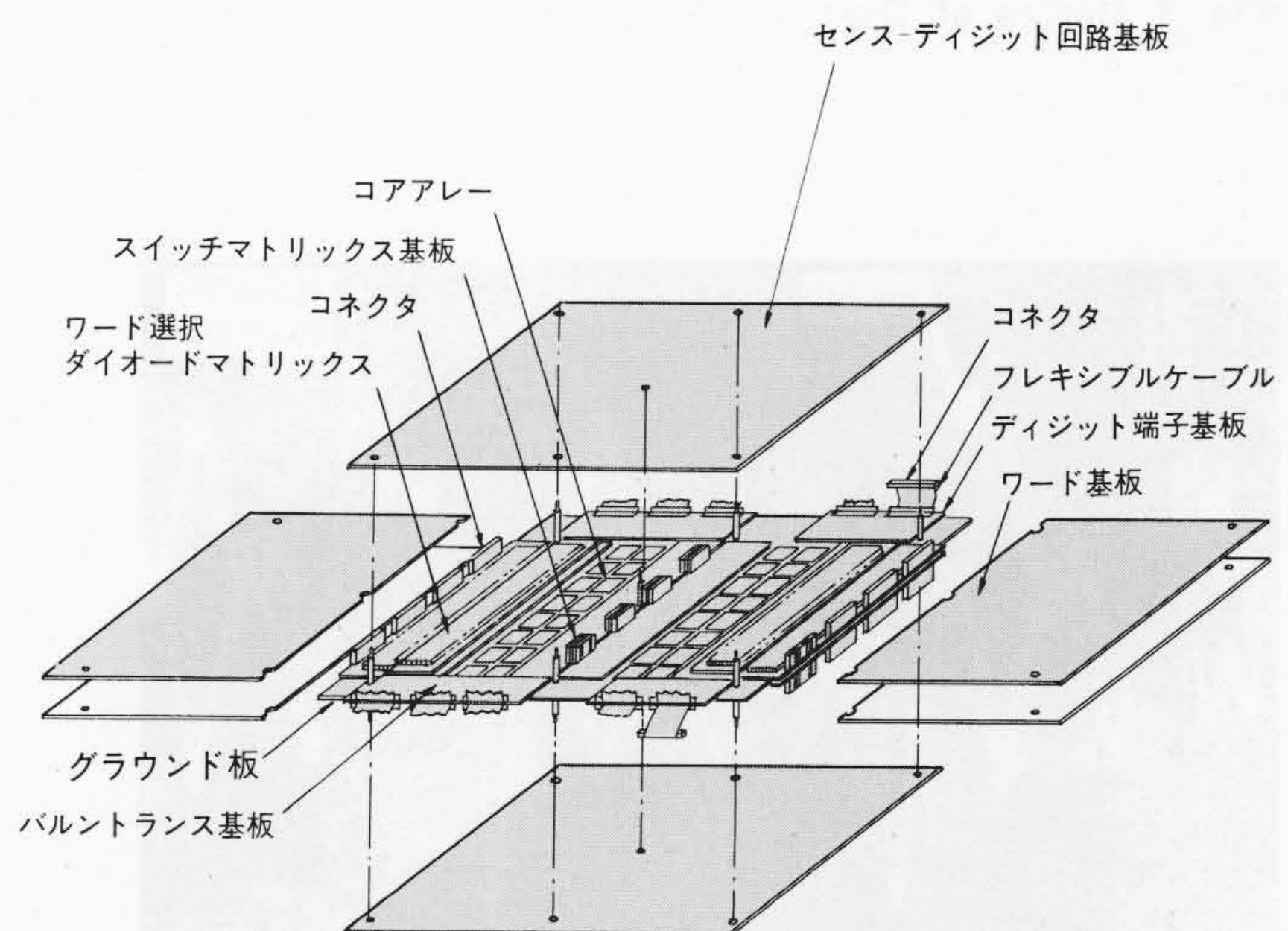


図6 65kバイトメモリ装置の構造概略図 コアアレーを中心としたメモリ装置の構成を示したもので、6枚の周辺回路がアレーを含めて5層から成り、相互にはアレー周辺部ならびに中央部にあるコネクタで接続される。ディスクリット布線はない。

Fig. 6 Structure of 65kB Memory System

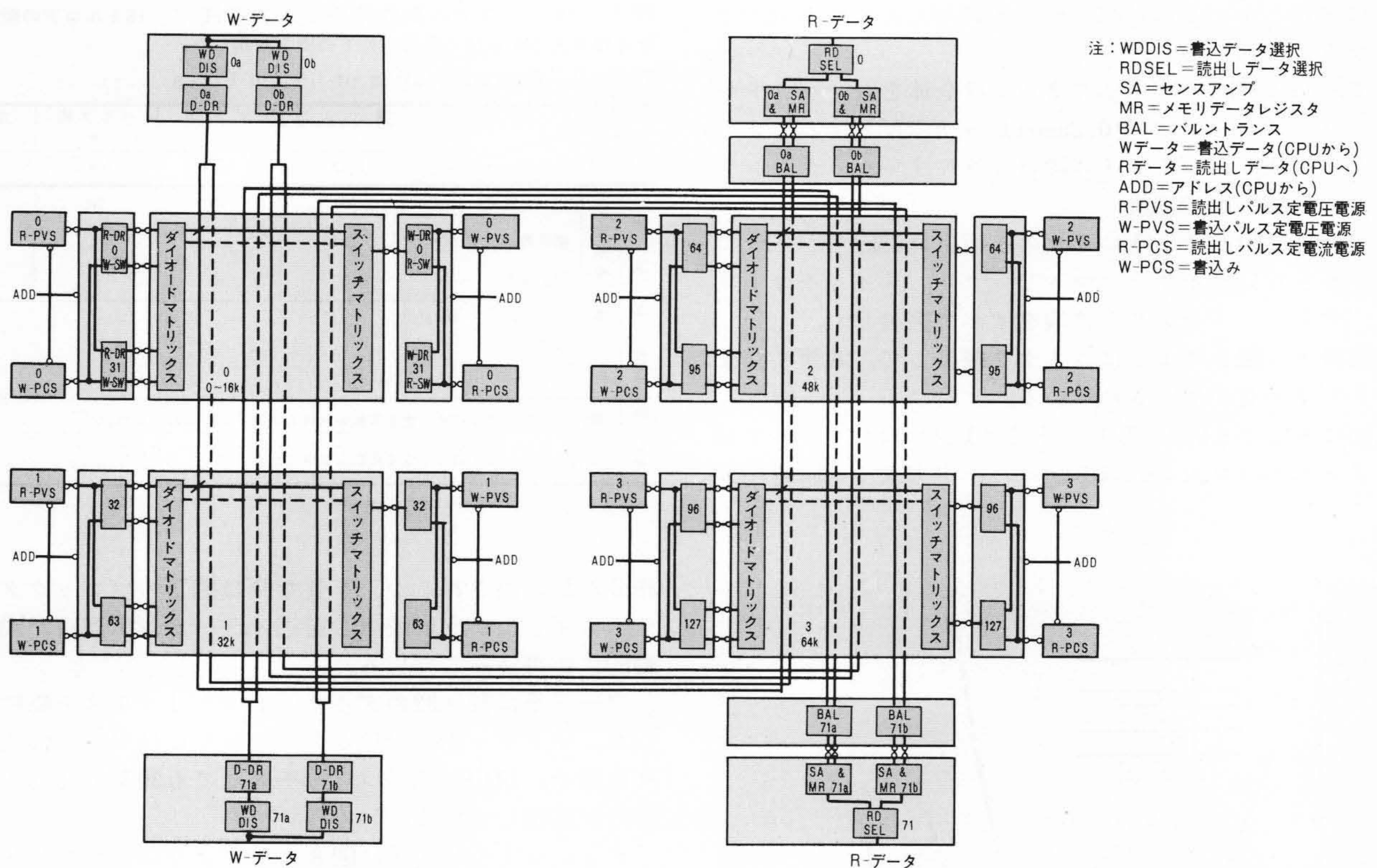


図7 65kバイトメモリ装置の回路ブロックダイアグラム コアアレーを中心にワード系、ディジットセンス系の回路ブロックダイアグラムを示す。

Fig. 7 Circuit Block Diagram of 65kB Memory System

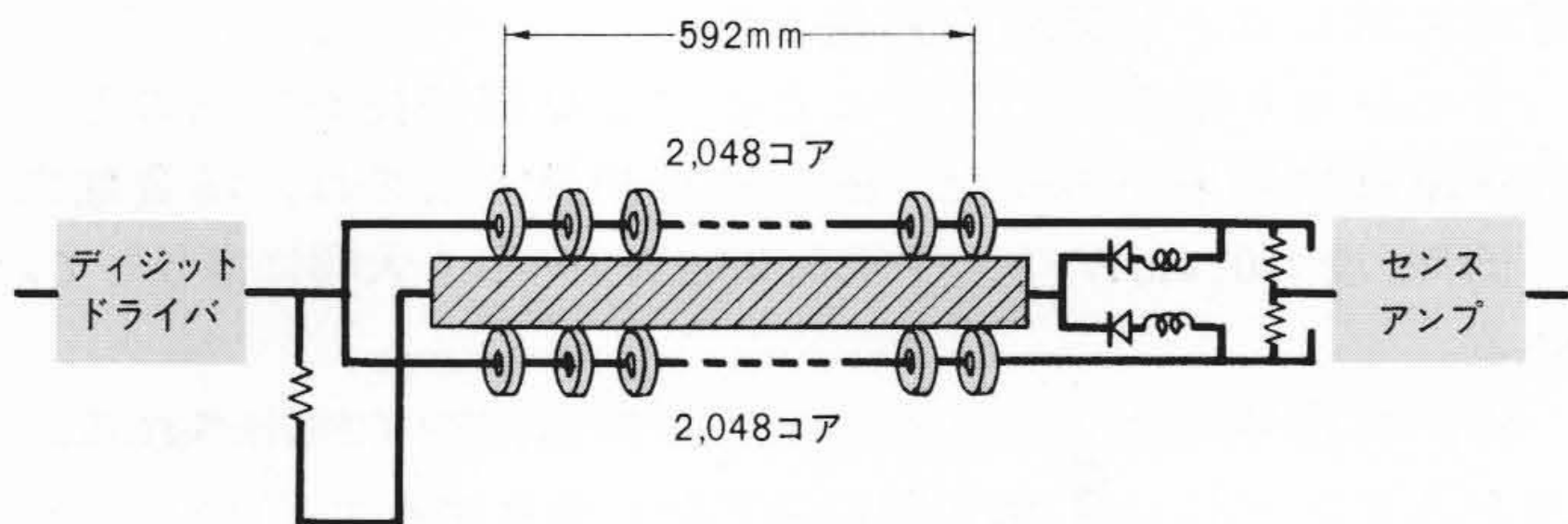


図8 メモリ装置のディジットセンス系概略 デリットセンスはグラウンド板表裏のコアを対称的に選択し、実装密度の向上を図ると同時に電気的なバランスをくずさぬようにした。

Fig. 8 Outline of Digit and Sense Configuration

2,048コアが“0”状態の、いわゆる最悪アンバランスケースではこれがサイクルタイムを制限する大きな要因となる。

このディジットノイズがディジット電流の立下り90%時点から5mV以下に減衰する時間は4kセンスで160ns、2kセンスで120nsである。

換言すると2kセンスにすればサイクルタイムはおよそ40ns短縮して310nsサイクルタイムとなる。

4 メモリ装置の特性

65kバイトメモリ装置をエクササイザで動作テストした。図10および図9は350nsサイクルタイムに対するAll“1”とワー

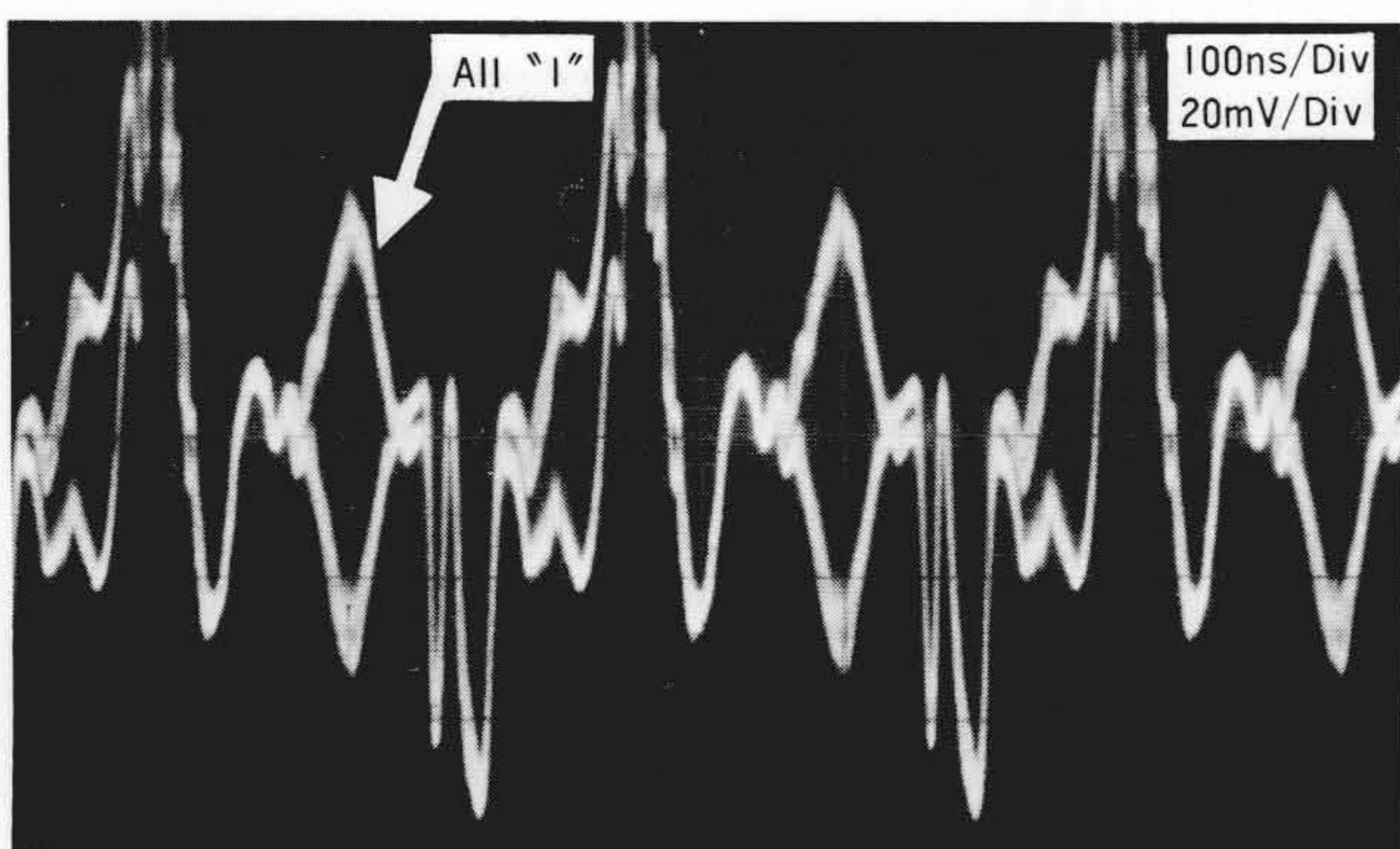


図9 65kバイト4kセンスメモリ装置のAll“1”出力波形 サイクルタイム350nsで動作させたときのAll“1”出力波形を示す。

Fig. 9 All “1” Output Signal of 65kB 4k Sense Memory System

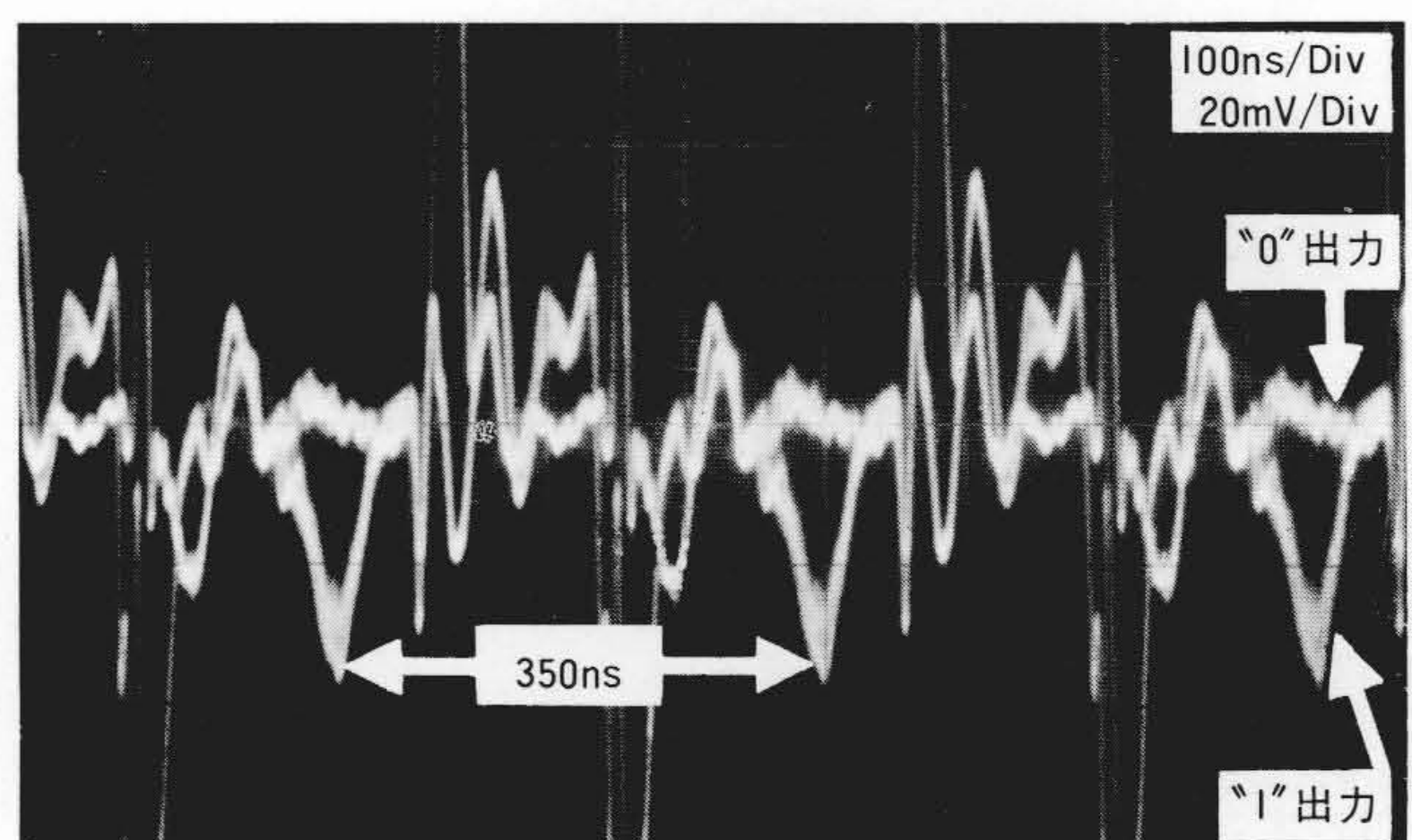


図10 65kバイト4kセンスメモリ装置のワーストケースパターン出力波形 350nsサイクルメモリの出力を3サイクル分示したもので、ディジットノイズは十分に収斂している。

Fig. 10 Worst Case Pattern Output Signal of 65kB 4k Sense Memory System

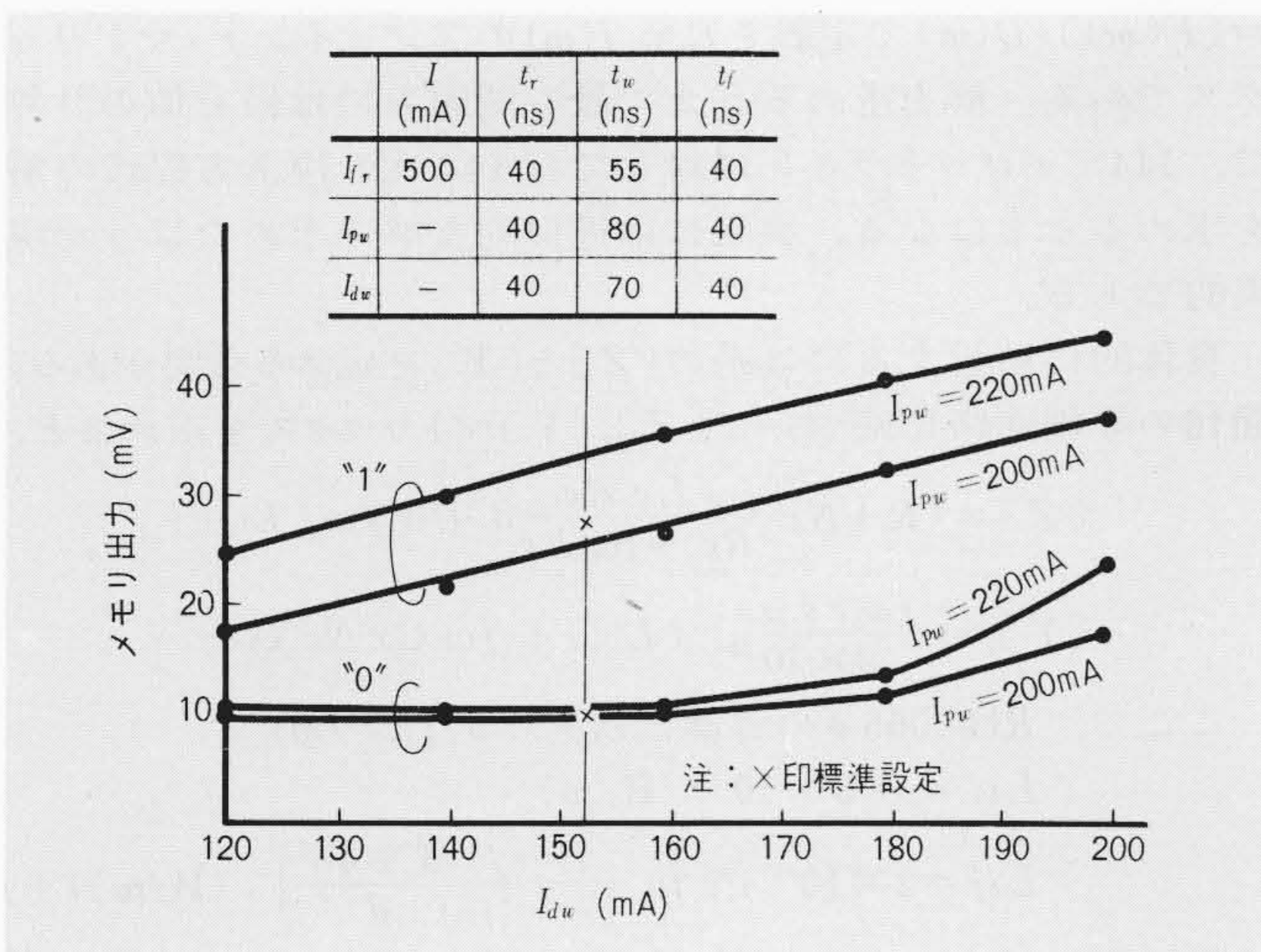


図11 65kバイトメモリ装置の出力特性 デジタル電流特性を示したもので標準設定電流条件では“1”出力25mV強, “0”出力10mV程度である。
Fig. 11 Characteristics of 65kB Memory System

ストークスボタン出力波形を示したもので、4kコアから発生するデジタルノイズは次のサイクルの“1”出力のピーキング時点ではほぼ収斂(れん)していることがわかる。

図11は I_{pw} をパラメータとしたときの I_{dw} 電流波形で、コア特性とアレーの減衰特性とから予想される出力よりも低出力である。

この出力減衰に最も大きな影響を及ぼしているのは多数ビット(最大144ビット)に同時に“1”を書き込むときのビット間干渉による書き込み不足である。“1”を書き込むときは、各デジタル線に交互に順逆方向にデジタル電流を流す。図12は

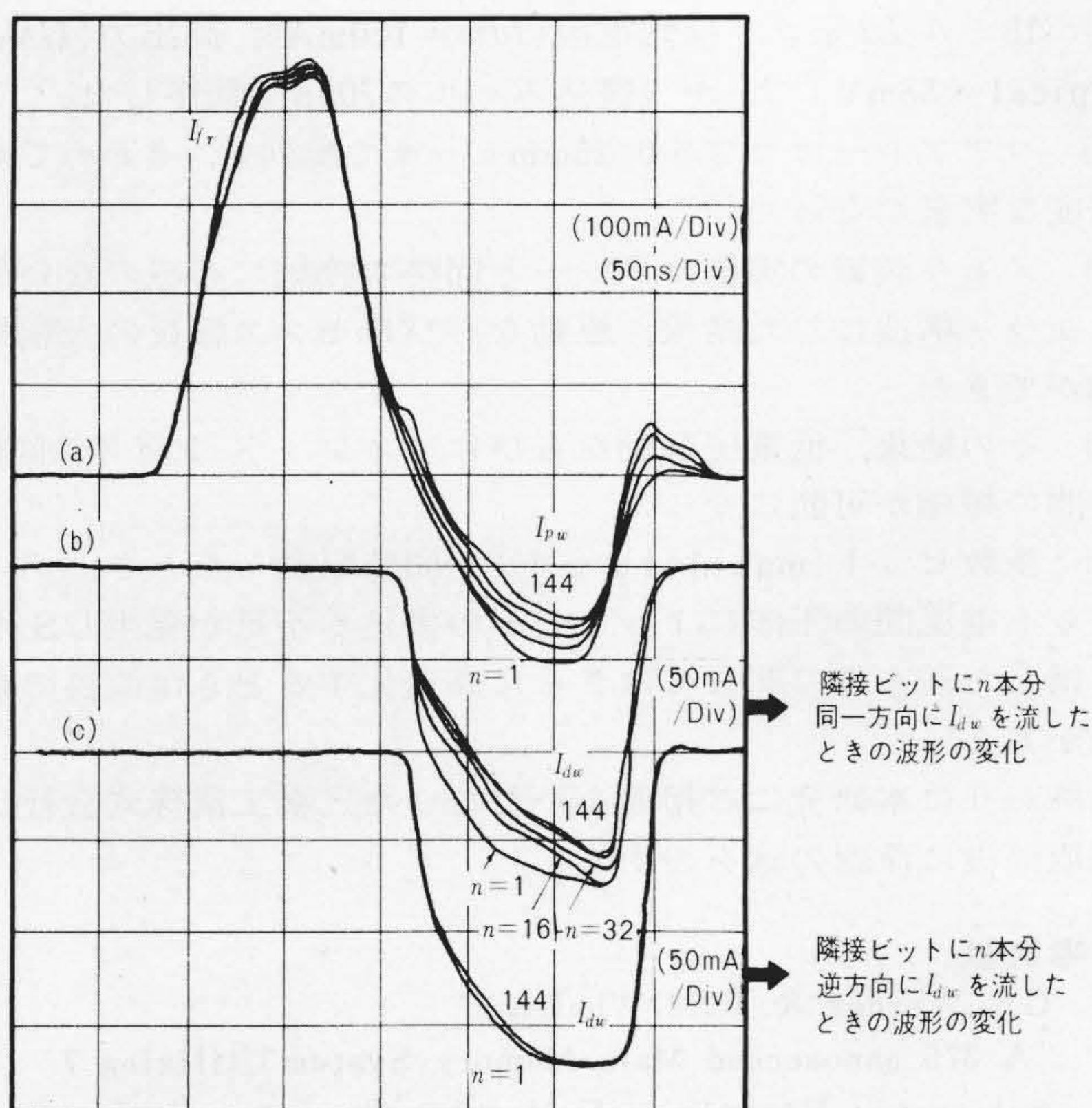


図12 同時選択ビットライン数と駆動波形の変化($n=1, 16, 32, 48, 144$ 本) 同時に“1”を書き込むビットライン数が増加すると、相互干渉によって注目するデジタル電流波形が変化する様子を示した。
Fig. 12 The Influence of Selected Bit Lines upon the Driving Current Waveform

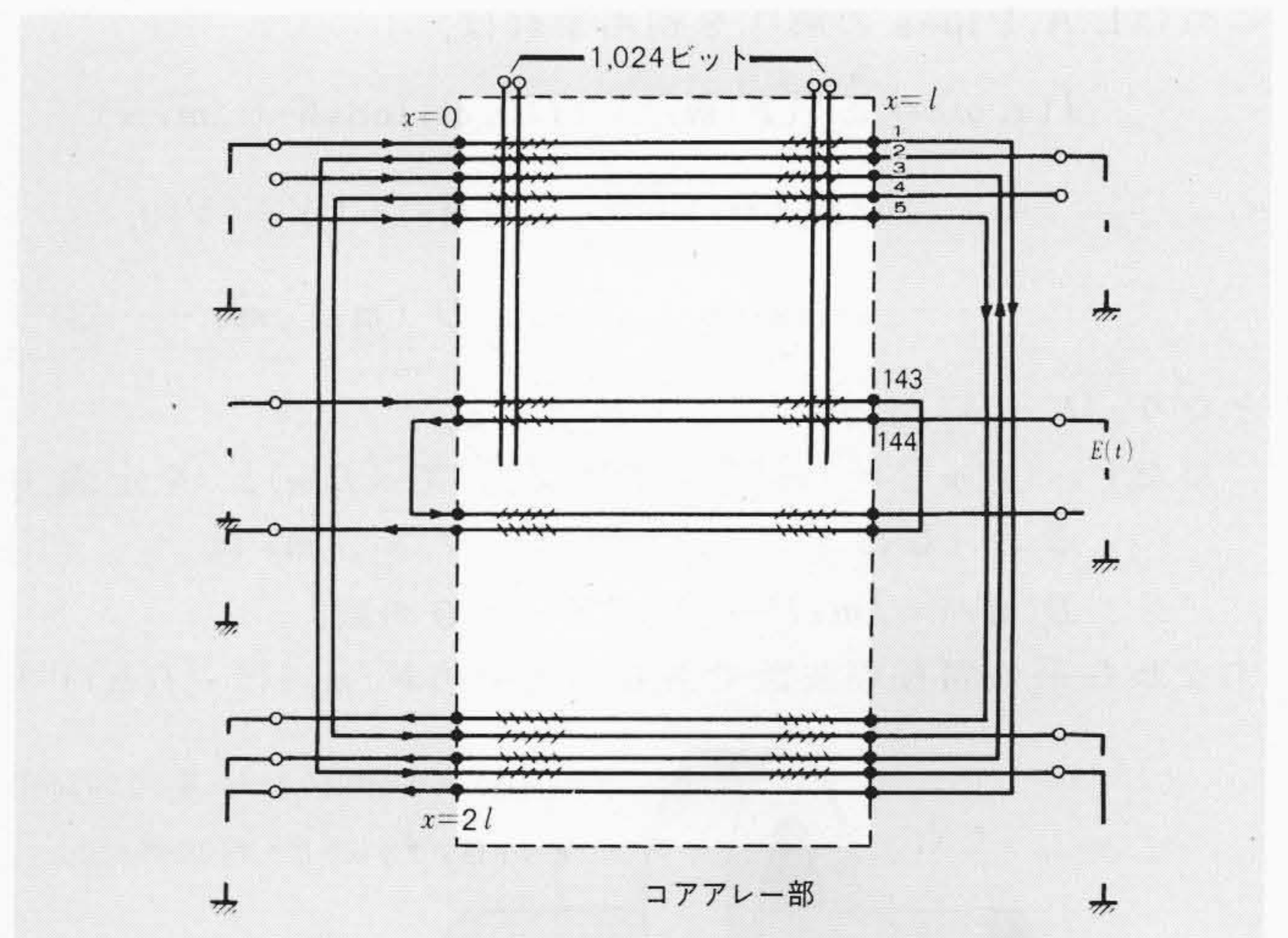


図13 65kバイトメモリのビット系図(表面のみ) デジタルドライバは表基板上のコア2,048個と裏基板上のコア2,048個を平行に駆動しており、図はその表側のみを図示した。
Fig. 13 Figure of Digit line Configuration of 65kB Memory

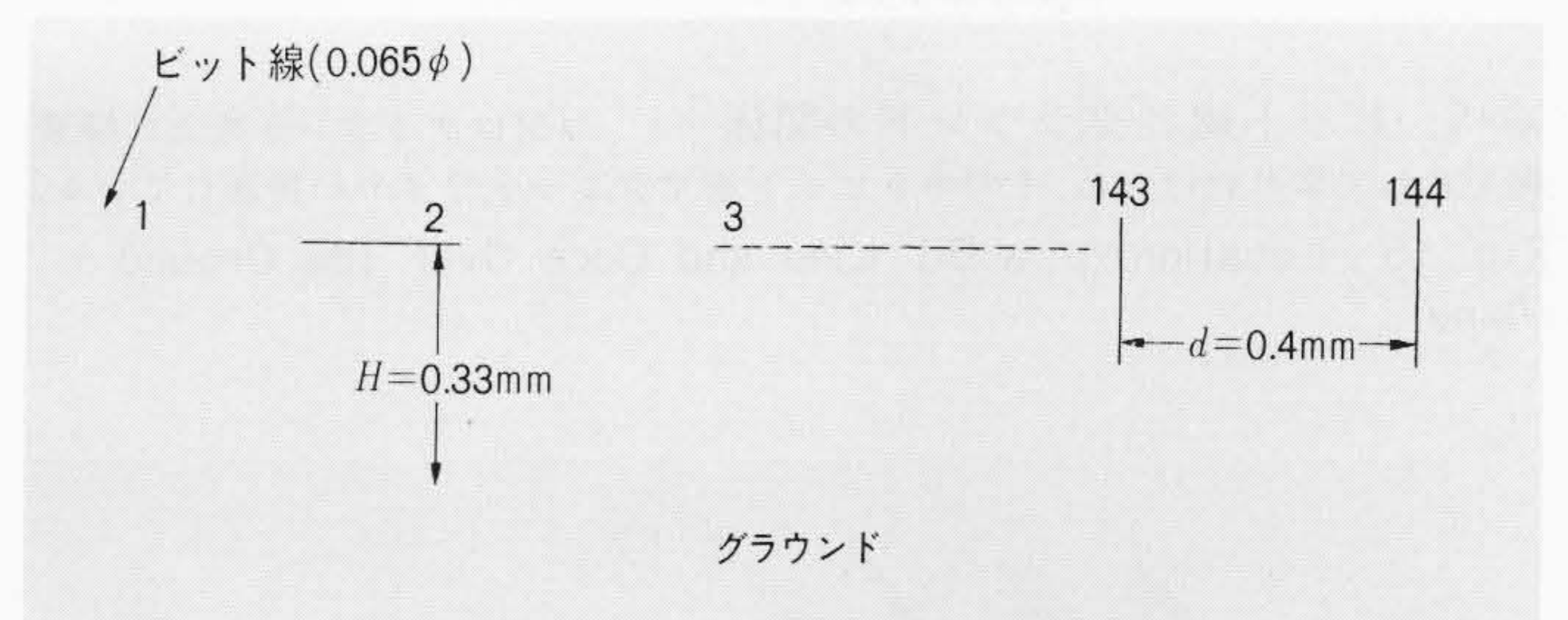


図14 ビット系多導線系の断面図 グラウンドに対するビットラインの配置状況を示した。
Fig. 14 Cross Section of Multi-bitlines of Memory

隣接選択ビット数を増したときに注目するデジタル電流波形の変化を示したもので、逆方向電流は図12(c)のようにほとんど影響がない。しかし同一方向のデジタル電流は干渉効果がきいて、隣接ビット選択数 n を増加すると I_{dw} 立上り部の波形が変化する。 $n=1, 16, 32, 48, 144$ について図12(b)に示したが、 $n=16\sim 32$ まで変化があるがそれ以上はきかない。

5 デジタル電流の相互干渉

4.で述べた多導線系の相互干渉については古くから多くの解析例がある。

図13が解析の対象となる本メモリ装置の多導線系で、その一断面は図14のようにになっている。このうちで1本のビット線に注目すると図15のようにグラウンド板上にコアが固定されビット用マグネットワイヤが貫通している。

電流入力端からのデジタル線に沿った距離を x とすると第 r 番めのデジタル線の電流 $I_r(x, t)$ 、電圧 $V_r(x, t)$ は初期条件 $I_r(0, t)$ 、 $V_r(0, t)$ を与えると求めることができる。そのためには、まず初期条件をフーリエ変換して $I_r(0, \omega)$ 、 $V_r(0, \omega)$ を求め、系のインピーダンスマトリックス $[Z]$ とアドミッタンスマトリックス $[Y]$ を介して次の式を解けばよい。

$$-\frac{d}{dx}(I) = (Y)(V) \dots\dots\dots(1)$$

$$-\frac{d}{dx}(V) = (Z)(I) \dots\dots\dots(2)$$

これはL.A.Pipesの解⁽²⁾を利用すれば、

$$I(x, \omega) = \sum_{r=1}^n [F(m_r)] (I(0, \omega)) \cosh(\sqrt{m_r} x) / D'(m_r) - \sum_{r=1}^n [F(m_r)] [Y] (V(0, \omega)) \sinh(\sqrt{m_r} x) / D'(m_r) \sqrt{m_r} \dots (3)$$

となり、 $I(x, \omega)$ を求めることができる。

ただし、 $[f(m)] = [mU - [Y][Z]]$ で $[f(m)]$ を定義すると(U はユニットマトリックス)、 m_r は

$D(m_r) = [m_r U - [Y][Z]] = 0$ の解、

すなわち系の固有周波数である。式中の $F(m_r)$ は $[f(m)]^{-1}$

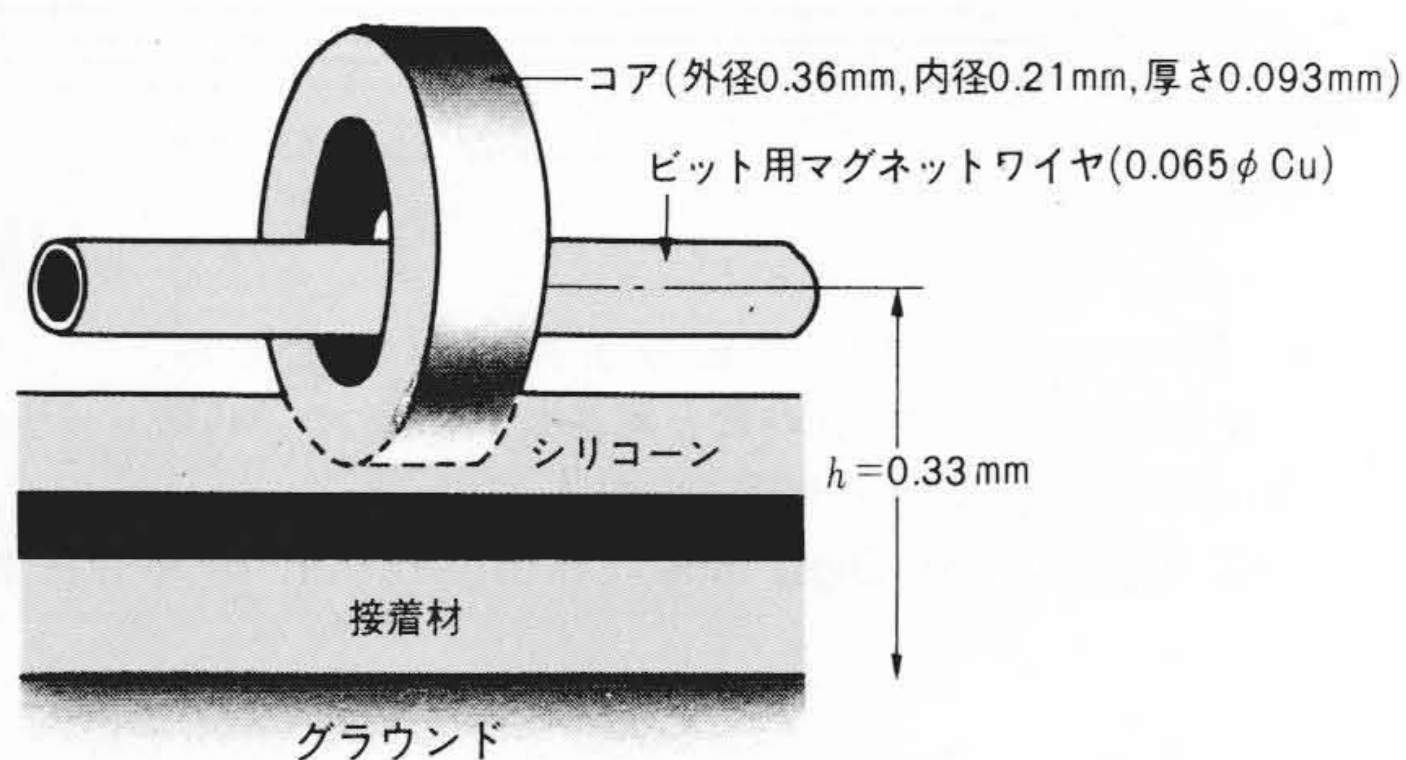


図15 ビット線とグラウンドの関係 コアはグラウンド板上に接着剤を介して取り付けられ、その中をビット用マグネットワイヤが貫通している。

Fig. 15 Location of a Bit Line and Core Over the Ground Plane

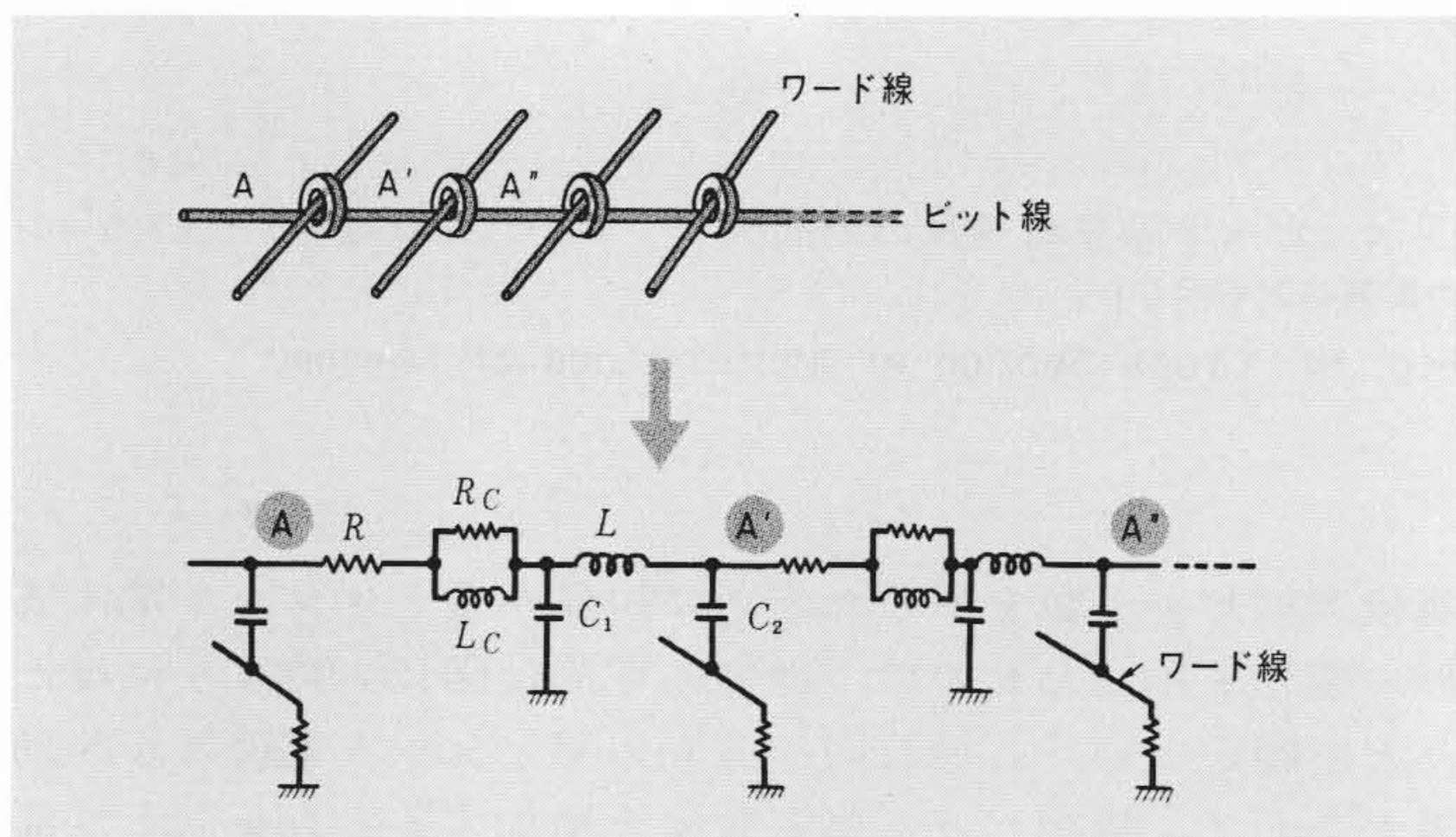


図16 ビット系の等価回路 コアとビットラインとワードラインから成る1本のビットラインの等価回路を示している。

Fig. 16 Equivalent Circuit of a Bit Line

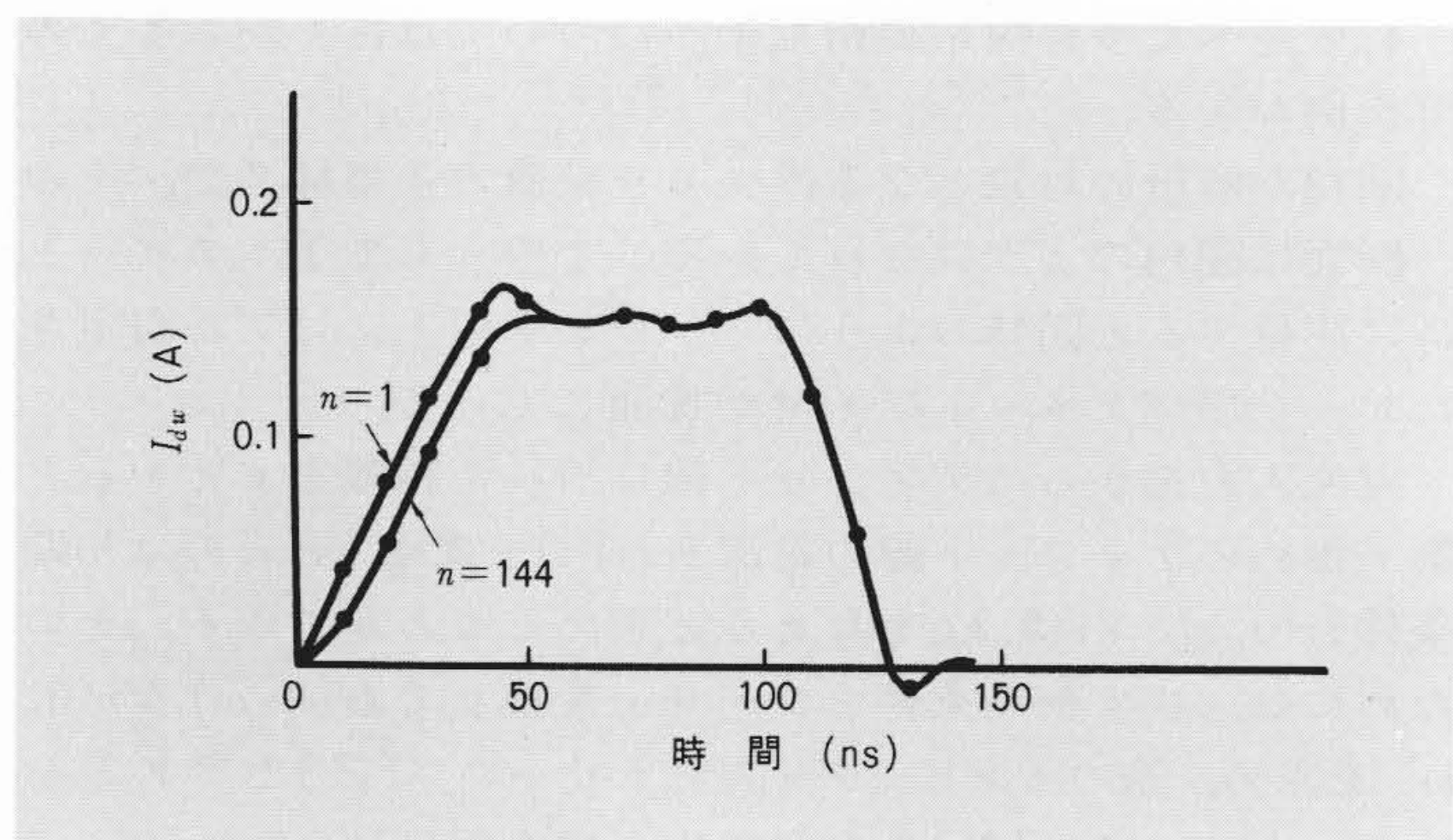


図17 同時選択によるとディジット電流波形変化の計算結果 同時に多数のビットを選択したとき図12で示したようにディジット電流は相互干渉によって変化する。本図はそのコンピュータシミュレーション計算結果を示す。

Fig. 17 Simulation of the Effect of Multi-digit Selection Upon the Digit Current waveform

$= [F(m)]/D(m)$ で定義される $f(m)$ のアジョイントマトリックスである。解を求めるうえで最も問題なのは固有値の計算で、144ディジットラインに対しては144次の複素方程式の解を求めることになる。実際には近似的な解を求めたほうが現実的である。

具体的に解析するには系の $[Z]$ と $[Y]$ を定める必要がある。

図16の等価回路に基づいて $[Z]$ 、 $[Y]$ マトリックスを求めると、

$$[Z] = (R + N_c \frac{j\omega L_c R_c}{R_c + j\omega L_c}) U + j\omega [L]$$

$$[Y] = \frac{j\omega \epsilon_s \mu_s}{9 \times 10^{16}} [L^{-1}] + j\omega C_x N_c U$$

ここで、 $R(0.065\phi$ の導線抵抗) $= 5.1(\Omega/m)$

$$L_{ii} = \mu_s 6 \times 10^{-7} (H/m)$$

$$L_{ij} = 2 \times 10^{-7} \mu_s \ln \left[\frac{(i-j)^2 d^2 + 4h^2}{|i-j|d} \right] (H/m) i \neq j$$

$$h = 3.3 \times 10^{-4} (m)$$

$$d = 4 \times 10^{-4} (m)$$

$$r = 3.25 \times 10^{-5} m \text{ (導線半径)}$$

$$N_c = 4,000 \text{ 個/m (単位長あたりのコア数)}$$

$$L_c = 10^{-9} H/\text{個 ("1" 状態コア)}$$

$$R_c = 0.1 \Omega/\text{個 ("1" 状態コア)}$$

$$C_x = 2.5 \times 10^{-14} F/\text{個 (ディジットとワードの線間容量/クロスポイント)}$$

である。以上を入力してコンピュータ計算を行なった結果は図17に示すとおりである。実測波形図12との一致は必ずしもよくないが定性的には干渉効果の重要なことがわかる。近似度を高めるためにはグラウンドの表皮効果や折返し基板の効果を取り込む必要がある。

6 結 言

大容量(65kバイト)で高速(アクセス150ns, サイクル350ns)の2D-2線式コアメモリの初期特性を明らかにし、次の結果を得た。

- (1) 15ミルLi系コアは低電流($I_{dw} = 150mA$)、高出力(UV_1 typical = 58mV)で、かつ書込みパルス70nsで動作した。
- (2) コアアレーはコアを0.25mmピッチで配列し、きわめて高密度な実装になった。
- (3) メモリ装置の実装はアレーと回路の接続に布線のないモジュラー構造にした結果、駆動ならびにセンス線長の大幅短縮ができた。
- (4) その結果、低電圧駆動ならびにディジットノイズの回復時間の短縮が可能になった。
- (5) 多数ビット(max 144ビット)を同時駆動したとき、ディジット電流間の干渉によって若干の書込み不足が発生しS/Nを損じた。本件に関してはさらに高速化するときには改良の余地がある。

終わりに本研究にご指導をいただいた三喜工業株式会社二見取締役役に深謝の意を表する。

参考文献

- (1) G.E. Werner & R.M. Whalen, "A 375 nanosecond Main Memory System Utilizing 7 mil cores", Proceedings, Fall joint Computer Conference (1965)
- (2) L.A. Pipes, "Steady State Analysis of Multi-conductor Transmission Lines", Journal of Applied physics 12, 782~799 (November 1941)