

電子式卓上計算機用高耐压MOS LSI

High Breakdown Voltage MOS LSI for Desk-top Calculator

Usual desk-top calculators consist of a key board, a display, a display driver, and a logic circuit. For display units, discharge indicating tubes (Nixie tube, etc.), fluorescent indicating tubes (Digitron, etc.), LED (Light Emitting Diode) and LCD (Liquid Crystal Display) are in use. Because of their high driving voltage, the former two indicators pose difficulty in using MOS device for driving, which is normally used for logic circuits. New MOS' LSI's which have recently been developed include a high voltage display driver MOS together with a logic circuit fitted on the same chip. This high voltage MOS device is of the P-channel type, Enhancement mode and has an aluminium gate, double diffused drain construction. The deeper region of its drain is formed by the ion impurity concentration, while the shallower P⁺ region is made by thermal diffusion only. This double drain construction and its compatibility with low voltage P-channel MOS have realized a display driver with high breakdown voltage more than 55V in MOS LSI's.

川越紘人* *Hiroto Kawagoe*
坂本 隆* *Takashi Sakamoto*
辻 伸浩* *Nobuhiro Tsuji*

1 緒 言

Metal-Oxide Semiconductor (MOS) 素子を用いた集積回路 (IC) は、(1)高入力インピーダンス、(2)低消費電力、(3)簡単な製造工程など優れた特徴によって、コンピュータ用メモリや電子式卓上計算機 (以下、電卓と略す) 用論理素子として最近著しい発展を遂げてきた。特に電卓用素子としては単に演算素子のみならず、入出力インタフェース回路にも MOS 素子で実現し、更にこれらをできるだけ少数個の大規模集積回路 (LSI) に集積しようという動きにある。本稿で紹介する高耐压 MOS LSI は、電卓の代表的表示素子であるけい光表示管の駆動部を MOS 技術によって実現したものであって、単に表示管駆動に必要な高耐压 MOS 素子のみならず、駆動部に共通な論理演算用の MOS 素子を同一チップ上に集積した世界でもユニークな製品である。

2 高耐压 MOS 素子の用途

本稿で紹介する高耐压 MOS 素子は電卓用として開発されたものである。

2.1 電卓の構成

図 1 は、表示式電卓の構成を示すものである。論理演算部は同一信号レベルの処理であって、高集積化が比較的容易である。表示部は表示素子の種類によって、いずれも論理部内の信号とは異なるレベルの信号並びに電源を必要とする。従って、表示駆動回路を論理部と同一チップ上に集積することは比較的困難である。

2.2 電卓用表示素子の種類

表 1 は現在使用されている電卓用表示素子の種類と駆動回路に必要な電気的特性を示すものである。論理部内信号レベルは 6~14V、電流数 10μA であるので駆動回路は論理部と

表 1 電卓用表示素子の種類及び駆動回路に必要な電気特性
従来の MOS 素子は、ドレン耐圧 20~30V、ドレン電流 10mA max 程度であるから、いずれの表示素子を用いる場合でもなんらかの駆動回路が必要である。

Table 1 Display Elements for Desk-Top Calculator and Electrical Characteristics for Driver Circuit

特 性		駆動回路に必要な電気特性
項 目		
放 電 表 示 管		耐圧 80V 以上
け い 光 表 示 管		耐圧 55V 以上
発 光 ダイ オード		電流 80mA 以上
液 晶	D S M	耐圧 30V 以上
	F E M	耐圧 20V 以上

注：D S M=Dynamic Scattering Mode
F E M=Field Effect Mode

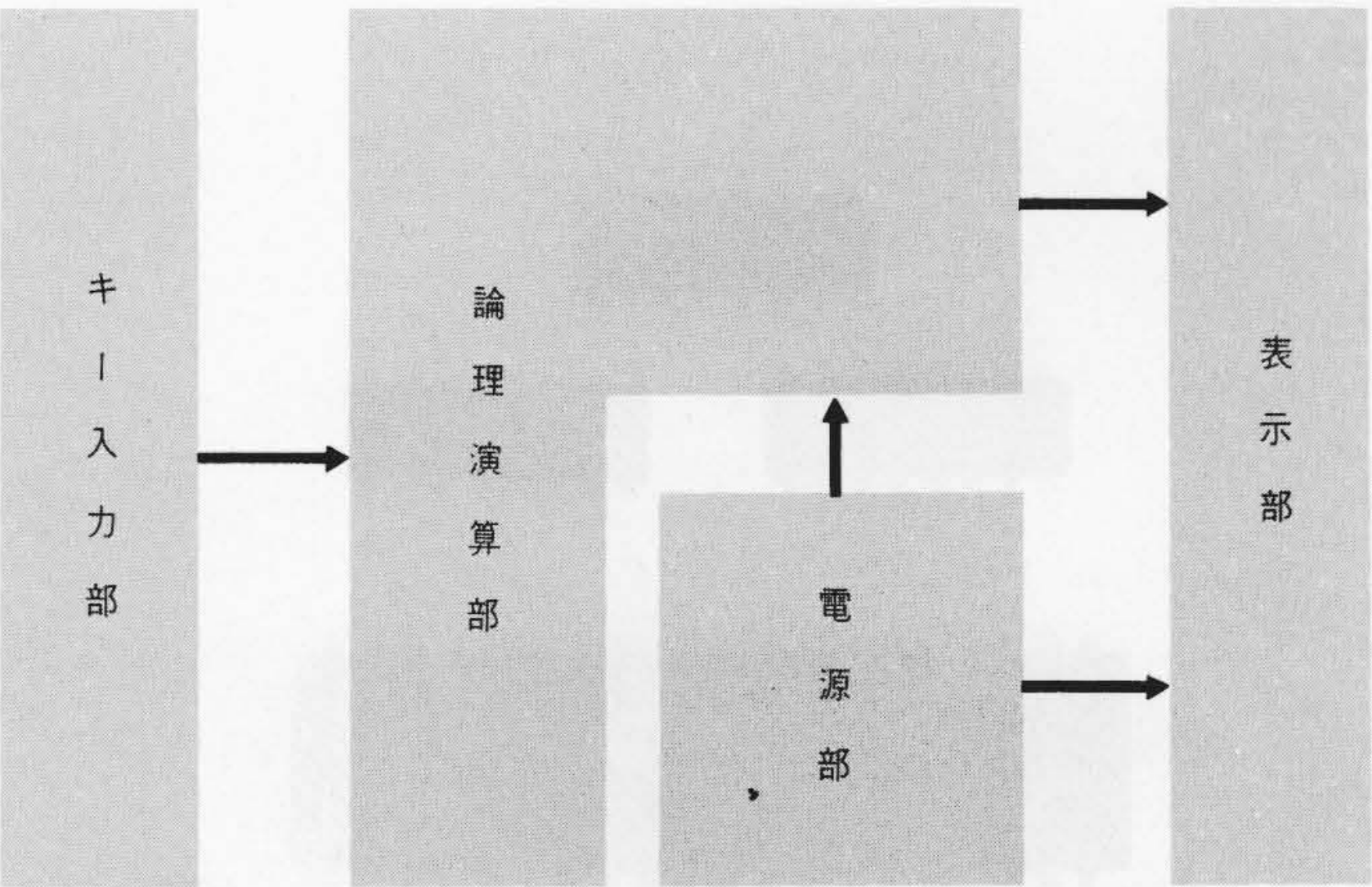


図 1 表示式電卓の構成 表示式電卓の構成は、キー入力部、論理演算部、電源部及び表示部から成り、論理演算部が MOS LSI で作られる。

Fig. 1 Block Diagram of Desk-Top Calculator

* 日立製作所半導体事業部

は異質の素子を必要とするのが通例である。我々はこれらの表示素子のうち、現在最も需要の多いけい光表示管用を駆動できる高耐圧MOS素子を、また更にこれを論理部のうち表示に共通に必要な論理部分と同一チップ上に集積して、汎用性を持たせた多機能素子的なLSIを開発した。

3 高耐圧MOS LSIの製品系列

3.1 製品系列

表2は、今回製品化した高耐圧MOS LSIの品種系列及び機能を示すものである。また図2は同LSIの完成品写真である。HD32610Pは、12けた表示電卓のディジットロスを直接駆動するMOS LSIである。13個のディジット出力と8個のセグメント出力及び小数点などの高耐圧出力を内蔵している。

HD32640PとHD32680Pは、9個の出力端子を持つセグメントデコーダ回路である。両者の相違は、前者が直列信号入力用であり、後者が並列信号入力用である点にある。また、HD32639Pは、ドレン耐圧55V、出力電流10mAの機能をもつ6個の高耐圧MOSを内蔵したICで、ディジットドライバとして開発したものである。

以上述べた表示管駆動用高耐圧MOS LSIは、論理演算を行なうLSIからのデータ信号を小信号レベルで処理する回路と表示管を直接駆動する大電圧レベルで動作する回路か

表2 高耐圧MOS LSI一覧表 今回開発した高耐圧MOS LSIは、けい光表示管を直接駆動できる電気的特性を有していることが分かる。

Table 2 Table of High Breakdown Voltage MOS LSI

品 種 名	機 能	論 理 部 使用電圧	出 力 MOST耐圧	出力MOST電流		備 考
				セグメント	ディジット	
HD32610P	8セグメント デコーダ ドライバ+ディジット ドライバ	$V_{DD} = -9V$	-55V	5mA	10mA	12けた 表示用
HD32640P	9セグメント デコーダ ドライバ(直列入力形)	$V_{GG} = -14V$		5mA	—	
HD32680P	9セグメント デコーダ ドライバ(並列入力形)			5mA	—	
HD32639P	6 MOSTs	—		—	10mA	

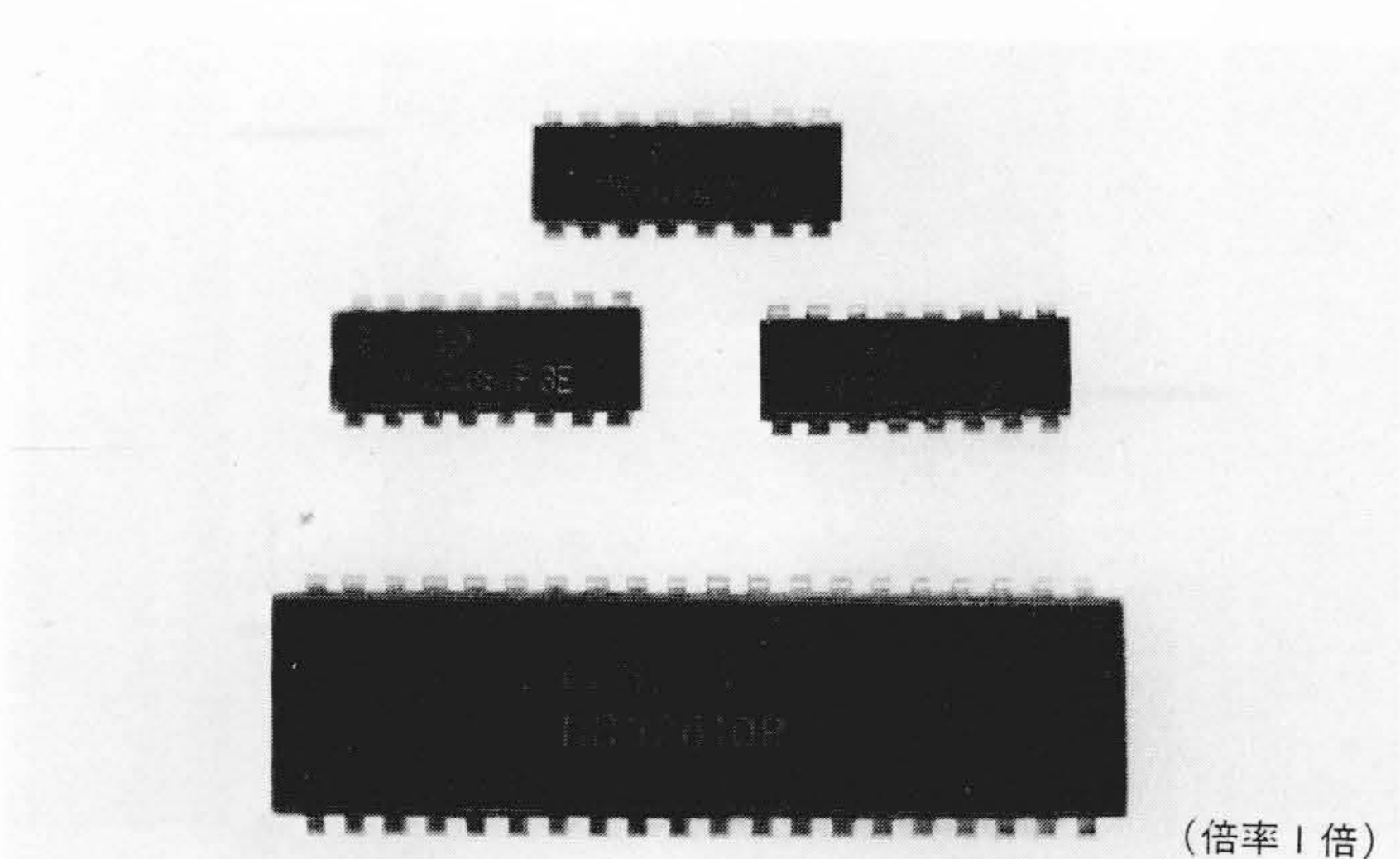


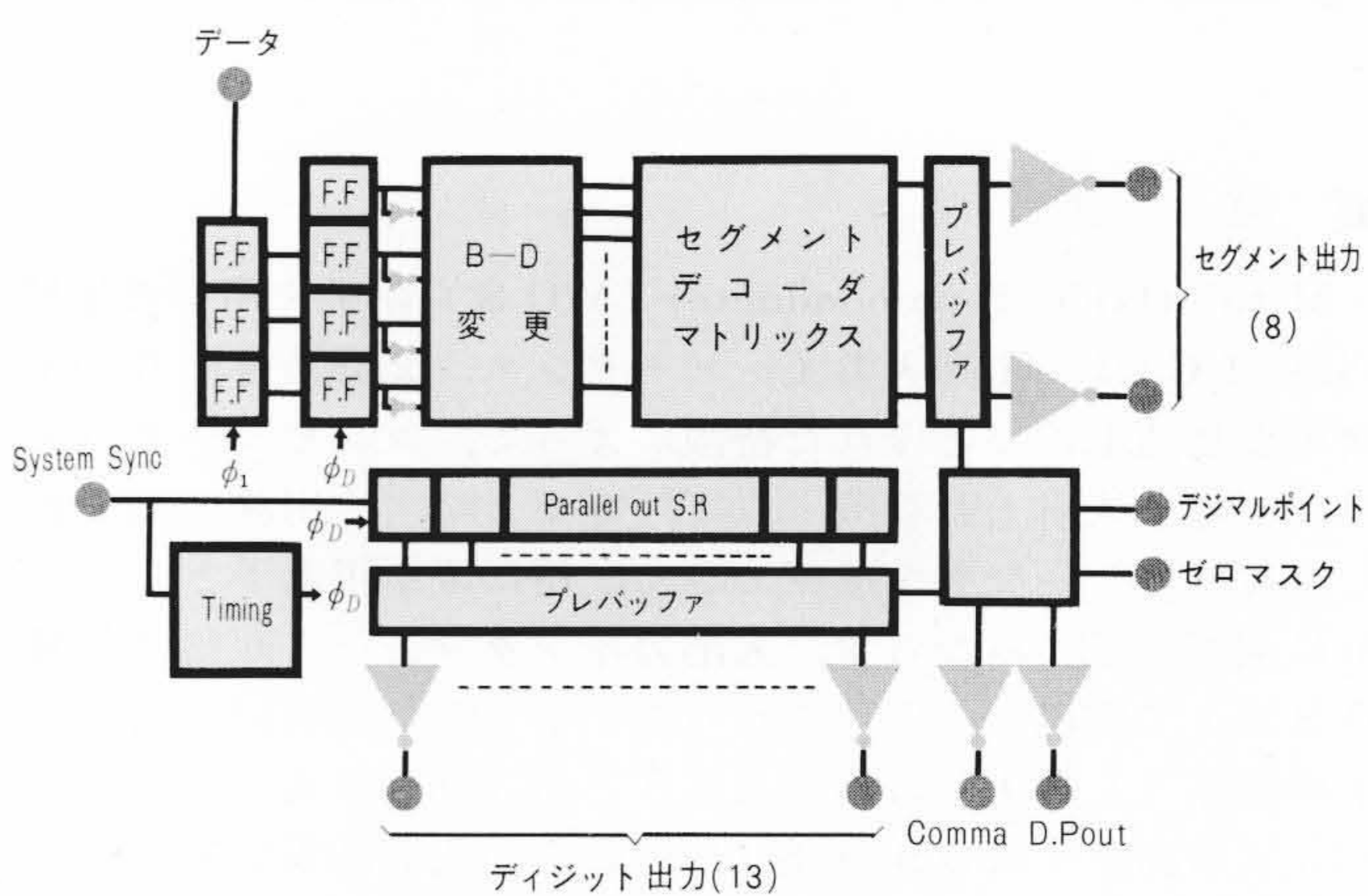
図2 高耐圧MOS LSI HD32639Pは、高耐圧MOSトランジスタ6個入ったもの、HD32640P及びHD32680Pは、表示素子のセグメントデコーダと高耐圧MOSトランジスタの入ったもの、いちばん大きいHD32610Pは更に複雑な論理部と高耐圧MOSトランジスタが入ったものである。

Fig. 2 High Breakdown Voltage MOS LSI in Plastic Package

ら成り立っている。そのため、従来のLSIと異なり小信号レベル部と大信号レベル部をオンチップ上に実現した点で多機能集積回路といえる。

図3は、HD32610Pの機能ブロック図を示すものである。同図において太わくで囲まれた部分は、 $V_{DD} = -9V$ 、 $V_{GG} = -14V$ で動作する回路であり、ディジット出力、セグメント出力などの出力回路は、 $V_L = -55V$ 以内の動作を行なう。なおLSIの電源電圧は、HD3200系及びHD3500系MOS LSIと併用することを考え、前記の値を標準値としている。また、ディジット出力電流は10mA以上、セグメント出力電流は5mA以上としたことにより、一般のけい光表示管に使用可能となった。

図4は、HD32610Pのチップ写真を示すものである。本LSIは、前述したように大信号レベル部と小信号レベル部がオンチップ上に形成されているため、同図に示すようにアース電位のAl配線で両素子領域を分離し、互いの干渉がないように設計上の考慮が払われている。



注：F.F.=フリップフロップ D.P.=小 数 点
B-D=2進法-10進法変更 Timing=タイミングクロック形成
Comma=コ ン マ Parallel out S.R.=並列出力シフトレジスタ

図3 HD32610P機能ブロック図 太わく部分は、小信号レベルで動作する普通のMOS LSI部で出力バッファ部分は高耐圧MOS素子である。

Fig. 3 Functional Block Diagram of HD32610P

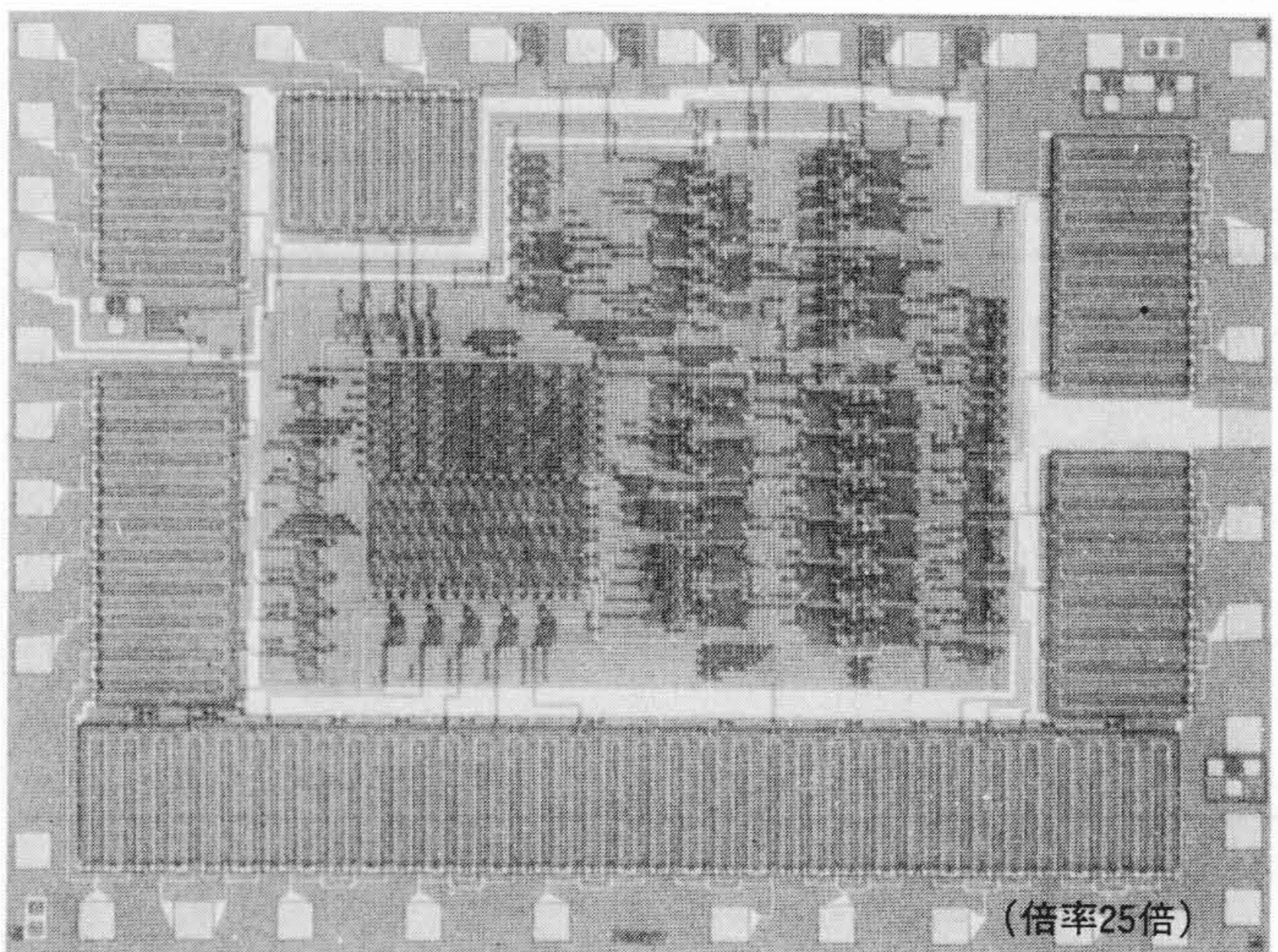


図4 HD32610Pチップの外観 幅の広いAl配線で囲まれた部分が小信号レベルで動作する論理演算部であり、外側は高耐圧MOS素子部である。

Fig. 4 HD32610P Chip

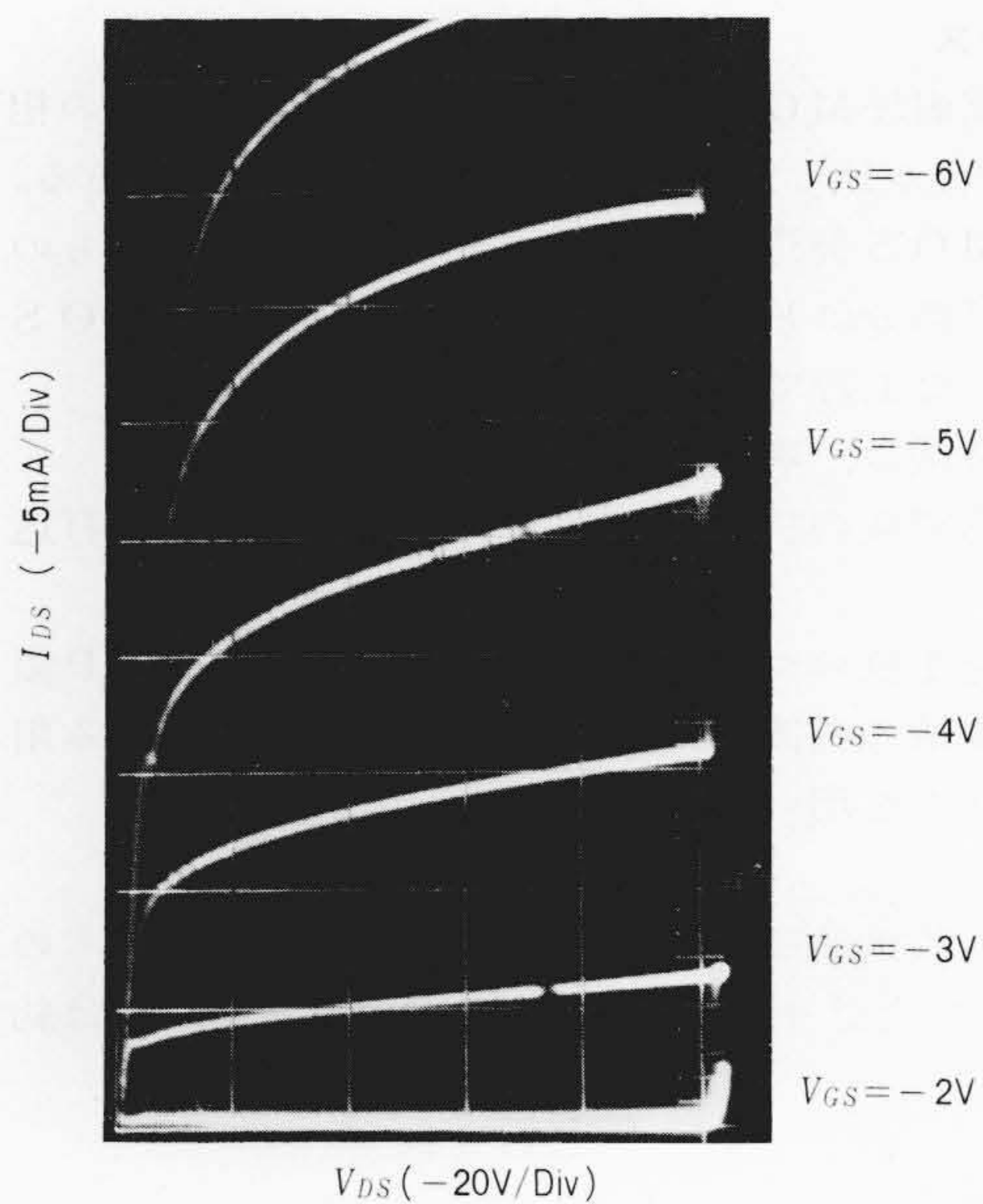


図5 HD32639Pの静特性 ドレン接合耐圧が約100Vで、且つ正常なMOS特性をもっていることが分かる。

Fig. 5 MOS Characteristics of HD32639P

3.2 電気的特性

図5は、HD32639Pの静特性を示すものである。同図よりドレン耐圧が55V以上あること及び正常なMOS素子の特性をもつことが明らかである。

図6は、HD32610Pの電源電圧動作範囲を示すものである。クロック幅cpw1 = 1 μ s, cpw2 = 2 μ sのとき、 $T_a = 25^\circ\text{C}$ で V_{GG} の下限は約10.5V、 V_{DD} の下限は5Vである。また、 75°C のとき V_{GG} の下限は約11V、 V_{DD} は5.2V程度になり、使用条件を十分満足している。

図7は、HD32610Pのディジット出力端子の V_{OH} を示すもので、10mAの電流を流した場合 25°C 、 75°C いずれの場合も2V以下であり使用上問題ないことは明らかである。

4 高耐圧MOS素子の設計と試作

4.1 MOS素子の高耐圧化の原理

従来のMOS素子のドレン接合耐圧は、30~40Vで普通のPN接合耐圧に比較して非常に低い値である。この理由は、次のように考えることができる。Pチャネル形エンハンスメントモードMOS素子の断面構造は、図8に示すようにゲート電極とソース及びドレン接合の間に重なり部分がある。これは、ゲート電極にしきい値電圧 V_{th} 以上の負の電圧を印加した場合、ゲート電極直下にチャネルが発生し、ドレン電極とソース電極との間の電流路となるようにするためである。そのため、ゲート電極をアース電位にして、ドレン電極に負の電圧を印加するとゲート電極とドレン接合の重なり部近傍に電界の集中が起こり空乏層の伸びが制限されるため、PN接合全体に降伏現象が起こるより前にこの部分が降伏特性を示すことになる。この場合、見かけ上のドレン接合耐圧は、ゲート酸化膜に比例し750Åの SiO_2 膜で約30V、1,500Åで35~40V程度となる。

4.2 各種の高耐圧MOS構造

高耐圧MOS素子について現在までに数種の構造について発表がなされた。その代表的なものは、表3に示すとおりである。オフセットゲート構造と、スタックドゲート構造は、

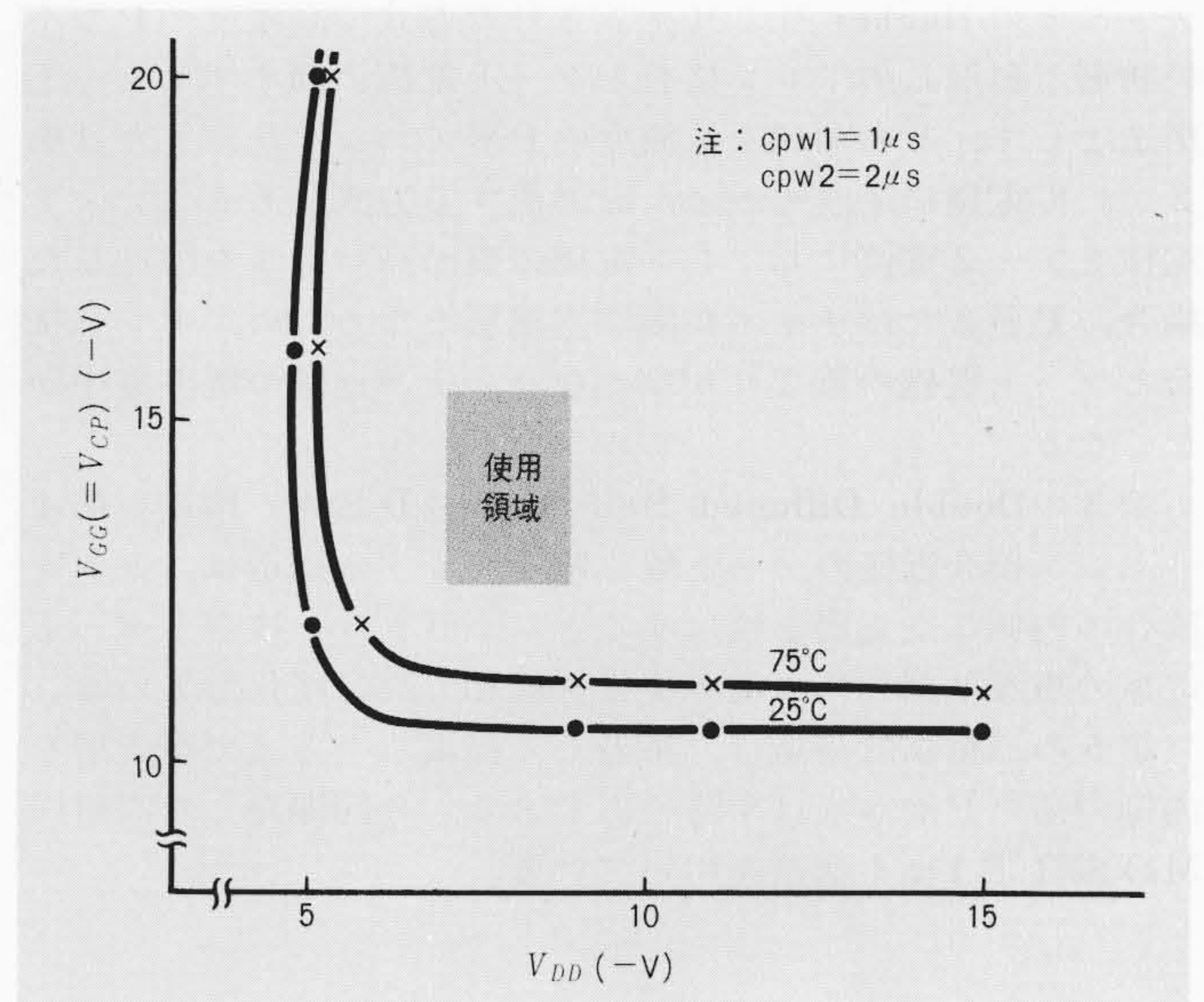


図6 HD32610P電源動作領域 周囲温度を 75°C にした場合でも $V_{DD\min}$ は6V以下で $V_{GG\min}$ は12V以下となり、十分使用条件を満足することが分かる。

Fig. 16 HD32610P Operation Region for Power Supply Voltage

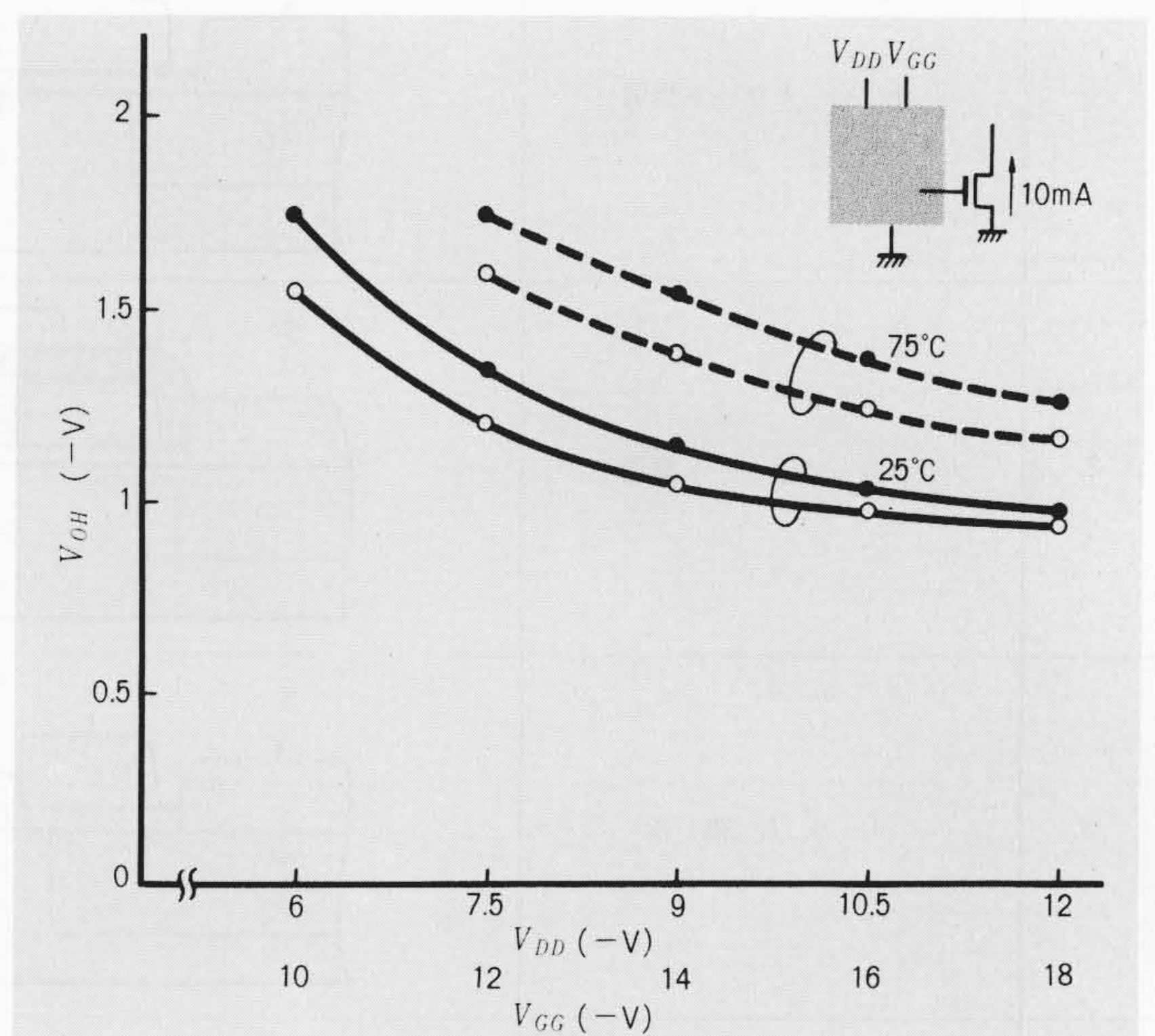


図7 HD32610P出力端子 V_{OH} の電源電圧依存性 出力MOSに10mAの電流を流した場合、 V_{OH} は電源電圧を下げると高くなる。また、周囲温度を 75°C にしても2V以下のレベルになることが分かる。

Fig. 7 Output High Level V_{OH} vs V_{DD} , V_{GG} for HD32610P

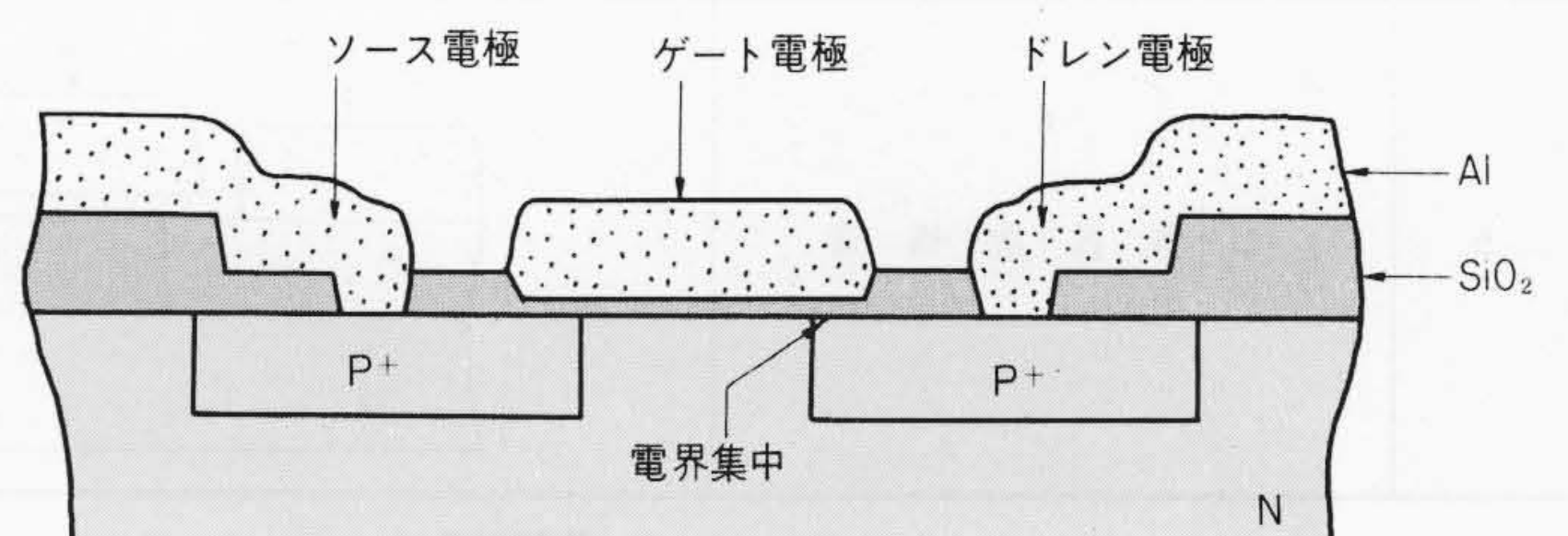


図8 従来のMOS素子断面構造 従来のMOS素子構造では、ドレン接合のP層とゲート電極に重なり部分があるため、その領域で電界の集中が起こる。

Fig. 8 Crosssection of Conventional MOS

アメリカの Hughes 社より発表された方式で高濃度の P 型不純物層 (P⁺層) のドレン接合とゲート電極の間をオフセット構造として、その領域を低濃度の P 層でつなぐか、または第 2 ゲート電極によりチャンネルを形成する方式である。ゲート電極をアース電位にしドレン電極に負の高い電圧を印加した場合、P 層またはチャンネル層が空乏層となるため、ドレン接合とゲート電極の重なりがなくなり、その近傍の電界集中がなくなる。

第 3 の Double Diffused Self Align (DSA) 構造と第 4 のドレン接合近傍のゲート酸化膜を厚くする構造は、ドレン接合の内側に空乏層を延ばすことによりドレン接合とゲート電極の重なり部近傍の電界集中を緩和し高耐圧化している。

第 5 の二重拡散構造は、筆者らの提案した方式で空乏層を内側の薄い P 層へ延ばす考え方である。今回開発した高耐圧 MOS LSI は本構造を用いている。

4.3 製造プロセス

今回開発した高耐圧 MOS 構造と従来の MOS 構造との相違点は、ドレン接合が P⁺と P の 2 層構造であるか否かにある。図 9 は、高耐圧 MOS 製造工程のフローチャートを示すものである。濃い網目部分は P 層を形成するために従来の MOS 製造工程に追加した工程である。

本プロセスの特徴は、次のとおりである。

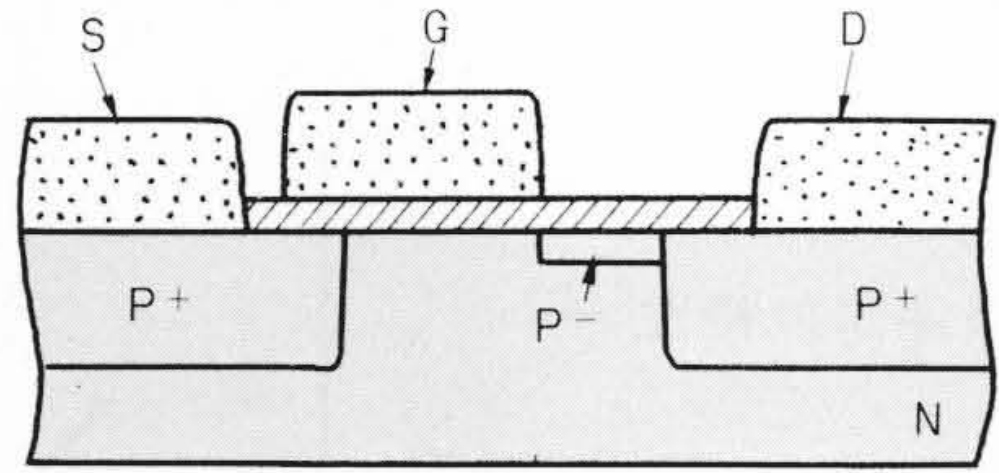
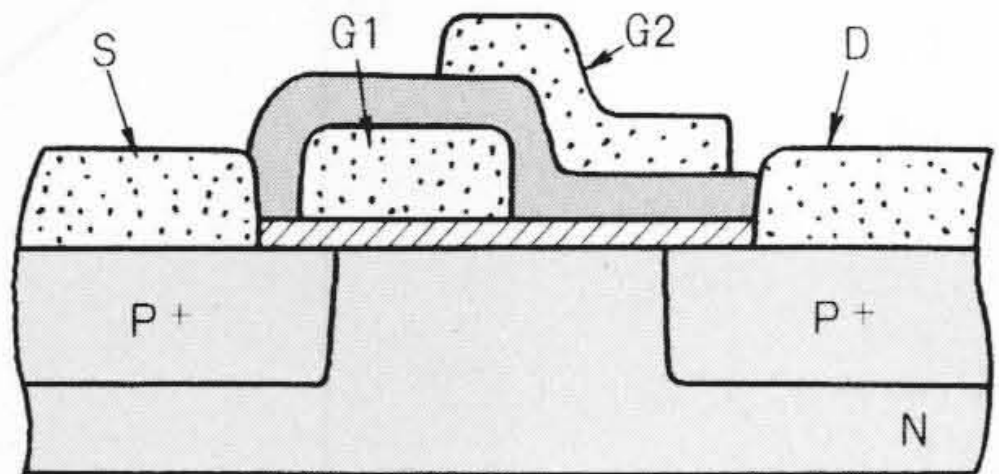
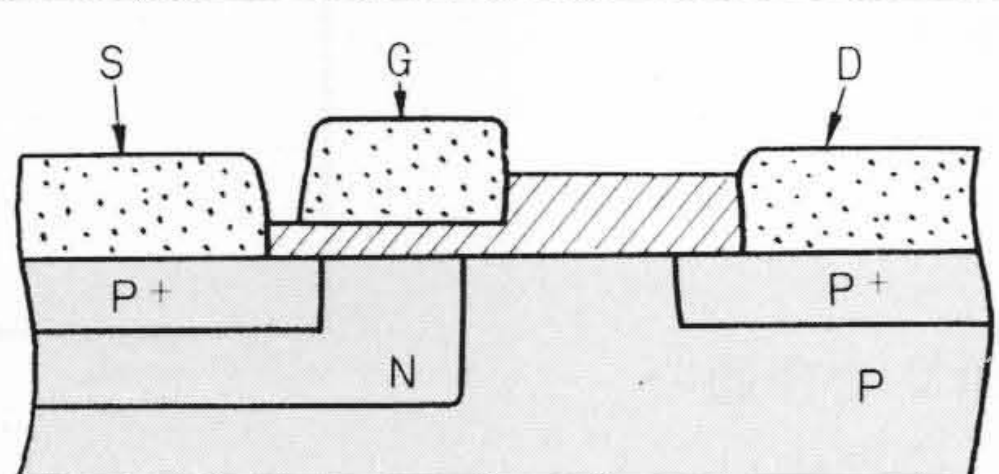
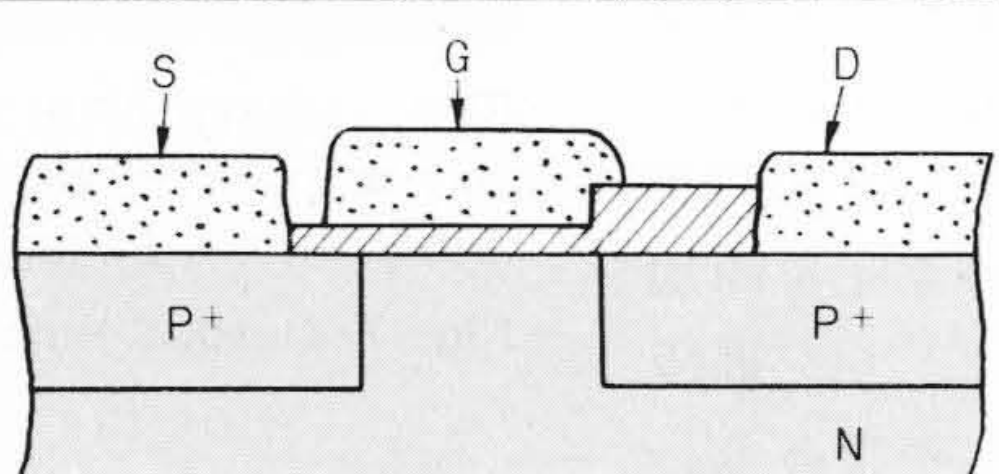
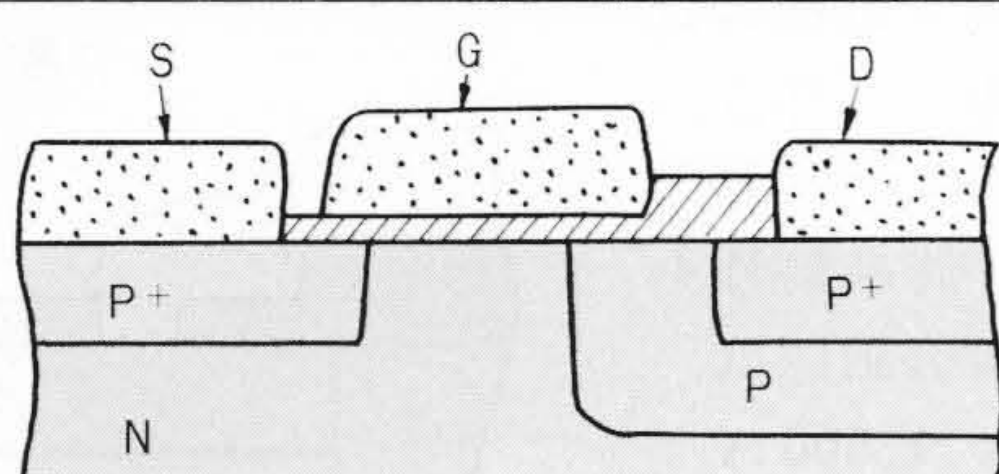
- (1) P 層の不純物濃度の制御を容易にするため、イオン打込み技術を用いた。
- (2) チャンネル長を 1 枚のマスクで決めるため、ドレンの P 領域、ソースの P⁺領域の位置決め用及び P 層のイオン打込み用として二枚のマスクを用いたなど。

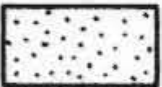
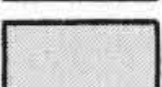
4.4 設 計

図 10 は、二重拡散構造高耐圧 MOS の平面写真を示すものである。本素子の設計チャンネル長は 15 μ 、チャンネル幅は約

表 3 各種の高耐圧 MOS 構造 いずれの高耐圧 MOS 構造においても、ドレンの P⁺層とゲート電極の重なり部分における電界集中を緩和するように構造上の工夫がなされている。

Table 3 High Breakdown Voltage MOS Structure

No.	方 式	断 面 構 造	備 考
1.	オフセットゲート構造		イオン打込み技術を使用。
2.	スタックドゲート構造		二つのゲート電極をもつ。
3.	D S A 構 造		基板をドレン領域とする。
4.	ドレン側のゲート酸化膜を厚くした構造		深い P+ 接合を作ることにより空乏層を接合の内側に延ばす。
5.	二 重 拡 散 構 造		深い P 接合をドレン接合とすることにより、空乏層を接合の内側に延ばす。

注: S=ソース電極,  Al電 極
D=ドレン電極,  Si酸 化 膜
G=ゲート電極,  Si基 板

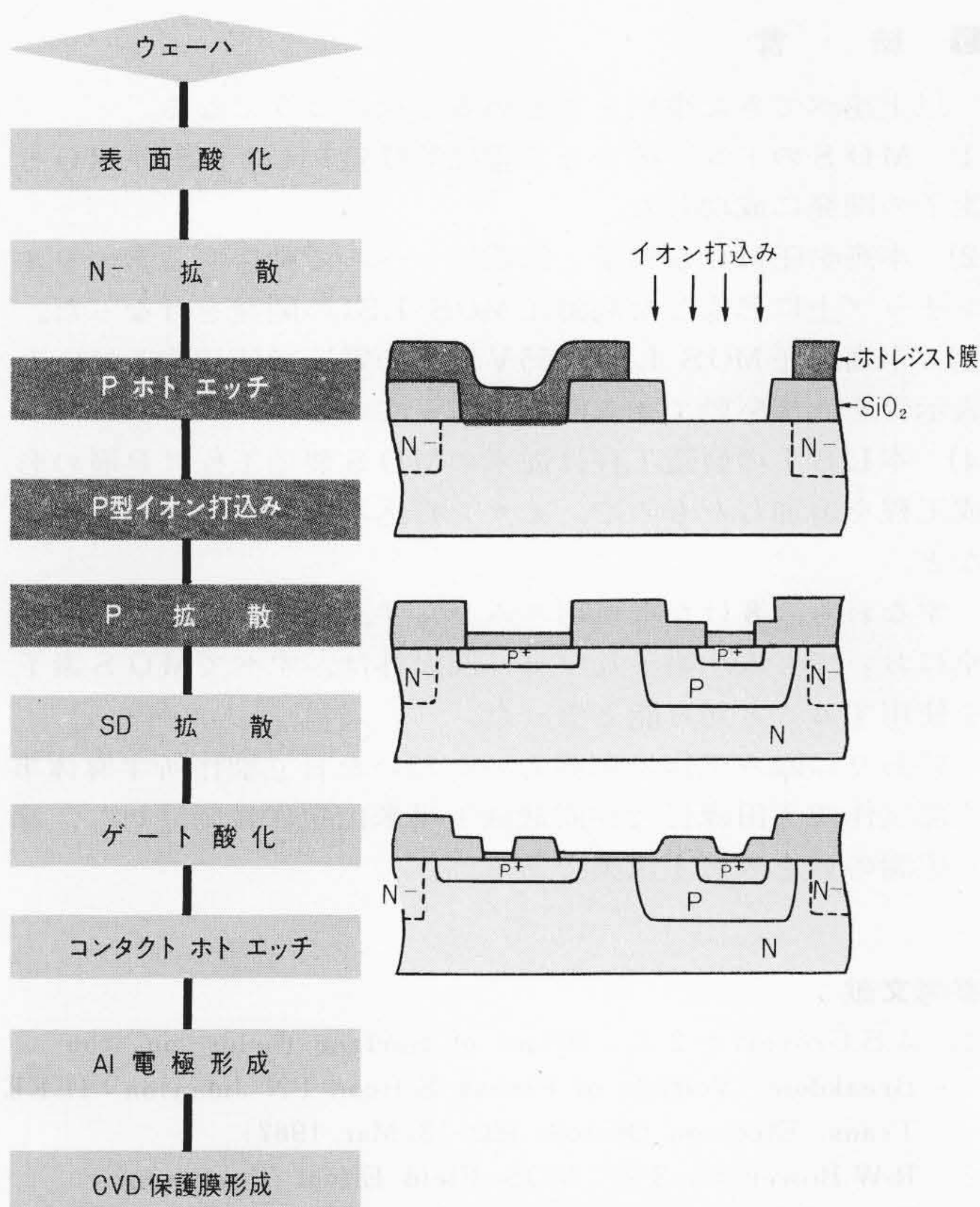
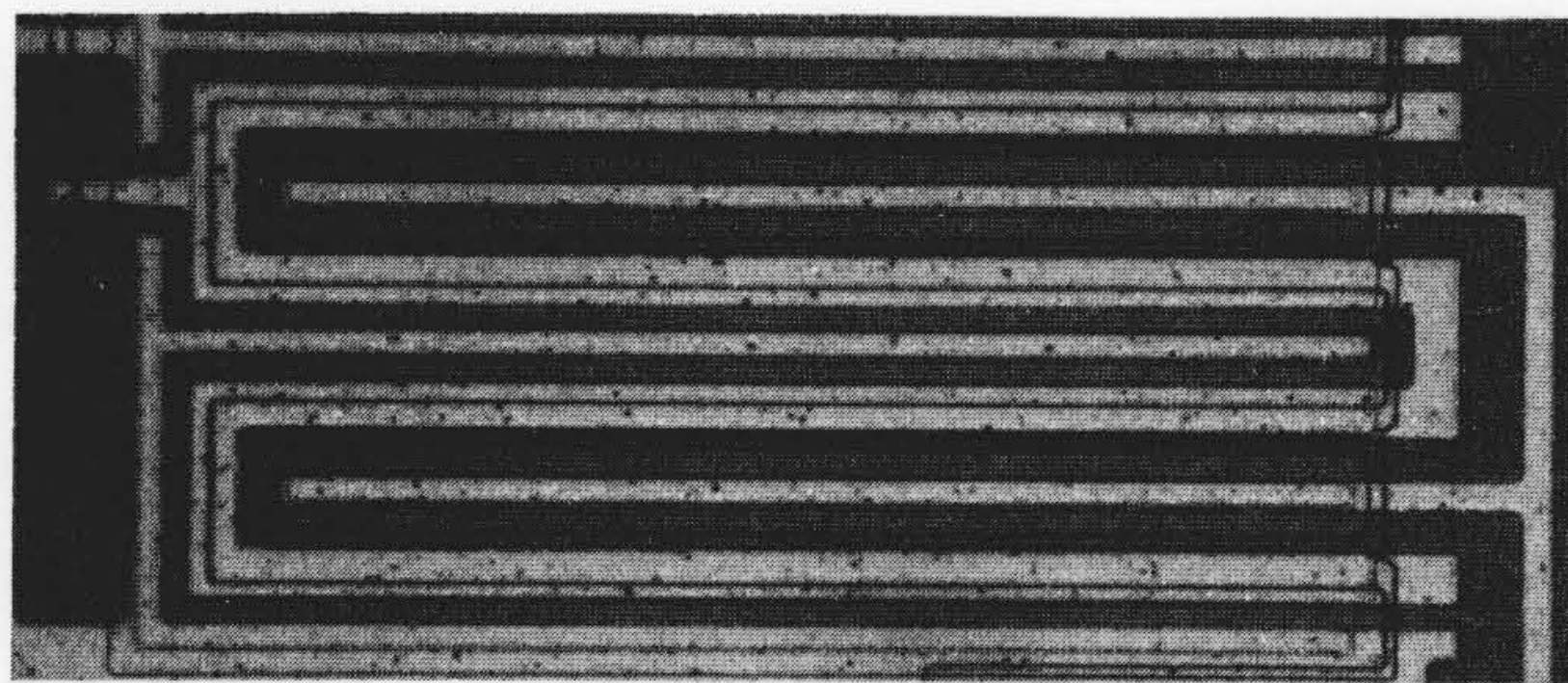


図9 高耐圧MOS製造工程 高耐圧MOSの製造工程を示したもので、濃い網目部分が新しく追加された工程である。

Fig. 9 Process Flow Chart of High Breakdown Voltage MOS



注：倍率=120倍

図10 二重拡散構造高耐圧MOS 二重拡散構造高耐圧MOSの平面写真を示したもので、幅の広いAl電極の下がゲート電極で、その左側がソース電極、右側がドレン電極である。

Fig. 10 Double Diffused High Breakdown Voltage MOS

4,800 μ である。また、図11は本素子の拡散層の断面写真を示すものである。同図から浅いソース接合と深いドレン接合ができていることが分かる。

本素子構造を用いた場合の高耐圧化の条件は、次のとおりである。

- (1) 接合耐圧が目標値より高いこと。
- (2) 高耐圧印加時に空乏層がドレン接合の内部に十分広がりドレン接合とゲート電極の重なり部における電界集中がなくなること。
- (3) パンチスルーしないこと。

一方、高耐圧MOS素子を含むMOS LSIの設計にあたり最も留意した点は、小信号レベル動作部と大信号レベル部

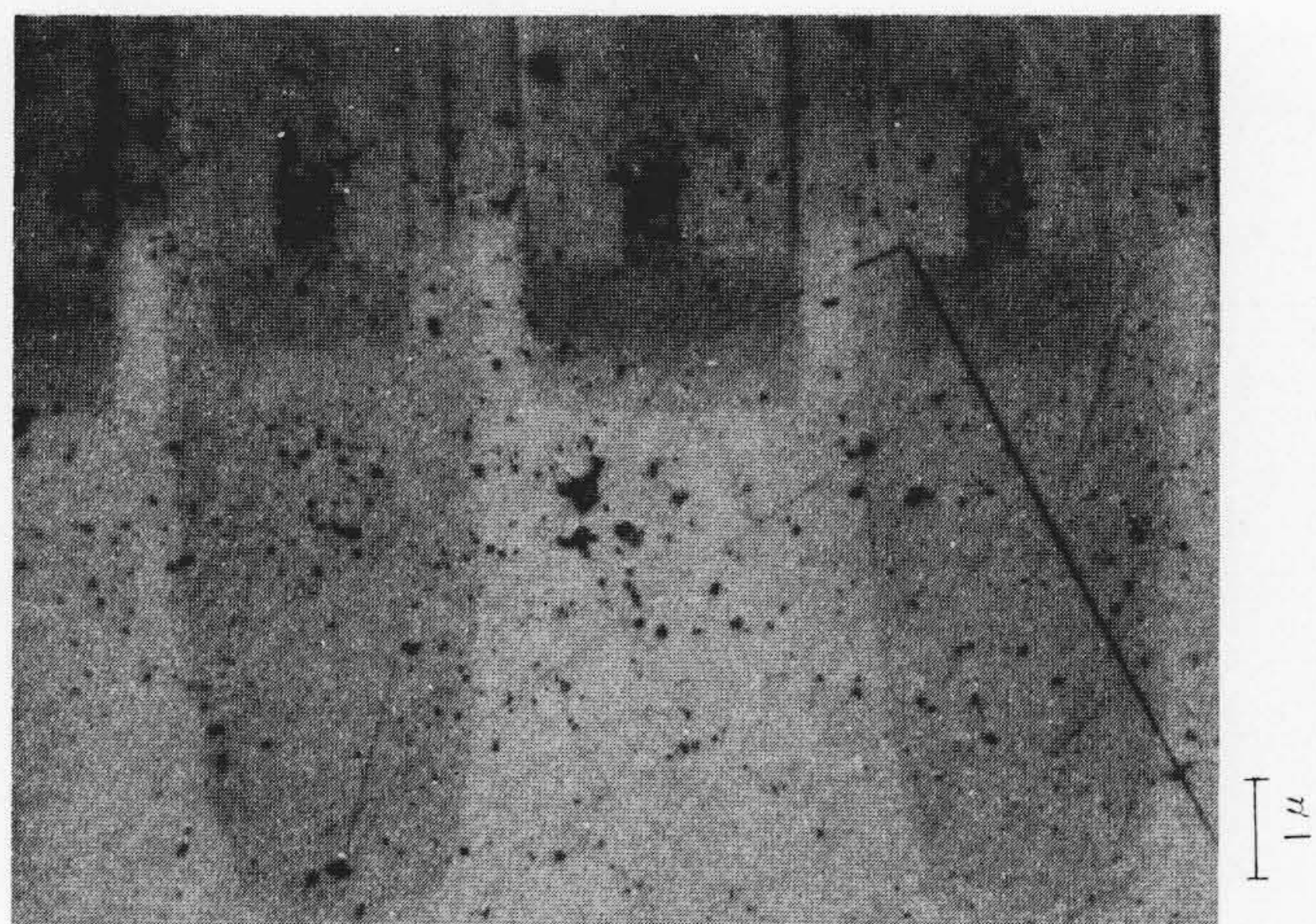


図11 拡散層の断面 ソース及びドレンの接合断面を示したもので、深いドレン接合と浅いソース接合が形成されていることが分かる。

Fig. 11 Crosssection of Diffused Layer

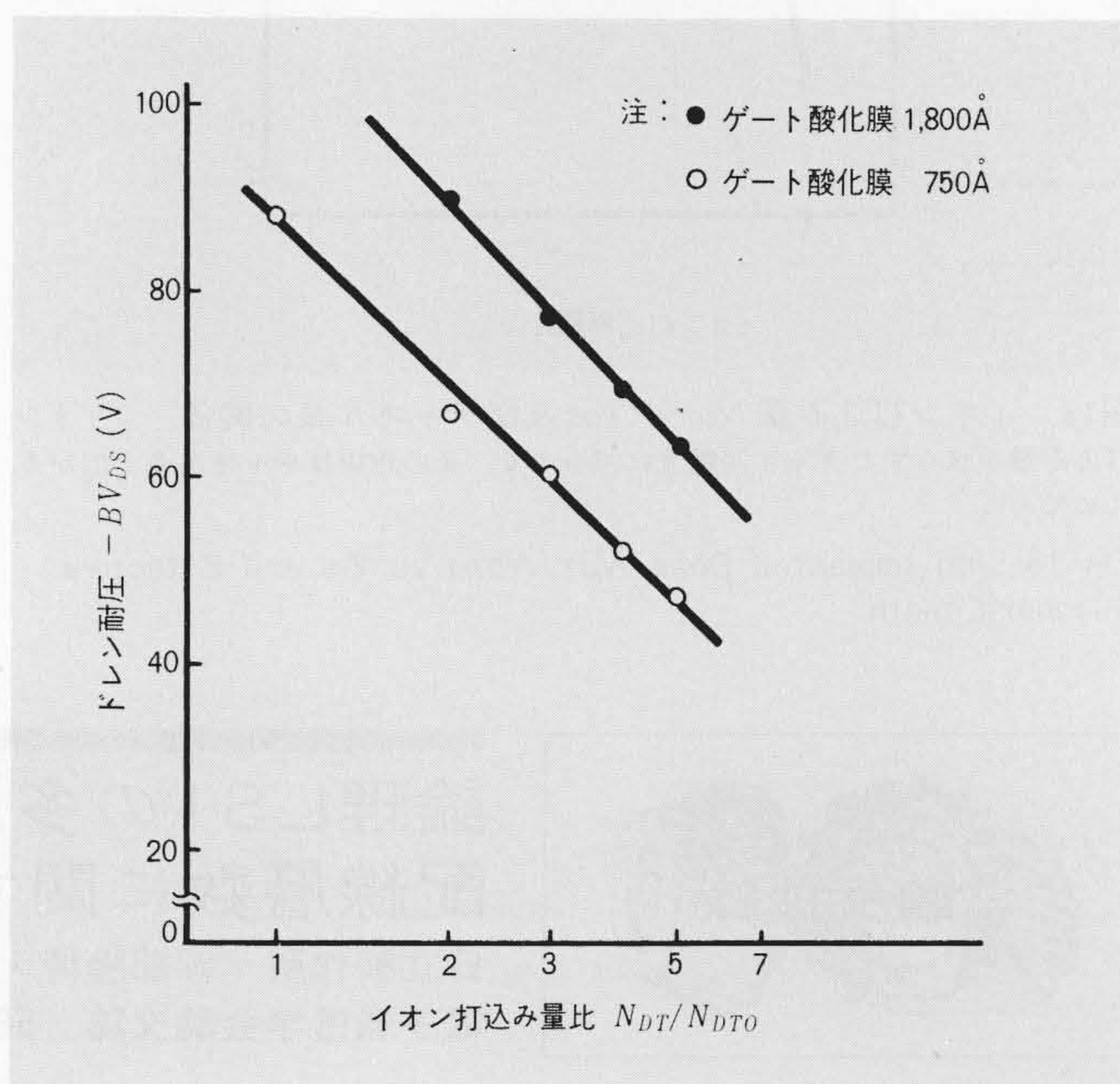


図12 イオン打込み量 N_{DT} とドレン耐圧の関係 ドレン耐圧は、イオン打込み量を減らすと高くなる。また、ゲート酸化膜厚にも依存することが分かる。

Fig. 12 Ion Implanted Dose N_{DT}/N_{DT0} vs Drain Breakdown Voltage

がオンチップ上にあるので、互いの干渉を少なくするためアース電位のAlで両領域を分離したことである。

4.5 試作結果

図12は、イオン打込み量 N_{DT} とドレン接合耐圧 BV_{DS} の関係を示すものである。同図はイオン打込み量を減らすに従いドレン接合耐圧が向上することを示し、 N_{DT} を $3 \times 10^{13} \text{ cm}^{-2}$ 以下にすればドレン耐圧55V以上となる。

ゲート酸化膜厚に関しては、膜厚の厚いほうが BV_{DS} が高い。これは、ドレン接合とゲート電極の重なり部における電界の集中が完全に緩和されていないためである。

図13は、 N_{DT} とチャネル電流 I_{DS} 及び実効チャネル長 L_{eff} の関係を示すものである。また、同図中の黒丸点は、実効チャネル長を6 μ とした場合の N_{DT} と I_{DS} の関係を示すもので同図から N_{DT} が $2 \times 10^{13} \text{ cm}^{-2}$ 以下になるとP層の抵抗分が大きくなり、 I_{DS} に影響を及ぼすことが分かる。

5 結 言

以上述べてきた事柄をまとめると次のようになる。

- (1) MOSのドレン接合を二重拡散構造にした高耐圧MOS素子の開発に成功した。
- (2) 本高耐圧MOS素子と低電圧レベルで動作する素子をオンチップ上に形成した高耐圧MOS LSIの開発を行なった。
- (3) 本高耐圧MOS LSIは55V以下の電圧で使用するけい光表示管を直接駆動できる機能をもっている。
- (4) 本LSIの製造工程は従来のMOS製造工程にP層の形成工程を追加したもので、イオン打込み技術を使用しているなど。

すなわち、8けた電卓用のみならず、10けた以上の高級電卓においても表示素子及びキー部以外は、すべてMOS素子を使用することが可能となった。

終わりに臨み試作に御協力いただいた日立製作所半導体事業部試作課寺田課長及び同武蔵工場米山主任技師に対し、深く感謝の意を表わす次第である。

参考文献

- (1) A.S.Groveほか2名：Effect of Surface Fields on the Breakdown Voltage of Planar Silicon PN Junction：IEEE Trans. Electron Devices ED-13 (Mar. 1967)
- (2) R.W.Bowerほか3名：MOS Field Effect Transistors Formed by Gate Masked Ion Implantation：IEEE Trans. Electron Devices ED-15 (Oct. 1968)
- (3) H.G.Dill：New Insulated Gate Tetrode with High Drain Breakdown Potential and Low Miller Feedback Capacitance：IEEE Trans. Electron Devices ED-15 (Oct. 1968)

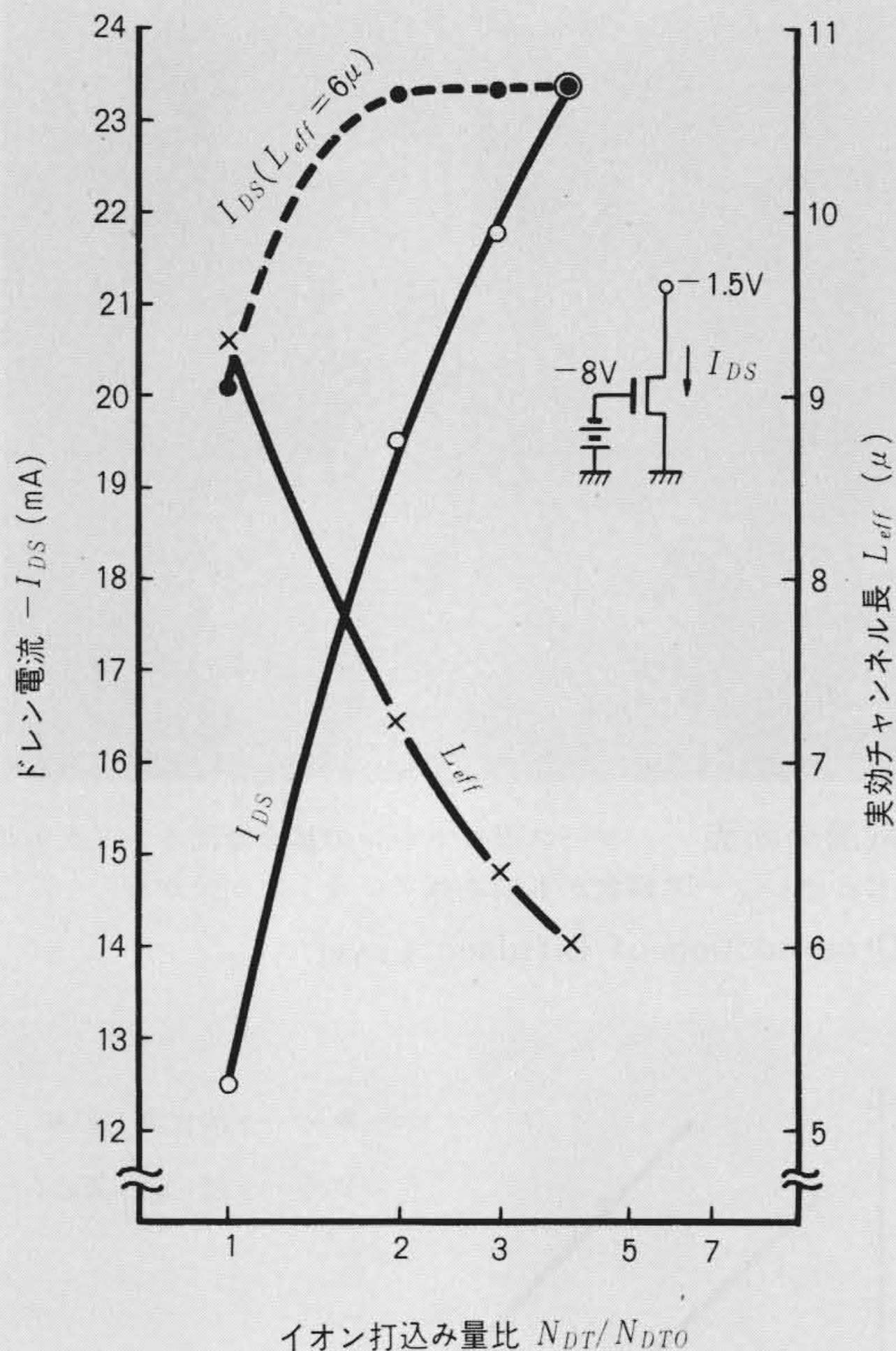


図13 イオン打込み量 N_{DT} と I_{DS} 及びチャネル長の関係 イオン打込み量を減らすとチャネル電流は減少する。その理由はチャネル長が広がるためである。

Fig. 13 Ion Implanted Dose N_{DT}/N_{DIO} vs I_{DS} and Effective Channel Length



論文抄録

論理LSIの多層配線の配線層数に関する一考察

日立製作所 岡部隆博・早坂昭夫，他2名
電子通信学会論文誌 56—C，293 (昭48-5)

論理大規模集積回路 (LSI) では、シフトレジスタやメモリなどのLSIとは違って、集積度が増加するにつれチップ内に占める配線領域の面積が素子の占めるそれより増大するという現象を呈し、多層配線の必要性が急激に望まれるようになってきた。従来、多層配線はその形成方法に興味があり、製造上の材料やプロセス条件などについては数多く論じられてきたが、設計的問題、特に配線層数とチップ面積の関係などについては余り論じられていない。本論文ではこの設計指針を得ることを目的として検討を加えたものである。

まず第1層の活性領域面積 A 内は素子だけによって構成された平均占有面積 a_c のセル (単位となる回路) が n_c 個あり、その周りはこれらの相互配線のために設けられた第1層配線領域面積 S_{w1} からなると考える。そして第2層から第 m 層までは第1層の活性領域面積と同じ面積が多層配線のための配線領域面積として使えるものと仮定する。

このようなモデルのもとで与えられたゲート数 G に対し、第1層の配線領域面積 S_{w1} を固定して必要な多層配線の層数 m を求めると次式のようにになる。

$$m \geq \frac{acG}{acG + gS_{w1}} + \frac{qfckWG}{s\sqrt{g(acG + gS_{w1})}}$$

但し、 g ：セル当たりの平均ゲート数、 f_c ：セル当りのファンアウト数、 q ：共通配線係数、 s ：配線の平均占有面積率、 W ：配線幅、 k ：比例定数

この関係式は1層配線方式をも含む多層配線に関係した諸量の振舞いを表わしている。例えばゲート数 G が大きくなるにつれ、所要配線層数はゲート数の平方根に比例して増加すること、配線幅 W を小さくするとほぼそれに比例して配線層数は少なくて済むこと、そして第1層配線領域を全くなくして、配線をすべて多層配線で行なう場合の所要最大配線層数も推定し得ることなどが上式より容易に得られる。

また2層配線という限定条件のもとでゲ

ート数 G に対する第1層配線領域面積 S_{w1} の所要面積をも評価することができる。

MOS-LSI の場合の拡散層配線を含む擬似2層配線の場合について上式をあてはめ、久保らの実験結果と比較したところ極めてよい一致をみることができた。この結果から配線層数を固定すると、第1層配線領域面積は、ゲート数の2乗で増加することが導かれ、チップ面積の推定にはセルの面積より配線領域の面積の定量的評価が重要なことが分かる。

次いで配線層数の決定に関し、セルと多層配線の各の歩どまりを考慮に入れ、チップとパッケージのコストの和を極小とする評価基準のもとで最適配線層数について検討した。当然の帰結ながら、多層配線の歩どまりが低いときには3層以上の層数はコスト高となり、歩どまりが高いときには多層配線方式が有利となる。従って、最適配線層数についても本議論は有効な設計指針を与えるものであることが分かる。