

HIDIC 80処理装置

The Control Computer HIDIC 80 Processor

制御用計算機HIDIC 80は'70年代後半から'80年代にかけて日立製作所の計算制御システムの中核となるマルチ コンピュータ指向の制御用計算機システムであり、処理装置をはじめ、メモリ、バス構造を含めたハードウェアのモジュール化とシステム ソフトウェアのモジュール化により、オンサイト拡張性を最大の特徴とするものである。したがって、そのアーキテクチャはモジュール化を前提に拡張性、信頼性、処理性及び経済性のバランスが要請されるが、これをプラント データ ベースの概念に基づくシステム モジュール化技法 (COMET技法) により実現した。

桑原 洋*	Kuwahara Hiroshi
井手寿之*	Ide Jushi
神内俊郎**	Kamiuchi Toshirô
川本幸雄***	Kawamoto Yukio
中田育雄****	Nakata Ikuo

1 緒 言

計算機制御システムの発展は、制御用計算機の技術進歩に支えられているが、これは大形計算機からのテクノロジー トランスファーと半導体デバイス技術の発達に負うところが大きい。オンラインで使用される制御用計算機システムの本質は、高い信頼性(ハード、ソフト)にあるが、近年、処理装置及び周辺入出力装置のパフォーマンス コスト比の著しい向上により、制御規模のメリットを追求する市場ニーズはますます多様化の様相を深めつつある。特に顧客プラントの長期計画に基づく拡大・変更に対する計算機制御システムのハード・ソフトの拡張性、適応性が強く要請されている。これは単にメモリの増設、入出力装置(I/O)の増設程度では到底対処できないほどの大幅な拡張性(例えば、処理能力の倍増など)をリプレイスなしで実現する類の新しい技術である。一方、大規模集積回路(LSI)技術のインパクトは、従来の中央集権形の制御概念の放棄を迫っており、複数プロセッサによる分散処理形の計算機制御システム時代の幕開けも間近いものと観測される。

制御用計算機システムHIDIC 80は、このような市場ニーズに応ずるべく、次の開発目標を実現している。

- (1) システム全体を同一の設計思想で貫き、小規模から大規模までの多様なシステム構成を経済的に組み立て得る特性を持っていること。
- (2) 高いシステム信頼性を持っていること。
- (3) 保守部品の減少、障害箇所の早期発見、修復が容易であること。
- (4) ソフトウェアの生産性、保守性に優れていること。
- (5) 多彩な入出力装置を結合できるようハード、システムソフト(OS)がこれを容易に受け入れる構成であること。
- (6) ユーザーが効率的にシステム設計を行なえ、プロセス運転後の増設、改造が容易であること。
- (7) システム教育、保守経費を含めたランニング コストが小さいこと。

以上の観点から、HIDIC 80ではシステムの設計思想を負荷分散制御に、ハードウェア、ソフトウェア構成の基本をモジュール構造化にしている。以下、HIDIC 80システムの中核となる処理装置(図1)の方式、論理構造及び実装技術について述べる。

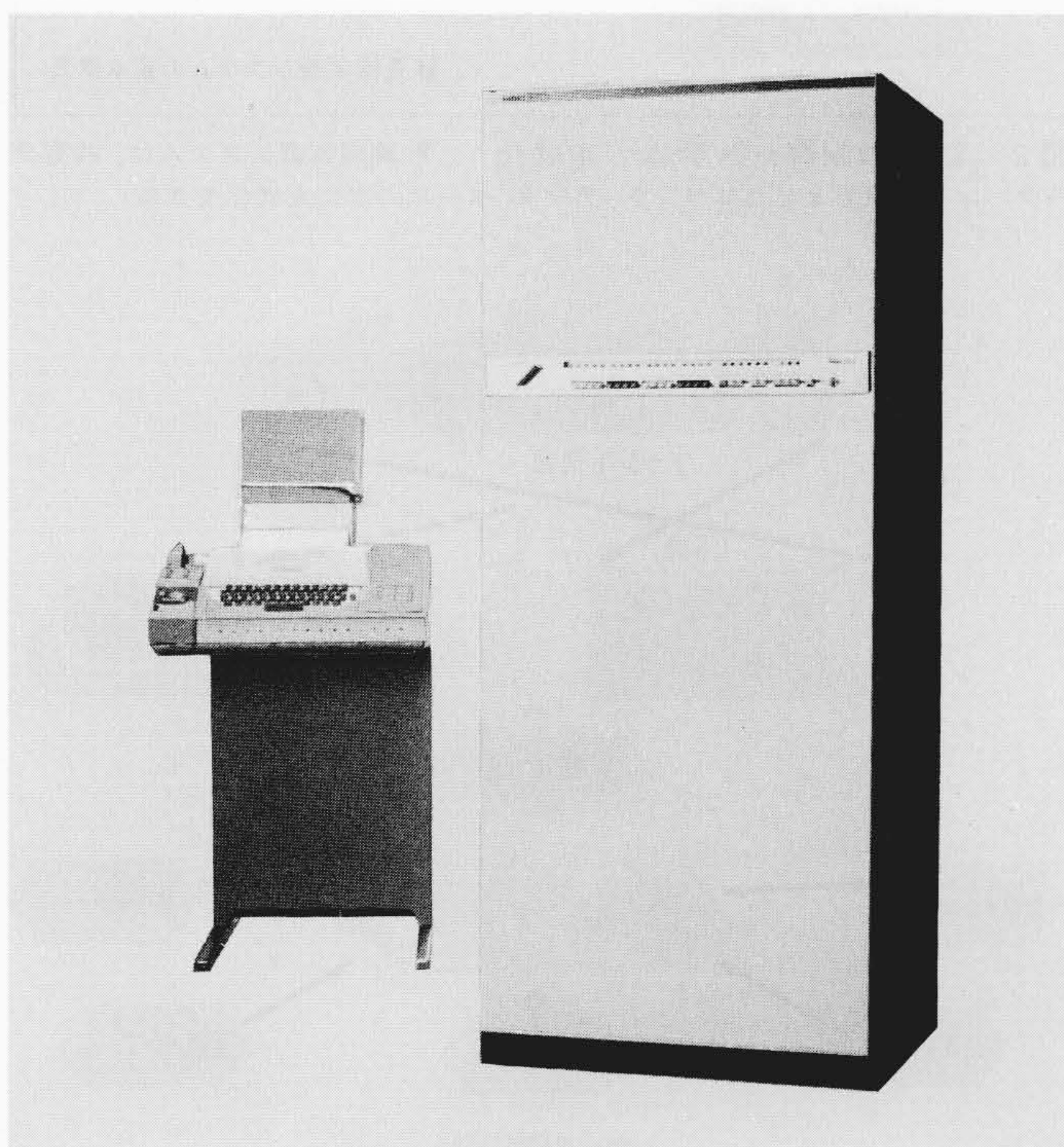


図1 HIDIC 80処理装置 処理装置は最大16台までのマルチ システムにまで拡張することができる。

2 方式設計

2.1 概 要

HIDIC 80の方式設計では、オンライン リアルタイム性及び高信頼性を中心とする「制御用」計算機としての特性を強化する目的で、特に次の点に留意した。

- (1) オンサイト拡張性
- (2) 多彩なシステム ニーズに対処するシステム構成能力
- (3) システムの高信頼化、保守性

これらに対して、ハードウェア及びシステム ソフトウェアのモジュール化技術に基づく、負荷分散形マルチ システムのアーキテクチャを開発した。

* 日立製作所大みか工場 ** 日立製作所中央研究所 *** 日立製作所日立研究所 **** 日立製作所システム開発研究所

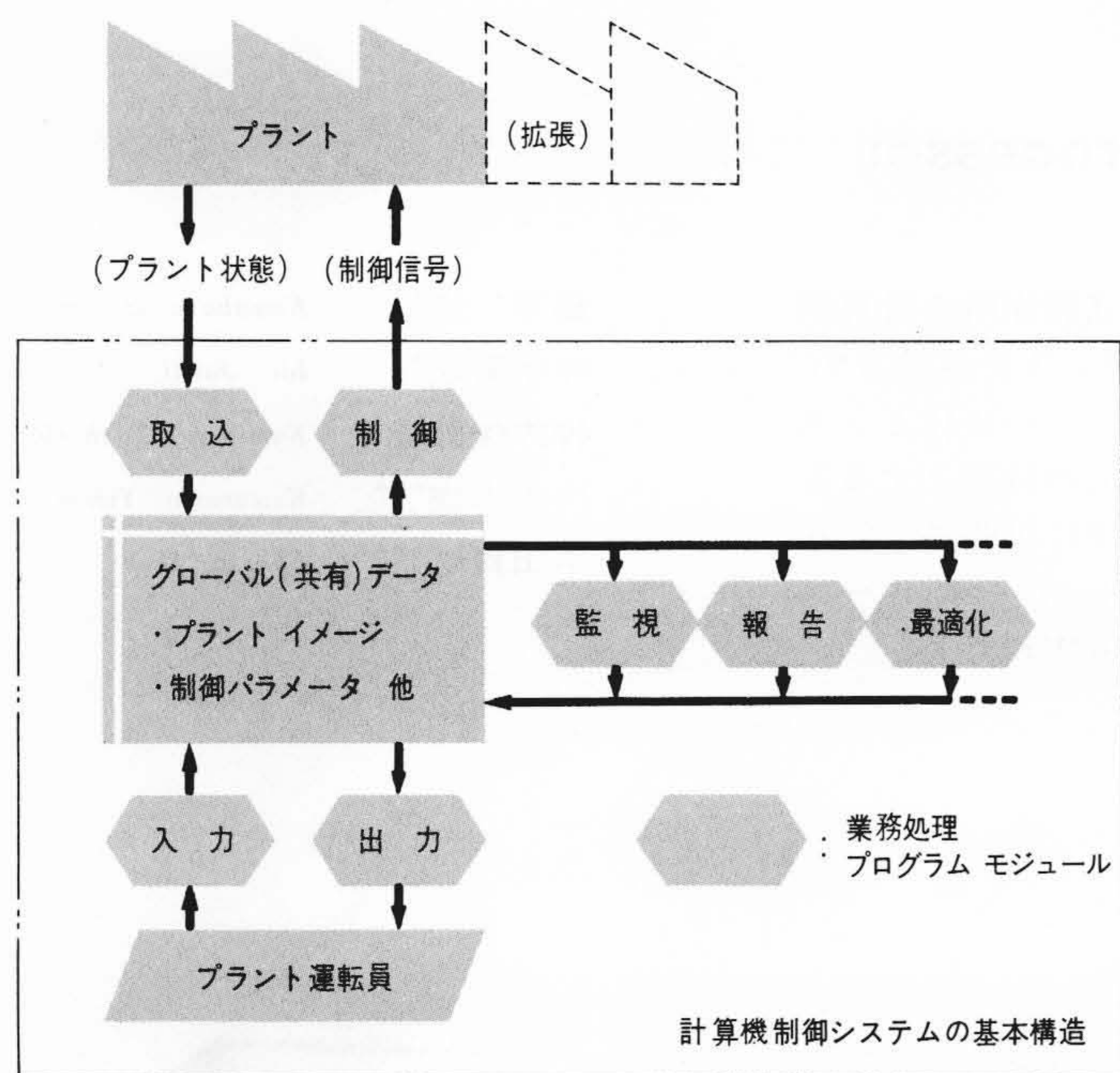


図2 計算機制御システムの定式化 計算機制御システムは、共有データバンクを中心としたプラント データ ベースの形に定式化できる。

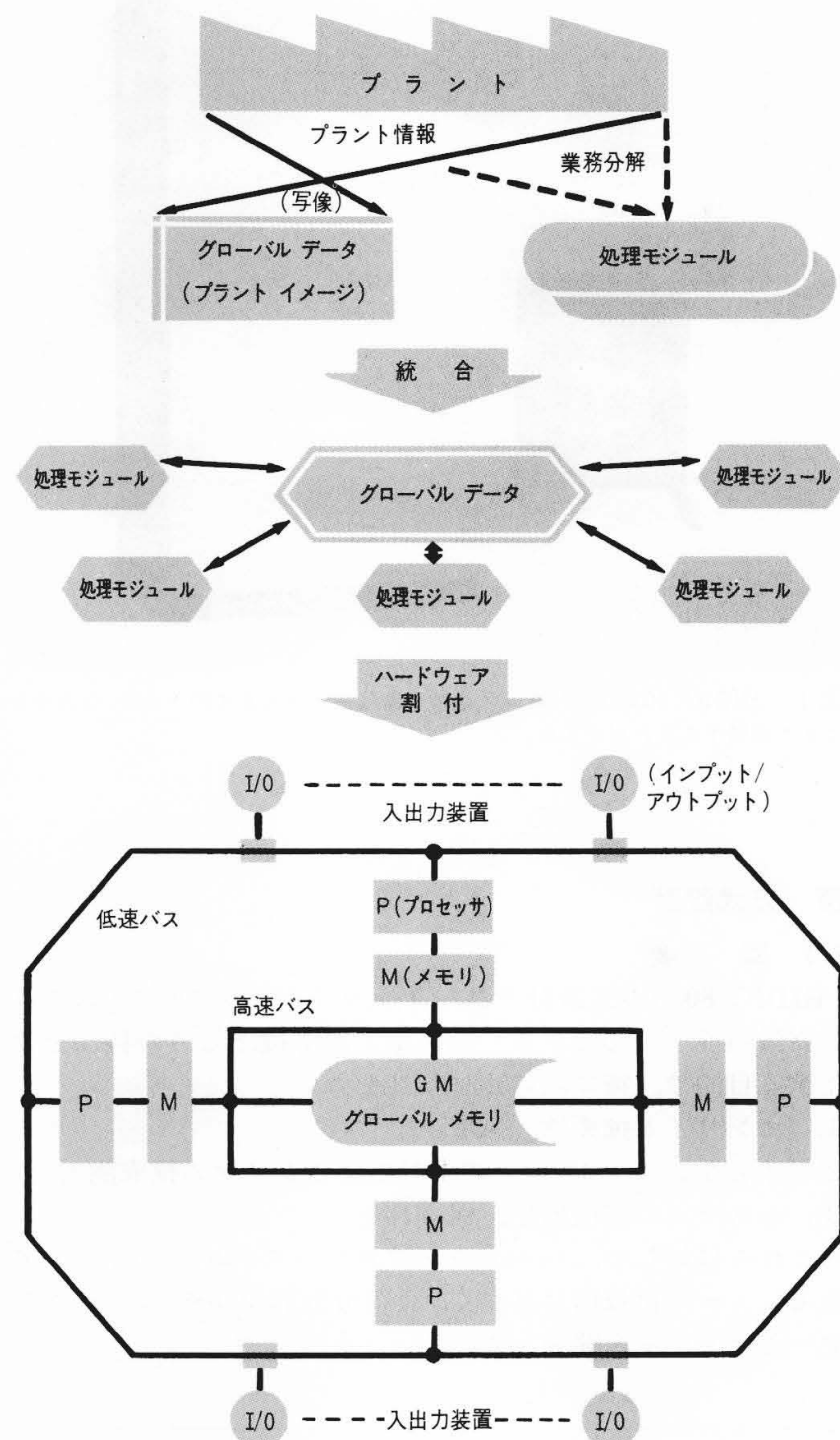


図3 COMET技法 計算機制御システム設計の過程を示す。

2.2 計算機制御システムの定式化—COMET技法—

計算機制御システムの基本構造は、図2に示すように制御対象であるプラントの状態を集約したグローバル データを中心に、プラントの監視、制御、報告、最適化などの各種業務処理プログラム モジュールを配したプラント データ ベース構造に定式化でき、プラントの拡張に対しても、グローバルデータの拡充と業務処理プログラム モジュールの追加により対処できる。HIDIC 80システムは、このプラント データ ベース構造を忠実に実現することを主眼に方式設計を行なった。HIDIC 80による計算機制御システム設計の過程は、図3に示すようにプラント業務をプラント情報とそのプロセス(処理)に分解し、前者をグローバル データとして集約し、後者を処理モジュールとして独立に取り扱う構造化を行なった後、グローバル データを保持するグローバル メモリ及び処理モジュールをタスク(仕事)として処理するプロセッサ及び入出力装置群を割り当てることにより完成する。以上の業務モジュール分解とグローバル データを中心とする機能モジュールの再統合・構造化を行なうシステム構成手法をConsolidated Modular Engineering Technology (COMET技法と略す)と名付けた。

2.3 システム構成

COMET技法をサポートするハードウェアとしては、システム構成要素の徹底したモジュール化が前提となるが、システム パフォーマンス バランスの面から、特に次の点に留意した。

- (1) プロセッサ モジュール間の干渉を軽減するために、各プロセッサに固有メモリを内蔵させ、独立性を確保した。
- (2) グローバル メモリは、最大448K語(1語16ビット)までの拡張及び64K語ごとの独立動作を許した。
- (3) 入出力制御バスをモジュール化し、モジュールごとの独立平行動作を許すことにより、共用バスの渋滞を回避した。

図4にHIDIC 80システムの構成例を示す。処理装置は中央処理装置(P)、ローカル メモリ(M)、及びバス制御部(Y)より構成され、二重系化構成のグローバル メモリ(GM)を介して相互に結合し、プラント データ ベースに好適なシステム構成を実現する。各処理装置間の相互連絡は、処理装置間連絡バス モジュール(LX)を経由して実行され、共有入出力装置はクロスバススイッチ形の論理構造を持つ共有バス モジュール(SX, DX, TX)に接続制御される。

HIDIC 80システムの最大構成は、処理装置16台、グローバル メモリ448K語、制御I/O総数は全システムで3,600台にも及ぶ。

2.4 バス構造

HIDIC 80のハードウェアでは徹底的モジュール化を実現しているが、これらモジュール間の接続を行なう入出力インタフェース バスもモジュール構造化を行なった。その構造はバス マスタと称するバス制御機構に入出力制御モジュールごとの管理情報を集中化するとともに、大規模システムの信頼度とシステム拡張性を確保するためにバス マスタを分散させ、かつ階層化している点に特徴がある。

2.4.1 バス モジュールの基本構造と種類

バス モジュールは、図5に示すように最大16台の入出力制御モジュールを実装可能なスロットを持ち、これらを集中管理するバス制御機構を中心に構成している。各種入出力装置モジュールは対応する入出力制御モジュールを介して、このバス モジュールの任意のスロットに接続することができる。更にバス モジュールは、バス制御機構の機能の相違により表1

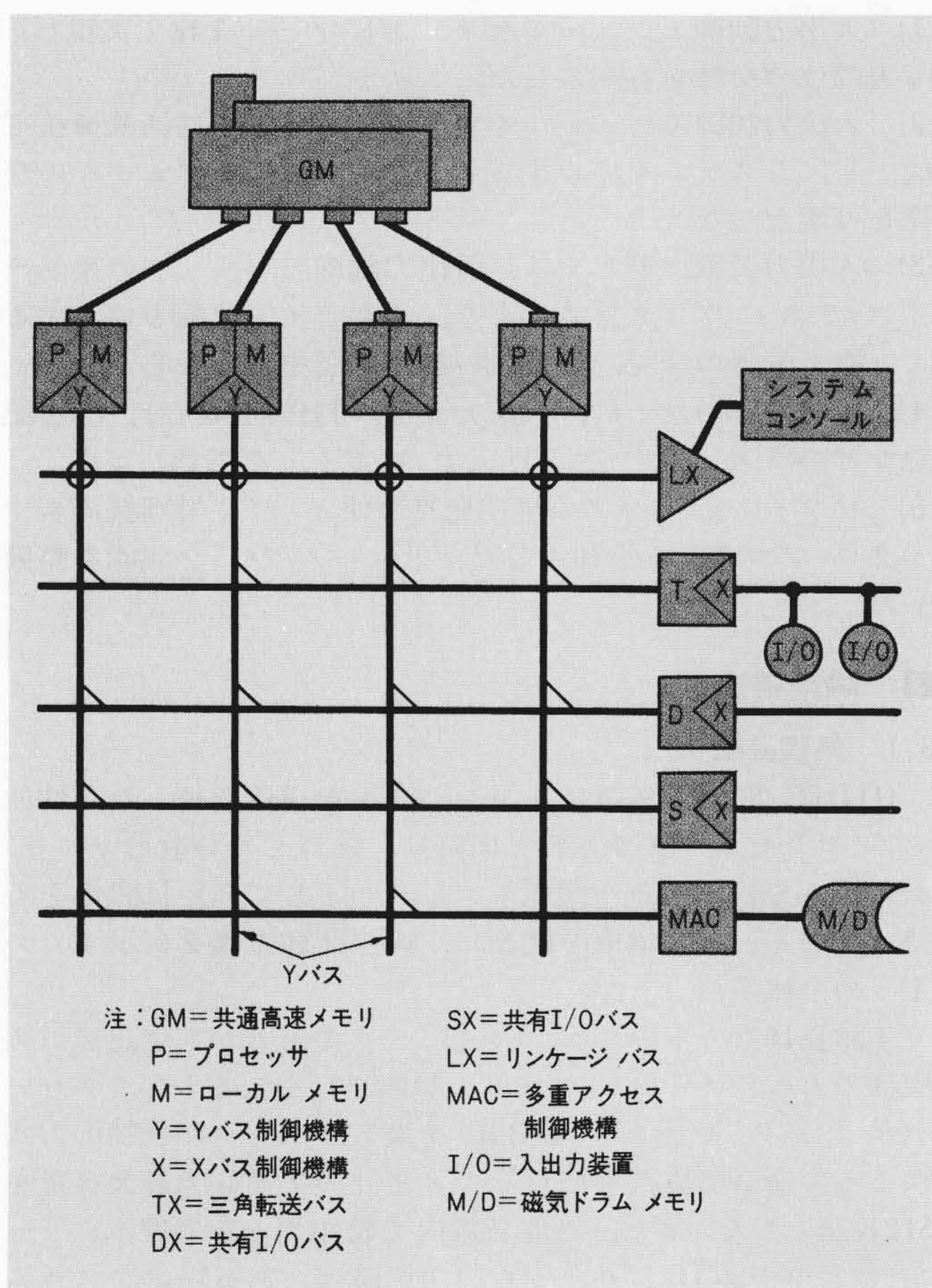


図4 HIDIC 80システム構成 処理装置モジュール4台、バスモジュール、入出力装置などから成るHIDIC 80マルチシステムの一構成例を示す。

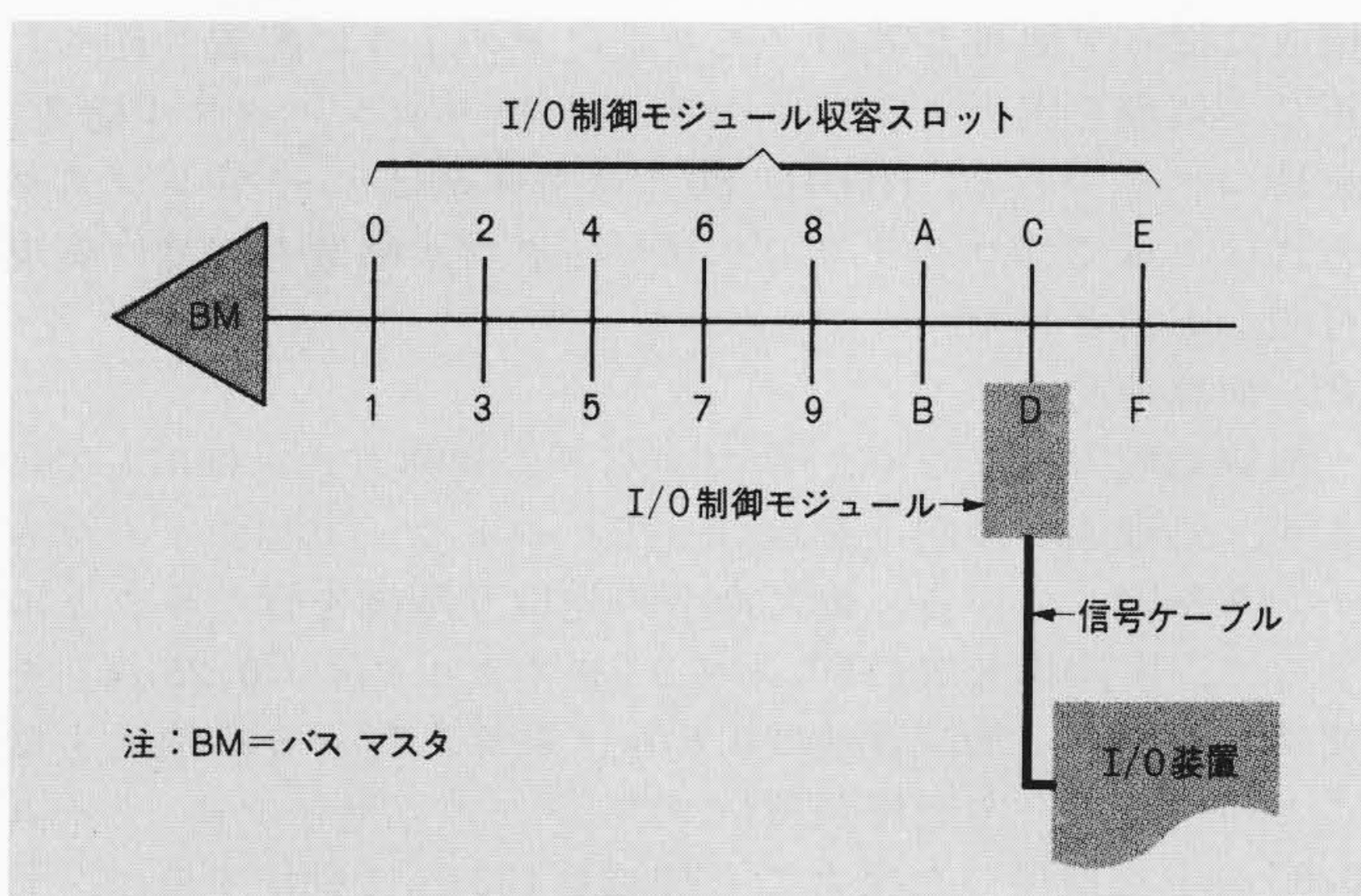


図5 バスモジュールの基本構造 最大16台の入出力制御モジュールを格納するバスモジュールの構造を示す。

に示す6種類を用意した。

2.4.2 バスの階層構成

図6, 7は処理装置モジュール3台とX, Y, Zの各バスモジュールとの接続例である。バスモジュール間の結合は、バスエクspanderと称する接続制御モジュール(論理カード)により行なう。階層構成化に際して次の点に留意した。

- (1) 入出力処理の分散化することにより、バスシステムの局所的障害による部分ダウンを許容し、信頼度を向上すること。
- (2) 小規模から大規模システムに至るまで同一思想による拡張を可能とすること。

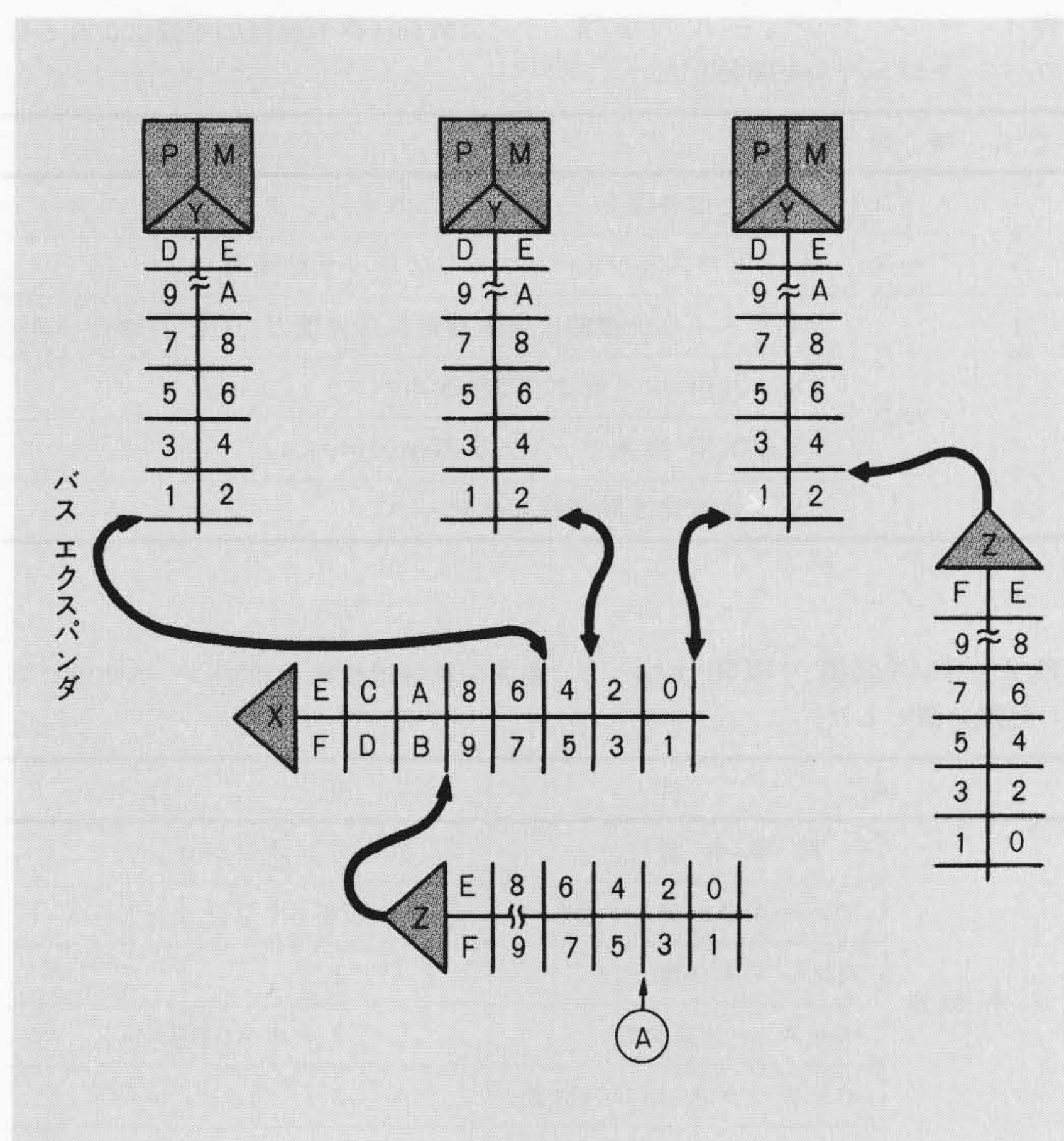


図6 バスモジュールの階層構成例 処理装置モジュール3台とX, Y, Zの各バスモジュールとの接続例を示す。

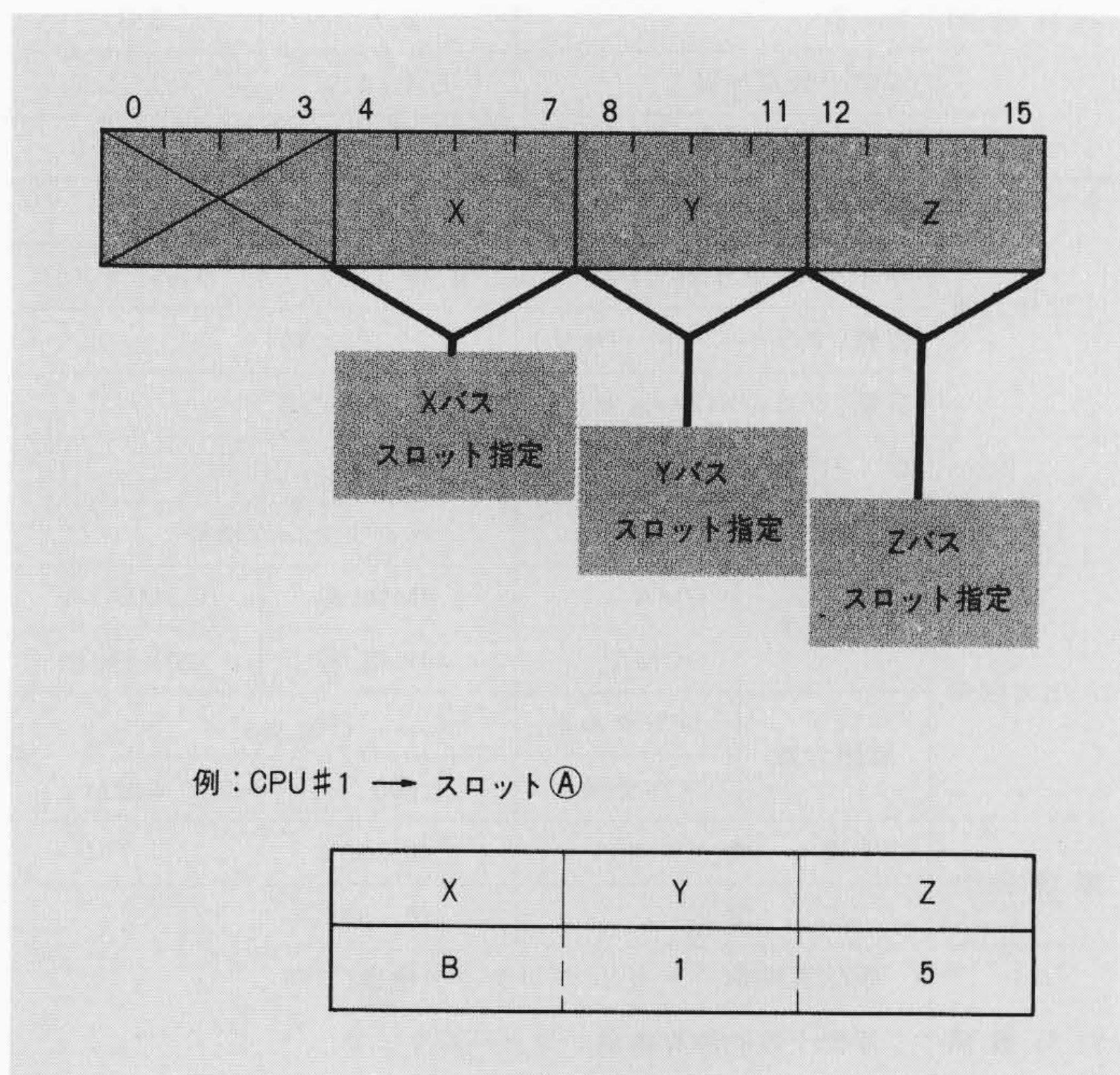


図7 バスのアドレッシング 入出力装置を指定するデバイスアドレス情報を階層バスとの対応で示す。

- (3) 各層のバスモジュールが独立に平行動作することにより、システム全体のスループットを向上すること。
- (4) 入出力制御モジュールの実装位置とアドレッシングの対応づけを明確にし、保守時の混乱を構造的に回避すること。

2.5 システムの高信頼化・保守性

信頼性、保守性の向上には、部品の信頼度向上とともに、ハードウェアシステム構成及びシステムソフトウェア上のくふうが必要である。システムの高信頼化に対しては、デュプレックス、デュアル化を基本とし、 n 台処理装置による分散マルチ構成の場合には、 n 台に対して1台の待機予備を用

表1 バス モジュールの種類 バス制御機構の機能の相違により6種のバス モジュールを開発した。

区分	種 類	略号	機 能
一重系	Yバス	Y	処理装置と一体となった基本インタフェースバス
	Zバス	Z	Yバス及びXバスのI/Oスロット拡張用バス
多重系システム	Xバス	SX	スイッチ機能による複数処理装置とI/Oとの結合バス
		DX	共用 中・低速I/O制御用バス
		TX	共用 高速ファイル装置制御用バス
		LX	処理装置間通信制御用バス

表2 処理装置の概略仕様 高速演算処理機能と同時に、拡張性に富む処理装置とした。

項 目		仕 様		
命 令 機 能	一 般 命 令 数	50+ 6 (オプション)		
	ファームウェア	128 (オプション)		
	演算レジスタ数	2		
	ベース レジスタ数	3 + 8 (GBR)		
	インデックス レジスタ数	3		
	アドレス修飾	二重修飾		
演 算 時 間	加減算(レジスタ メモリ)	ICメモリ	コア メモリ	
	(μ s)	0.6	1.3	
	乗 算	2.7	3.3	
	浮動小数点加算	2.4~4.9	3.7~5.9	
	浮動小数点乗算	3.8~4.4	4.3~4.9	
主記憶装置	語 長 (ビット)	16+ 1 (パリティ)		
	サイクル タイム (μ s)	0.25 (IC)	0.65(コア)	
	容量(プライベート メモリ)	64K 語		
	容量(グローバル メモリ)	448K 語		
割 込 み	レ ベ ル	4		
	要因判定処理	ベクタリング機能		
入出力制御	転送速度	PMA	1.8M語/秒	1.3M語/秒
		PCMA	40K 語/秒	20K 語/秒
	接続台数	シングル系	255 MAX	
		マルチ系	3,600 MAX (システム合計)	
環 境 条 件	温 度	0 ~ 50°C		
	湿 度	10~95%		
付 加 機 構	乗除算機構, メモリ プロテクト機構, IPL, 浮動小数的演算機構, ファームウェア, 拡張バス機構, 主記憶装置拡張機構,			

注：DMA=Direct Memory Access
PCMA=Processor Controlled Memory Access
GBR=Global Base Register
IPL=Initial Program Load

意する $n:1$ バックアップ方式を開発した。また一時的障害対策としてのリトライは、I/O制御を中心としてシステムソフトウェアで、標準的にサポートしており、この障害統計により、事前保守を可能とした。また処理装置の障害に対しては、障害時データの凍結機能により、障害部位の指摘データを得ることができる。

障害後の保守性向上に対しては、制御用計算機の特異性にかんがみ、オンライン保守を目指し、以下の方策を用意した。

- (1) 入出力制御モジュールをプリント カード1枚で実現し、障害部位の交換を容易にした。
- (2) 入出力制御モジュールをオンライン運転中に活線挿抜可能とし、システムを停止することなく、故障モジュールの交換を可能とした。
- (3) 入出力装置、若しくは、入出力制御モジュールのオンライン テスト プログラムにより、オンライン運転を停止することなく障害の発見、修復後の動作確認を可能とした。
- (4) 予防保守のために、入出力装置の動作回数統計、障害記録などのシステム ソフトウェア サポートを用意した。
- (5) ソフトウェア バグの早期発見の便として、処理装置のマイクロ プログラムを利用した、トレース バック機能を整備した。

3 論理構造

3.1 処理装置

HIDIC 80処理装置は、コンパクトな構造を持った高性能ミニ コンピュータであると同時に、前述した分散形マルチシステムを構成する一機能モジュールとして高い拡張性をもっている。その構成を図8に、概略仕様を表2に示す。

(1) 命令体系

1語長16ビットのミニ コンピュータであるが、主記憶拡張機構であるグローバル メモリの参照を行なえるようにグローバル ベース レジスタ(GBR)を備え、バンク切替制御方式によって命令で直接参照可能なメモリのアドレス最大容量を512K語とした。また、処理装置内で動作する各処理モジュール(プログラム)は、ハードウェアの障害、あるいはシステムの増設に伴い、実行レベルで再構成可能であることがシステムの信頼性の確保、及び拡張性の上から必須である。各処理モジュールはファイル上にはただ一つだけを格納しておき、構成に従って処理装置のメモリ上にどのように配置されても正しく処理を実行するプログラム構造(リロケータブル構造)を持つべきである。HIDIC 80の命令体系はベース レジスタ方式によってプログラムのリロケータブル構造を容易に実現可能な方式とした。

(2) 演算速度

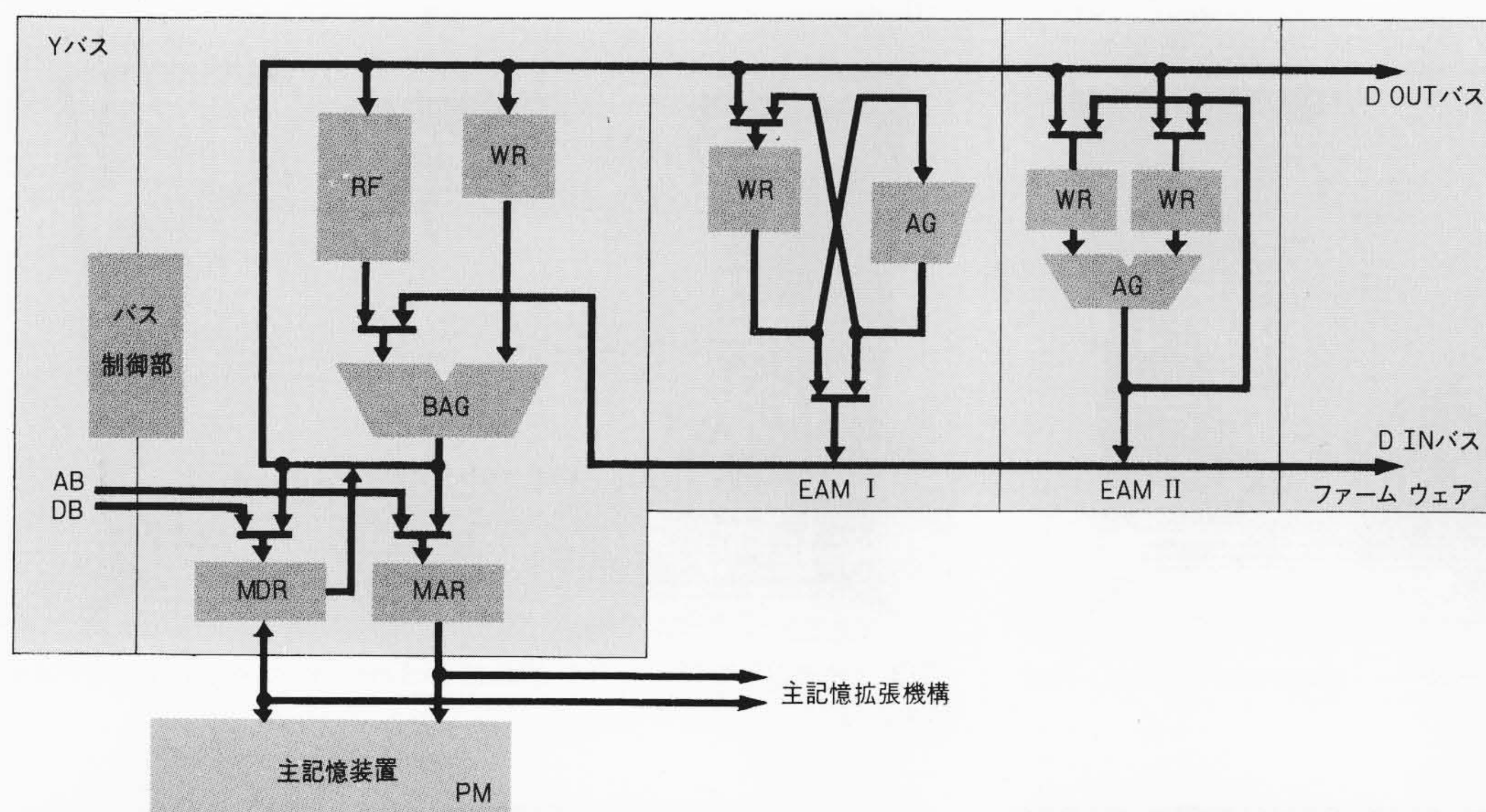
演算処理方式はマイクロ プログラム制御方式を採用しているが、処理速度の向上をねらってハードウェア制御とのマッチングを図っている。更に命令の先取り制御を行なうことによって、主記憶装置にICメモリ(サイクルタイム0.25 μ s)を使用した場合、加減算速度0.6 μ s、乗算2.7 μ s と高速化することができた。主記憶装置にコア メモリ(サイクル タイム0.65 μ s)を使用した場合でも加減算1.3 μ sで動作する。

(3) 付加機構

最近の制御用計算機の応用分野では、処理性、応答性の両面に高性能を要求される。HIDIC 80は、処理装置基本部に乗除算(EAMI)プロセッサ、浮動小数点演算(EAMII)プロセッサ、ファームウェア プロセッサなどを付加できる構造とした。これらプロセッサは、基本部とは独立の演算処理機構を持ち、基本部での命令読出し後即座に演算処理を実行する。これら付加機構を具備することによって、HIDIC 80の適用範囲は飛躍的に拡大できたと考えている。

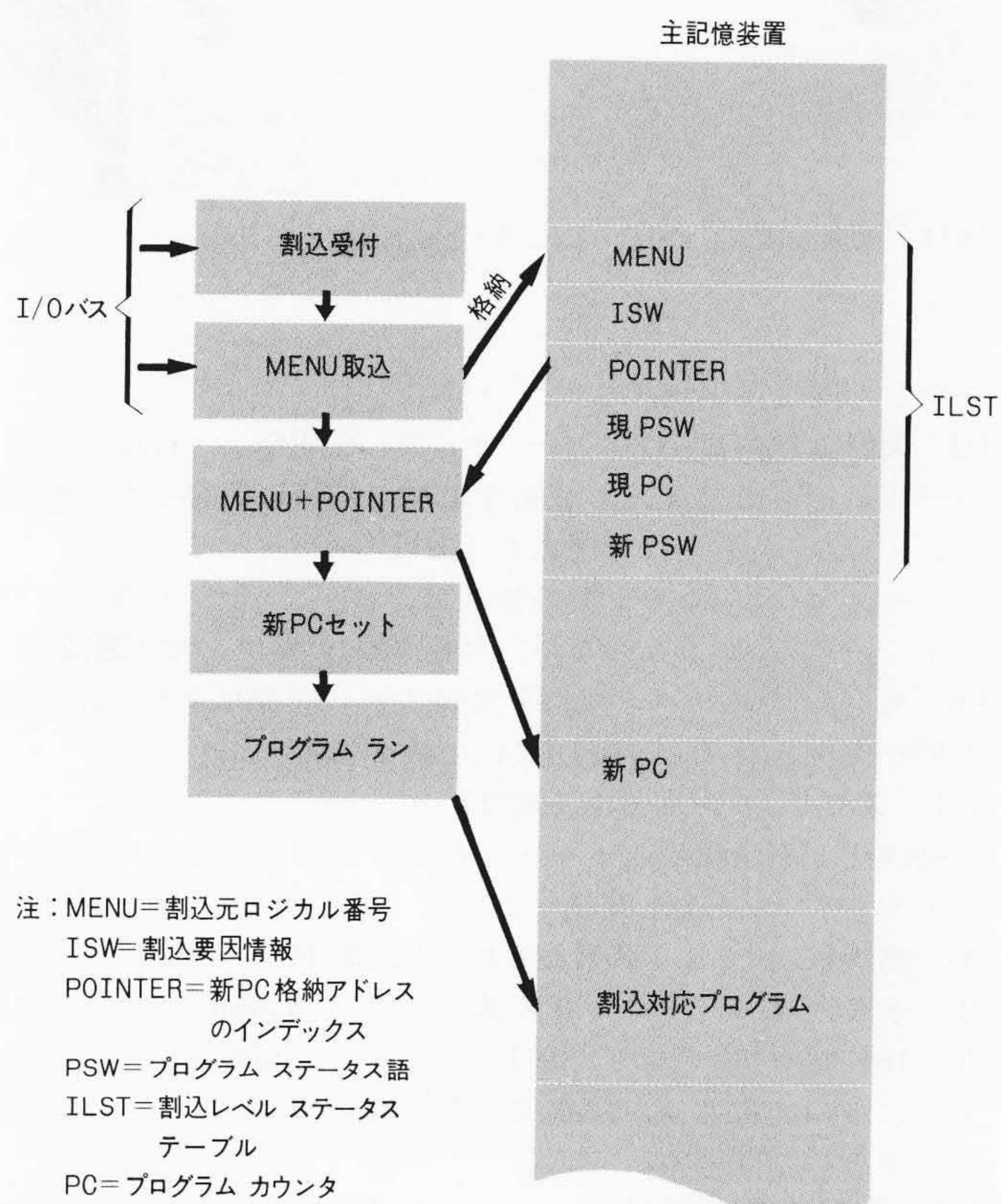
3.2 割込制御

HIDIC 80のもう一つの特徴は、割込制御方式である。制御用計算機システムにおける割込制御方式は、割込要求信号が制御プラントからの処理要求であるため、割込処理の高速化が不可欠である。HIDIC 80では、図9に示す割込ベクタ



注：MDR=メモリ データ レジスタ
MAR=メモリ アドレス レジスタ
BAG=基本部演算ゲート
RF=レジスタ ファイル
WR=ワーク レジスタ
EAM I=エクステンデッド アリスメチック
モジュール I
EAM II=エクステンデッド アリスメチック
モジュール II
AB=アドレス バス
DB=データ バス

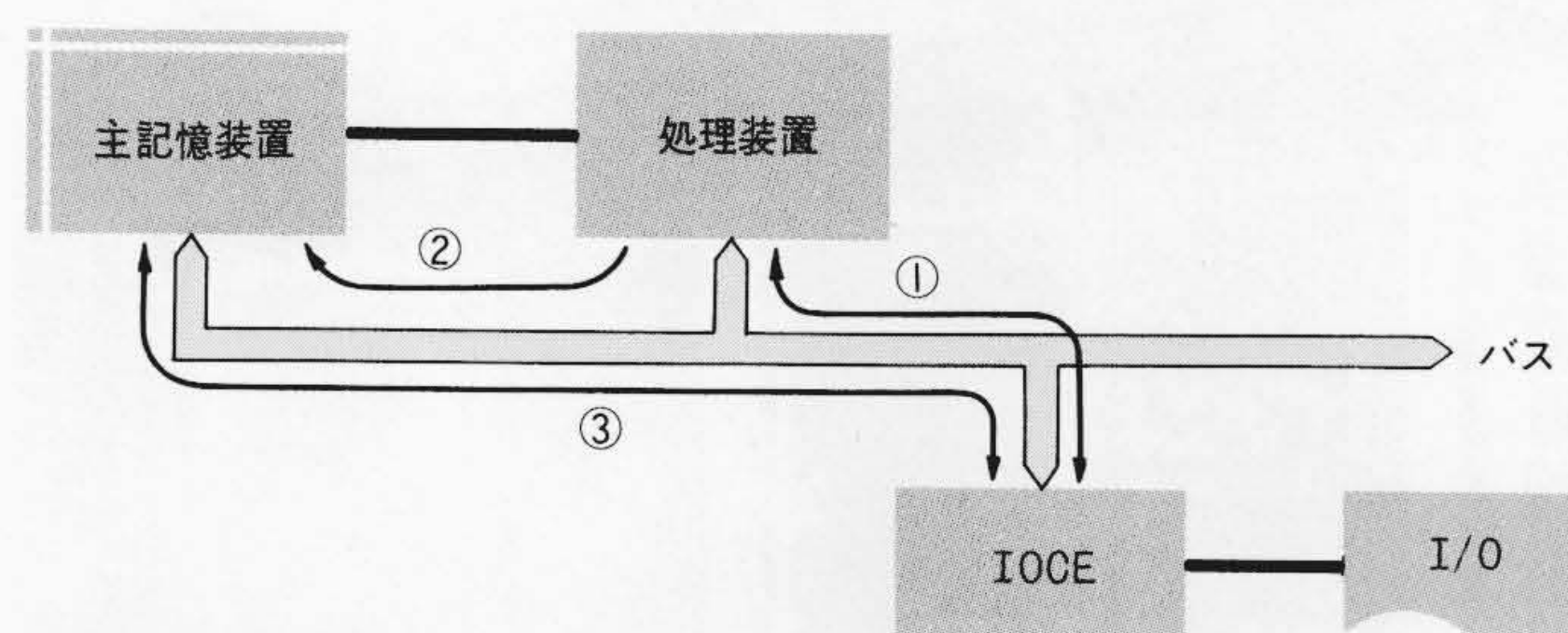
図8 処理装置の構成 データの流れを中心に処理装置のブロック構成図を示す。



注：MENU=割り込元ロジカル番号
ISW=割り込要因情報
POINTER=新PC格納アドレス
のインデックス
PSW=プログラム ステータス語
ILST=割り込レベル ステータス
テーブル
PC=プログラム カウンタ

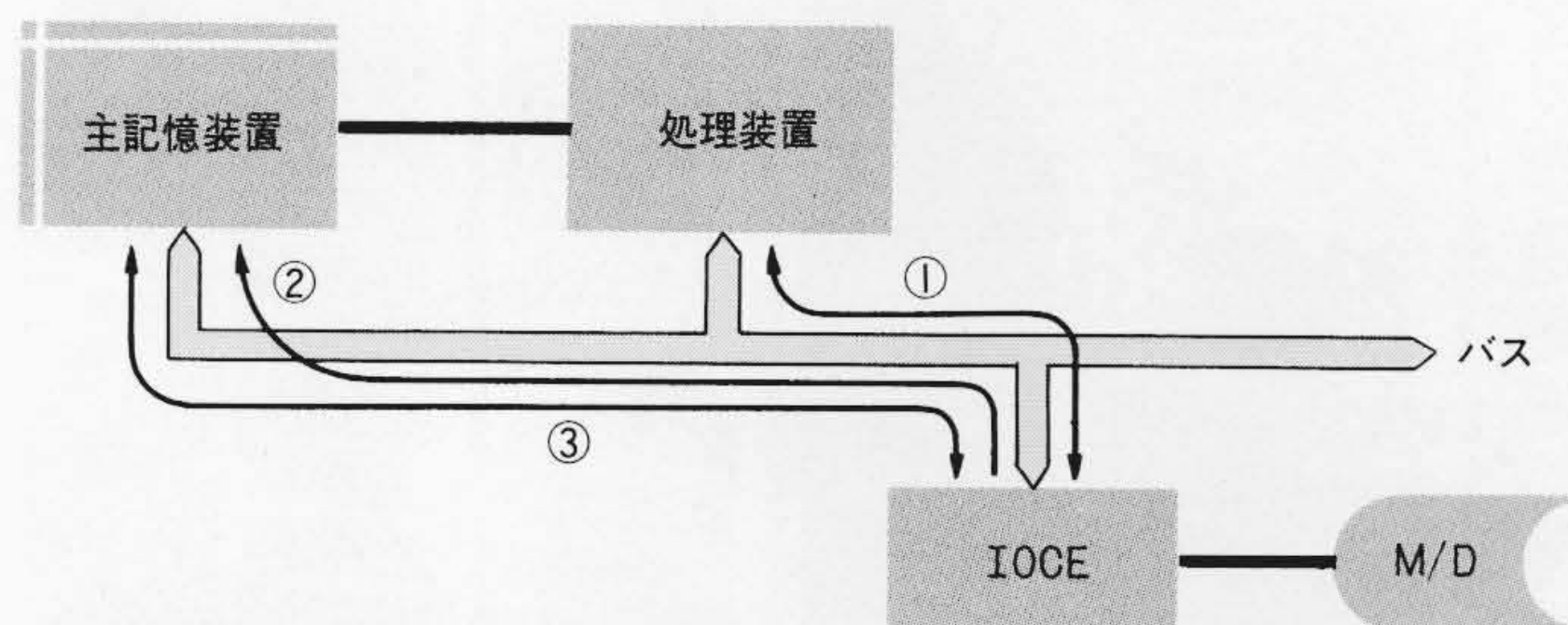
図9 割り込制御方式 割り込処理の高速化を図るために、ロジカル番号による直接ジャンプ方式の割り込制御方式を採用した。

リング処理を行なう方式とした。処理装置は各割り込要因に対応した入出力装置に対して、あらかじめMENUと呼ぶロジカル番号を登録しておく。割り込要因発生時、入出力バスを経由しMENUを取り込み、レベルごとに一つずつある割り込レベルステータス テーブル(ILST)からPOINTERと加え合わせたメモリ アドレスの内容を読み出す。この読出した内容が新ジャンプ アドレスとなる。以上の処理をすべてハードウェアで行ない、同時に割り込の詳細要因を示す割り込要因情報(ISW)、及びプログラムの状態を示すプログラム ステータス語(PSW)、プログラム カウンタの退避などを行なう。



① 転送要求 (IOCE→CPU)
② メモリ起動 (CPU→メモリ)
③ データ転送 (メモリ→IOCE)

(a) PCMAモードの動作



① 起動 (CPU→IOCE)
② メモリ起動 (IOCE→メモリ)
③ データ転送 (メモリ→IOCE)

(b) DMAモードの動作

注：IOCE=入出力制御装置 CPU=中央処理装置

図10 入出力制御方式 入出力動作にはPCMAモードとDMAモードの2種類がある。

3.3 入出力制御

入出力制御のモードとして、下記を用意した。

- (1) Processor Controlled Memory Access (PCMA) モード
- (2) Direct Memory Access (DMA) モード

PCMAモードは、処理装置の制御のもとに入出力装置と主記憶装置との間で、1語単位 of データ転送を行なうモードである。図10(a)に制御の流れを示す。適用機器はデータ タイプライタ、カード リーダ、プロセス入出力装置などの低速機器であるが、前項で述べた割り込処理の高速化によって20K語/秒以上の高速データ転送を可能とした。

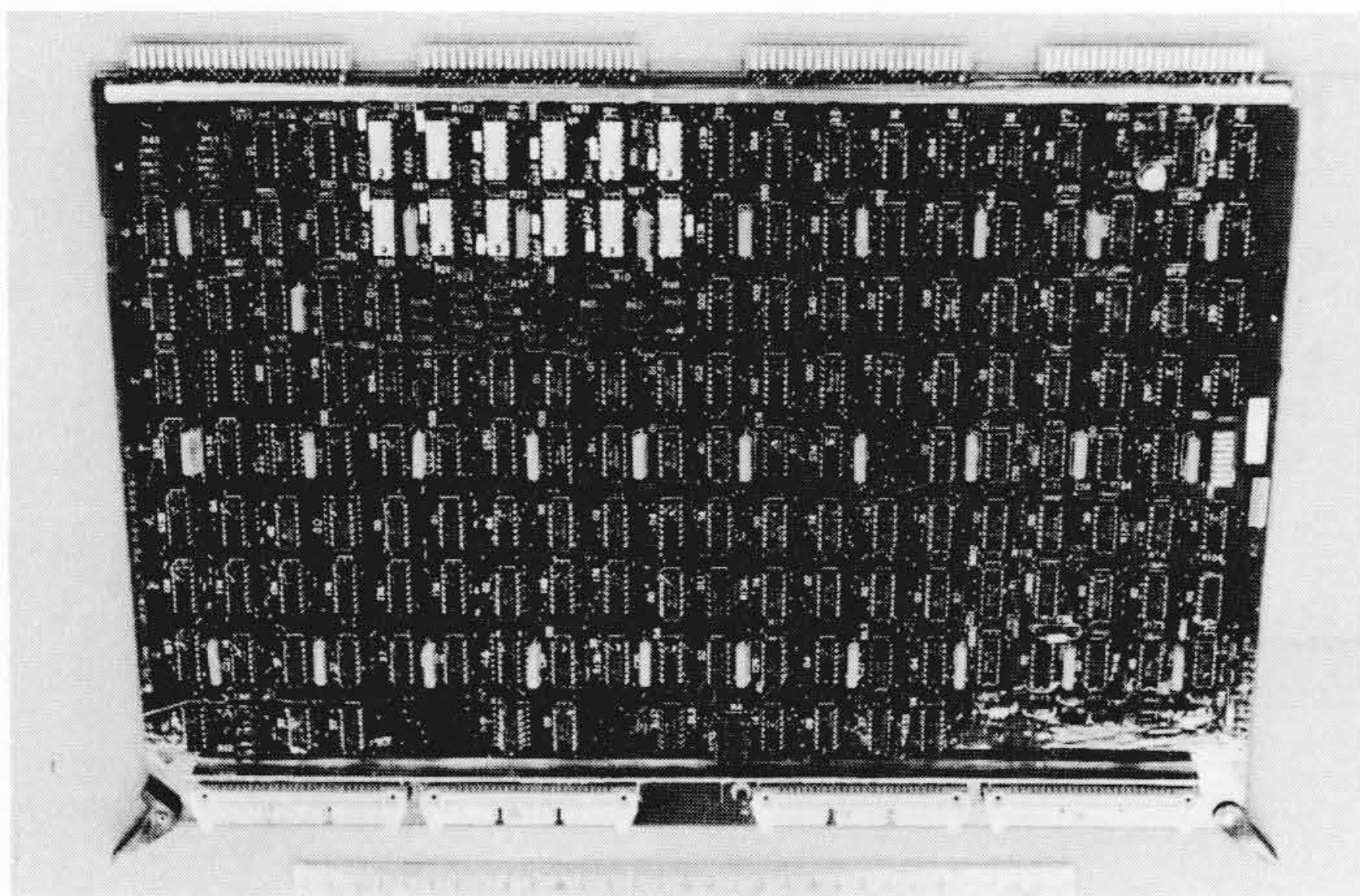


図11 大形基板による機能モジュール 処理装置用プラグインの例を示す。

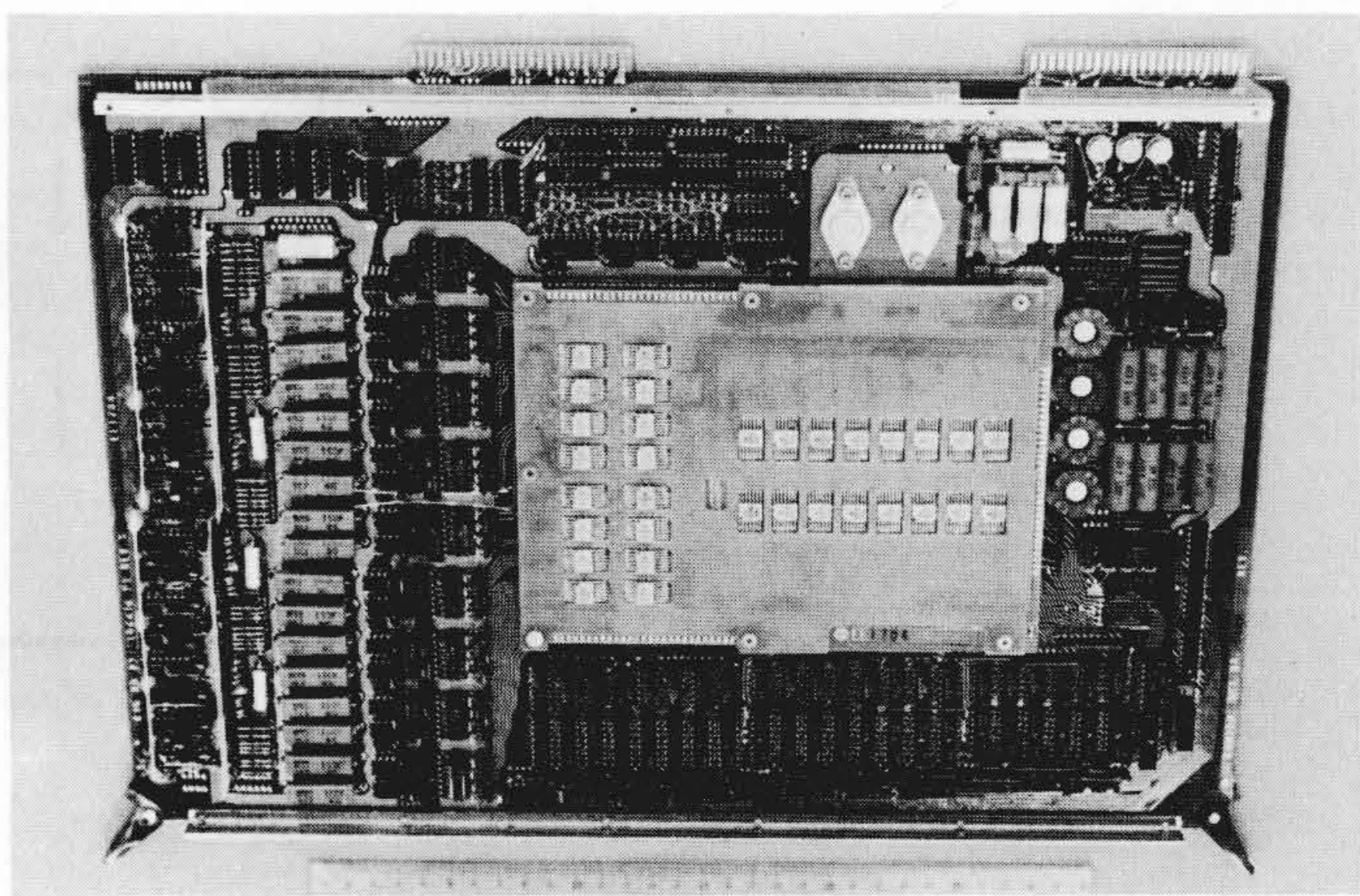


図13 メモリ モジュール 16K語(×17ビット)のメモリ モジュールを示す。

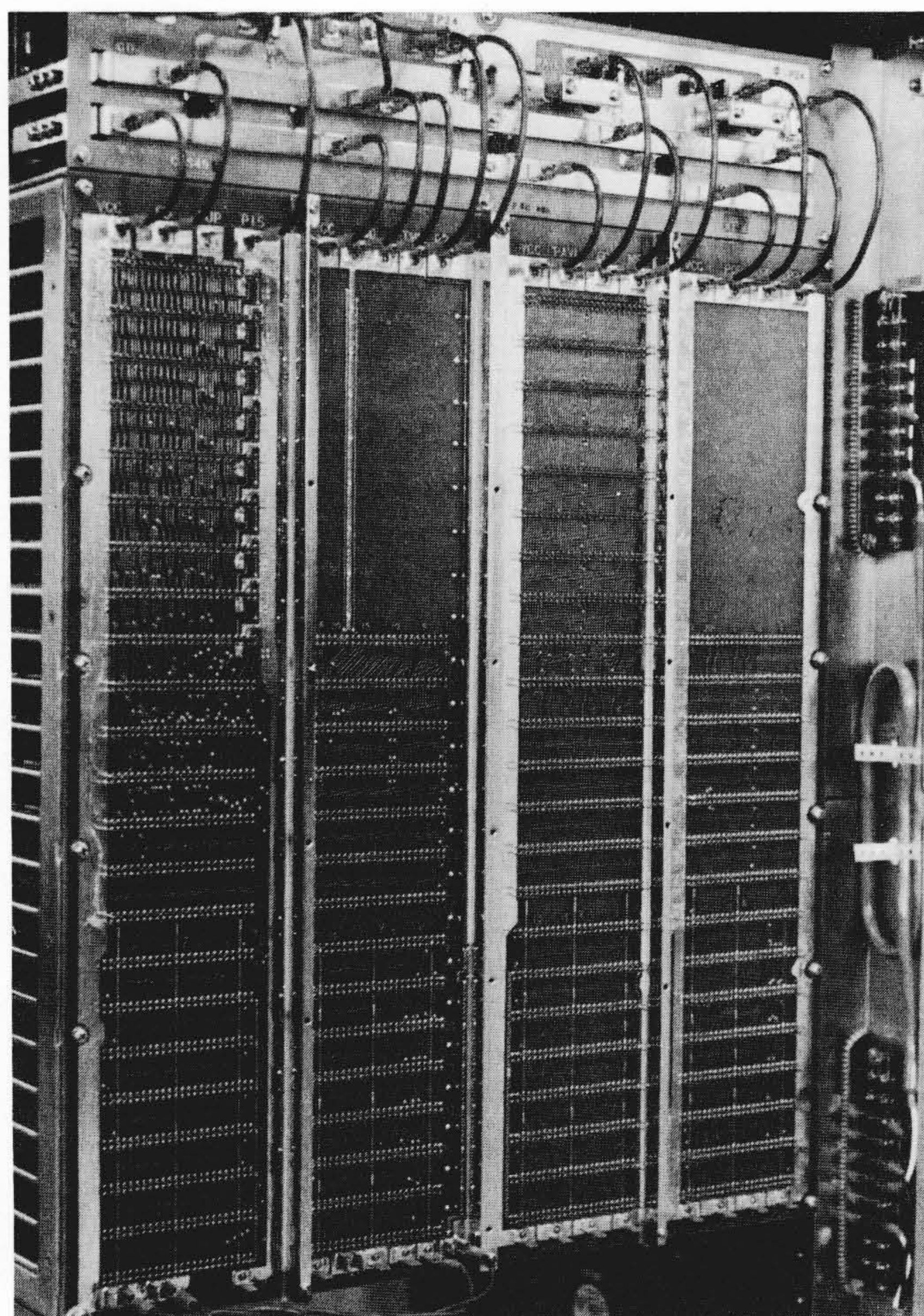


図12 無配線化ユニット 本ユニットは、処理装置、ローカル メモリ、Yバス モジュールを含むユニットを示す。

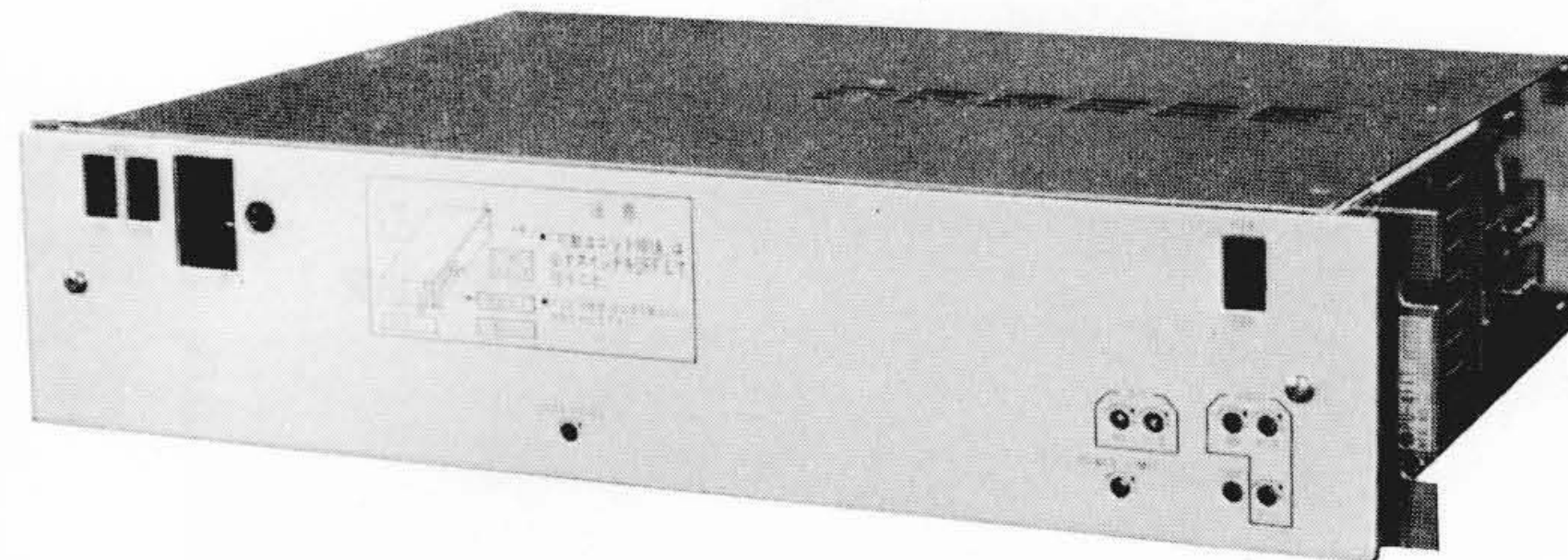


図14 電源装置 400W ユニットの電源装置を示す。

を新しく開発、実用化した。

- (1) 大形論理基板（プリント カード）を開発し、I/O コントロール、インタフェース機能を1枚の基板に収容した、機能モジュール カード化を図った（図11）。
- (2) モジュール カード間の接続は、バック ボード及びフラット ケーブルにより行ない、無配線化を実現した（図12）。
- (3) モジュール カードの水平実装方式の開発により、高密度実装を実現した（従来HIDIC比で約2倍）。

4.1 メモリ モジュール（図13）

高速化と高信頼化のニーズに対応するために、次の3種のメモリ モジュールを開発した。

- (1) 高速ICメモリ：8 K語/ボード、250ns
- (2) 8 K語コアメモリ：8 K語/ボード、650ns
- (3) 16K語コア メモリ：16K語/ボード、650ns

これらのメモリは、混在使用を可能にするためシステムの配慮を払っている。

4.2 電源装置（図14）

従来、HIDICシリーズで実績のあるスイッチング方式を更に改善し、容積比0.6、出力体積0.2l/Wを実現した。これは大電流平滑特性を著しく改善した偏磁リアクトルの新規開発、及び電流バランス制御方式の改良によるものである。

5 結 言

以上、制御用計算機HIDIC 80のシステム上の特徴について述べたが、今後、計算機制御システムはますます発展し、新しいシステム構成、新しい思想が生まれ出てくるものと考えられる。これに対処するため、HIDIC 80のモジュール化技術を充実させ、より広く制御分野の適用にこたえ得よう努力を重ねていく考えである。

本開発に当たり、種々御協力いただいた関係各位に対し深く謝意を表わす次第である。

DMAモードは、処理装置の動作と独立に、主記憶装置と入出力装置との間で直接データの転送を行なうモードであって、データ転送の制御はすべて入出力装置にゆだねられる。同図(b)に制御の流れを示す。適用機器は磁気ドラム装置、磁気ディスク装置などの高速入出力機器である。

4 実装技術

高密度、無配線化を追求するとともに、システム構成モジュールの論理的独立性の確保というニーズから、以下の項目