

磁気バブル メモリ装置

Magnetic Bubble Memory System

近時、磁気バブルメモリの開発は国内外で急速に進展しつつあり、ドラムやディスクに代わる固体ファイルメモリとして注目を浴びている。本研究では16Kビット磁気バブルメモリチップを設計し、32K語×9ビットの磁気バブルメモリ装置を開発した。更に本装置を従来使われている商用の小形事務機と連動動作させ、磁気バブルメモリの実用性を立証し動作マージンを主体とする特性値を明らかにした。

黒川 進* Kurokawa Susumu
 五十嵐紘一** Igarashi Kôichi
 石田一博** Ishida Kazuhiro
 太田博文** Ôta Hirofumi
 吉沢 滋*** Yoshizawa Shigeru
 辛島義久**** Karashima Yoshihisa

1 緒 言

現在バブルメモリは、国内外各社で開発が進められており実用化検討の時期を迎えつつある。既に、バブルメモリチップの基本動作及び実験的規模の装置については報告が行なわれている^{1),2)}。

バブルメモリは従来のドラムディスクメモリと比較して小形、低消費電力、軽量などの特長を持っており、固体ファイルメモリとしての実用化が待たれている。この段階で本メモリの機能を確認し、実用化の見通しを得ることは極めて重要なことである。本研究は、これらを勘案してバブルメモリチップの設計、動作解析及び小形事務機用メモリ装置の試作を通してバブルメモリの実用性を立証しようとするものである。

2 磁気バブルドメイン技術

一般の磁性薄膜は、面内方向に磁区の磁化容易軸を持っている。しかし、ある種の磁性薄膜（オルソフェライト、磁性ガーネット）は磁区が面に垂直な磁化容易軸を持っている。この磁性薄膜に垂直方向の磁界を加えていくと、ある磁界の強さで円筒磁区（以下、バブルドメインという）となる。このバブルドメインは、直径が数ミクロンであり、磁性薄膜内を自由に動くことができる。1967年、ベル研究所のBobekらがこのバブルドメインをメモリ素子として利用することを提案した。バブルドメインの有無を情報の“1”、“0”に対応させ、バブル発生器により情報の書込みを行ない、情報に対応したバブルドメインの有無は、バブルドメインを動かすバブルドメイン転送路に沿ってバブル検出器を通り、バブルドメインの有無を電気信号に変え読み出しが行なわれる。読み出し方式のくふうにより非破壊読み出しが可能である。バブルドメインの特長は、バブルドメインを動かさぬときは、その保持のためにエネルギー消費を伴わないことであり（垂直磁界は永久磁石により与えられる）、バブルドメインをメモリとして考えると、不揮発性であることを意味し、集積回路(IC)メモリ、CCD(Charge Coupled Device)メモリなどの本質的には揮発性であることと異なる大きな特長である。メモリとして重要なことは、ビット密度、スピード、コスト及び信頼性である。密度的には現在14~20 μm 平方/ビットであるが、将来微小バブル化により4~8 μm 平方/ビットとなるため、15mm角チップで10⁶ビットも可能となり、またスピードはバブルドメインの稼動速度で決まる。現在3~10 μs /ビ

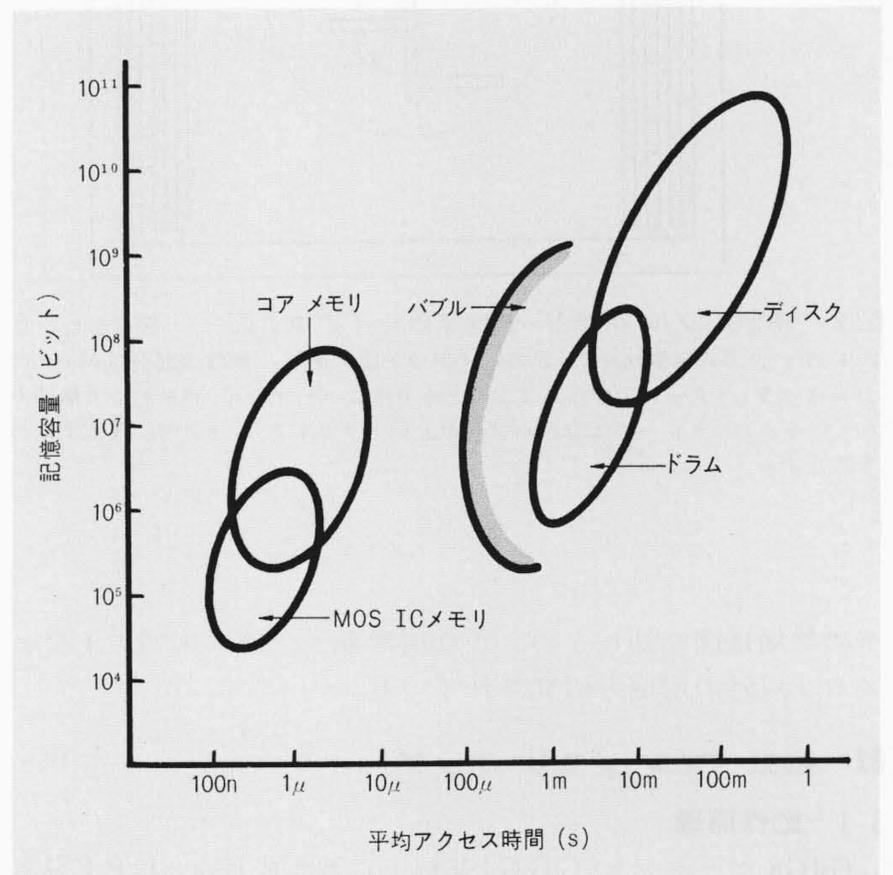


図1 各種メモリの位置づけ バブルメモリは、コアメモリとディスクの中間を埋める位置にあり、それぞれの方向に更に発展の可能性を持っている。

ットであり、ディスクの領域に入っている。これも近々、高速化技術により、1~2 μs /ビットとなり、更に高集積化、高速度化の研究が進められている。コスト的には、その構造がパターンの積層だけで実現され、将来1マスクプロセスも実現されると予想されるので、ビット単価1銭以下も可能と考えられている。信頼性の面では、バブルはドラムディスクのような可動部がない固定メモリで保守が不要であり、また消費電力が少ないことも高信頼度化に通じている。バブルメモリ発展の方向は高速化により、コアメモリ領域近くに延び、大容量化によりディスク領域に至る方向である（図1参照）。しかし、高密度に伴う電子線加工技術、パターン間隔0.2~0.5 μm のファインパターン作製技術、また高速化に伴う駆動技術、センス技術など、今後の問題点も多い。最近、IBM社より従来のバブル転送方式のバブルメモリよりビット密度が約数倍になるといわれるバブルラティスの構想も発表され、

* 日立製作所電子管事業部 理学博士 ** 日立製作所電子管事業部 *** 日立製作所中央研究所 **** 日立製作所旭工場

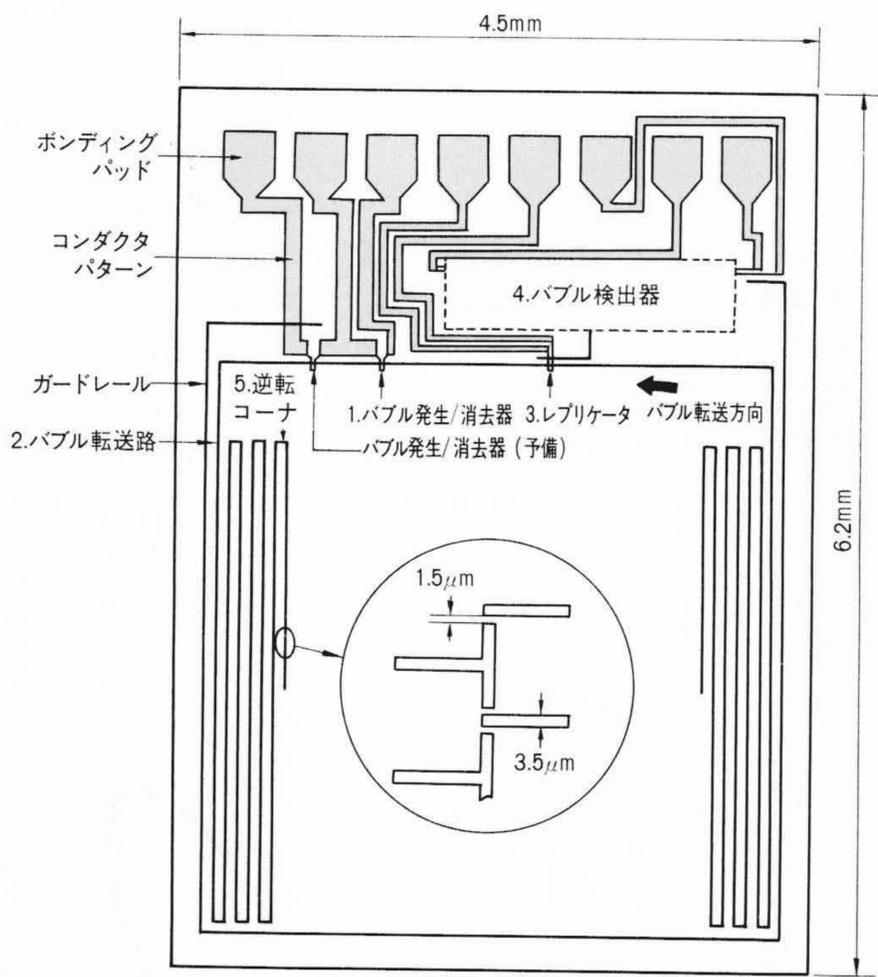


図2 磁気バブルメモリチップのレイアウト図 開発したシリアルデータ方式容量16Kビットのレイアウト図である。網目の部分はAl-Cuのコンダクタパターンで作られており、その他はパーマロイパターンで構成されている。ガードレールは浮遊バブルが上記アクティブエリア内に侵入するのを防止する。

その終局は図り知れない。また論理素子、ディスプレイなどメモリ以外の用途も研究されている。

3 磁気バブルメモリチップ

3.1 動作原理

GdGaガーネット(GGG)基板上に液相成長法(LPE法)により作られた磁性薄膜(以下、LPE膜と略す)に、Al-Cu及びパーマロイで所定のパターンを形成する。LPE膜内で、消磁状態の膜に垂直なドメインはストライプ状ドメインとなり、LPE膜に垂直なバイアス磁界(以下、 H_B と略称する)を増加していくと、ある磁界でバブルドメインとなる。更に磁界を強くするとバブルは消滅する。このバブルの有無を情報の“1”、“0”に対応させ記憶素子として利用する。図2にチップのレイアウト図を、図3に各部の拡大写真を示す。バブルの発生は、バブル発生/消去器にパルス電流を流し、ヘアピンループ内の H_B を局所的に下げることにより行なう。発生したバブルはチップに水平な回転磁界(以下、 H_R と略称する)が加えられ、Tバーパターンやシェブロンパターンによるバブル転送路に沿って動く。バブルの消去は、バブル発生/消去器にバブル発生時とは逆極性のパルス電流を流すことにより、ヘアピンループ内の H_B を局所的に高めることにより行なう。読み出しは、レプリケータによりバブルの複製分割を行ない、分割されたバブルは、シェブロン形バブル拡大器により約300倍に拡大され、拡大されたバブルによる磁気抵抗効果を利用して電気信号³⁾として取り出す。分割された元のバブルは転送路にとどまるため、非破壊読み出しが可能である。

3.2 磁気バブルメモリチップ仕様

チップの基本仕様を表1に示す。チップ方式としてシリア

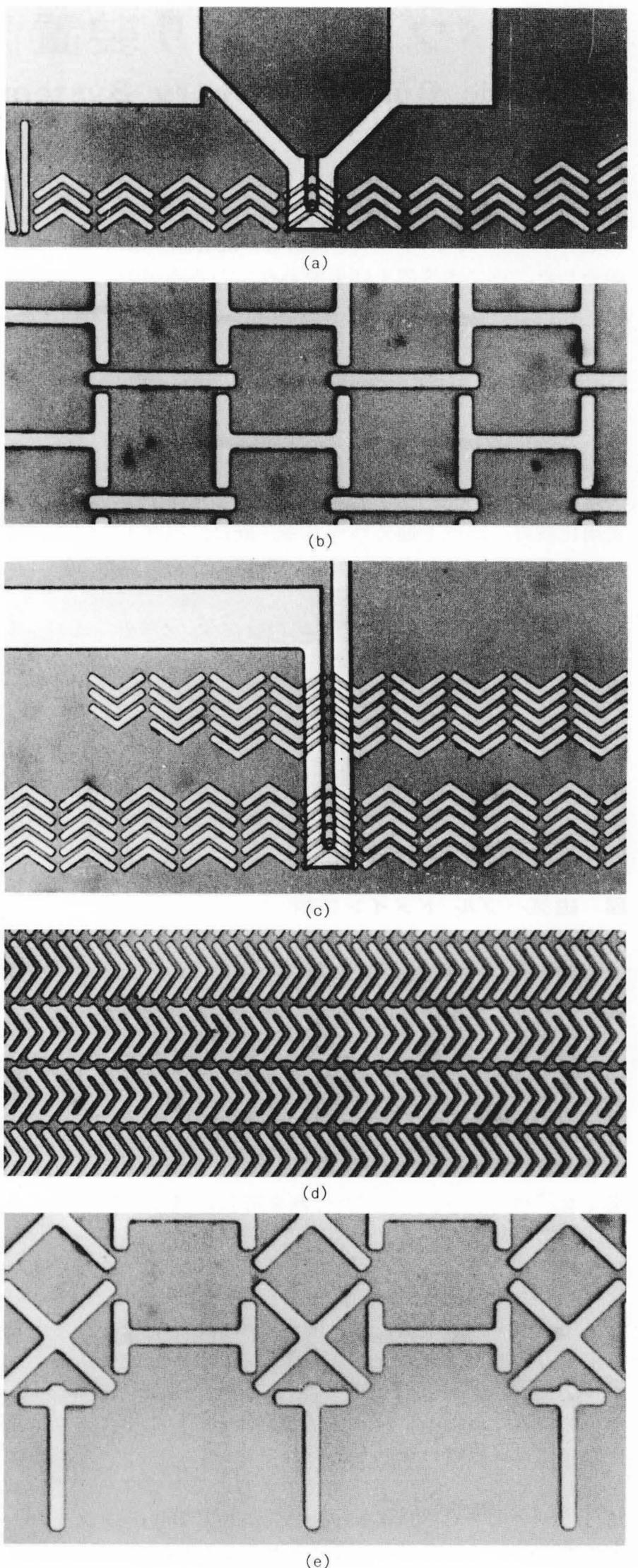


図3 磁気バブルメモリチップの主要部拡大図 (a)バブル発生/消去器:シェブロン転送路上に設けられたヘアピンループに電流を流しバブルの発生、消去を行なう。(b)バブル転送路:Tバーパターンが重なりHIパターン形となっている。(c)レプリケータ:エキスパンド、カッティングパルスにより下段のシェブロン転送路から上段のシェブロン転送路にバブルの複製が行なわれる。(d)バブル検出器:シェブロンパターンがつながった部分でバブルの検出を行なう。(e)逆転コーナ:X形パターンを入れ、回転磁界の回転方向と逆方向にバブルが進む。

表1 バブルチップ基本仕様 磁性薄膜にYSm系を使った6.5μmバブルによる16Kビット シリアル データ方式チップであり、バブル転送路はT1バー方式である。

項目	仕様
LPE膜組成	(YSm) ₃ (FeGa) ₅ O ₁₂
バブル径	6.5 μm
飽和磁化(4 πMs)	155G
ビット ピッチ	28 μm
転送速度	10 μs/ビット
チップ容量	16Kビット
平均読み出し時間	160ms
方式	シリアル データ方式
バブル発生方式	ニュークリエーション方式
ディテクタ	ストレッチャータイプ ディテクタ

表2 バブルチップ標準駆動パルス条件 駆動パルスとして下記4個がある。100kHzで駆動した場合のパルス条件である。

駆動パルス	条件	振幅 i (mA)	位相 θ (μs)	パルス幅 τ (μs)
バブル発生パルス		400	7.5	0.2
バブル消去パルス		120	5.9	0.2
エキスパンド パルス		100	7.0	1.4
カッティング パルス		120	10.0	0.2

注：位相(θ)の原点は図1で、 H_R が下向きするとき。

ル データ方式を採用した。転送路をつづら折り形式にするため、 H_R の回転方向と逆方向にバブルが進む逆転コーナが必要である。本チップに採用した逆転コーナの拡大図を図3(e)に示した。

3.3 磁気バブル メモリ チップ動作特性

バブル メモリ動作の基本は、バブルが安定に存在するか否かである。本稿に述べたチップの H_B 中心値は25°Cで760eである。必要な H_B マージンは、回路ばらつき、組立偏差、経年変化を見込み10%とした。表2に標準駆動パルス条件を示す。標準駆動パルス条件下で H_B マージン10%を保証する、バブル発生パルス(g)、バブル消去パルス(a)、及びレプリケータに流すエキスパンド パルス(exp)とカッティング パルス(c)の振幅(i)、位相(θ)、パルス幅(τ)の温度特性を図4~7に示す。また図8に H_R-H_B マージン、図9に H_B の温度特性を示した。チップはチップ温度0°Cから70°Cの範囲内でバブル発生電流(i_g)だけ、-1.4%/°Cの温度補償を行ない動作させた。

4 磁気バブル メモリ デバイス

デバイスとはチップ、バイアス磁石、回転磁界コイルなどから成る機能ブロックをいう。デバイスとしては、(1)チップに一樣な H_B 、 H_R を与えること、(2)SN比の良い構造であることが重要である。前者としては、 H_B 用に2個の柱状磁石と

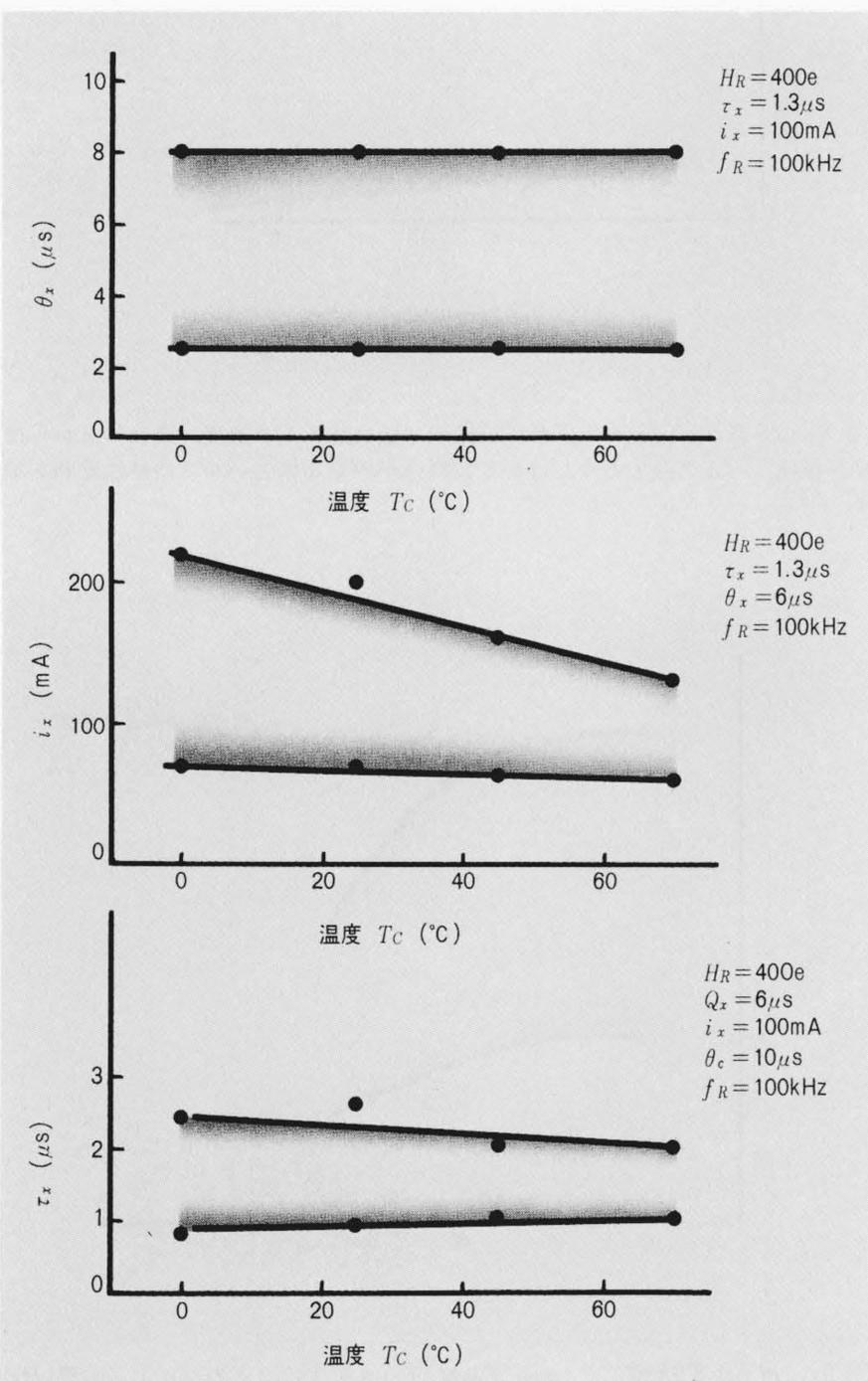


図4 エキスパンド パルス特性図 横軸はチップ温度、縦軸は上から位相、振幅、パルス幅であり、ぼかした部分がチップの動作範囲を示す。

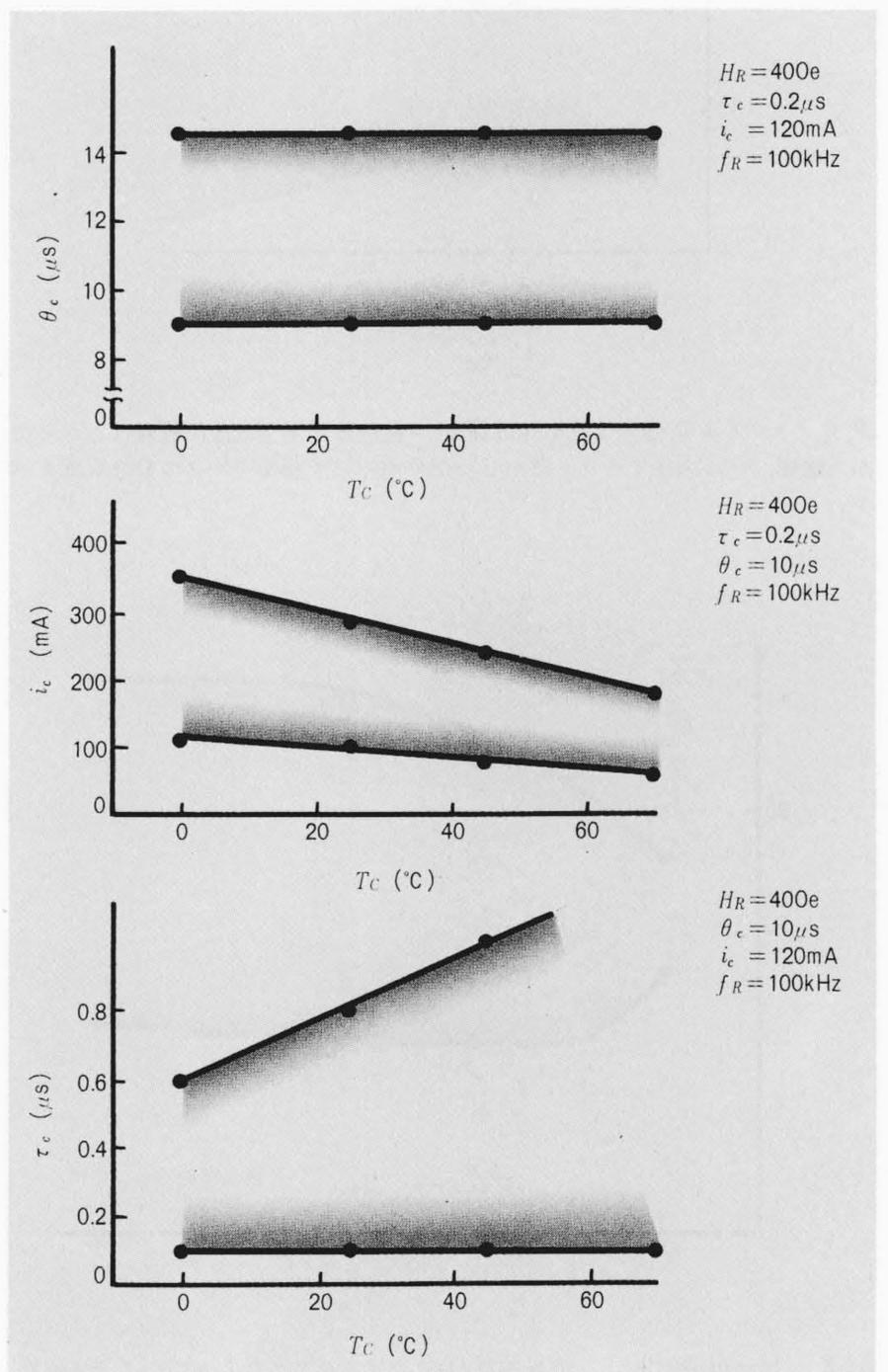


図5 カッティング パルス特性図 横軸はチップ温度、縦軸は上から位相、振幅、パルス幅であり、ぼかした部分がカッティング パルスの動作範囲を示す。

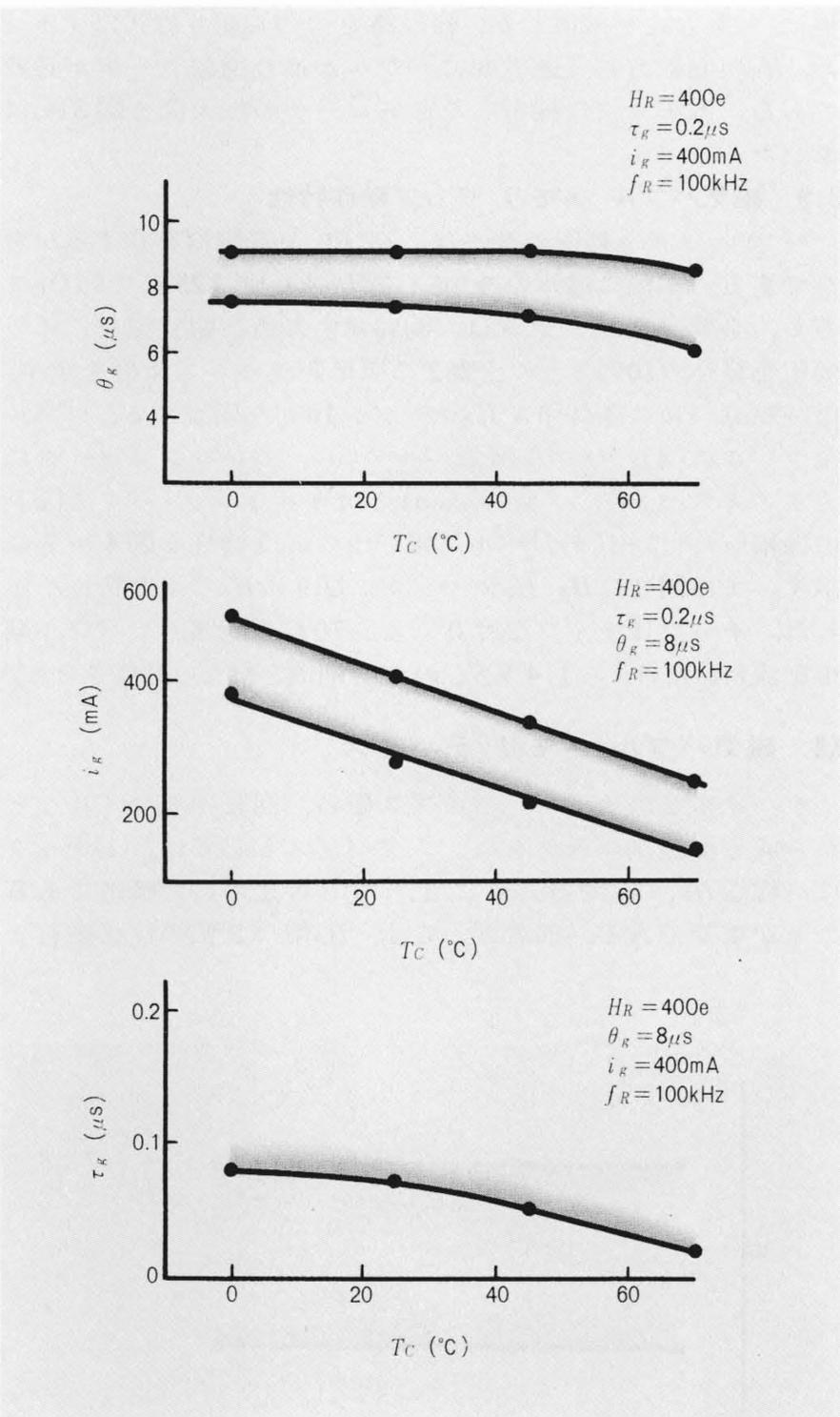


図6 バブル発生パルス特性図 横軸はチップ温度、縦軸は上から位相、振幅、パルス幅であり、ほかした部分がバブル発生パルスの動作範囲を示す。

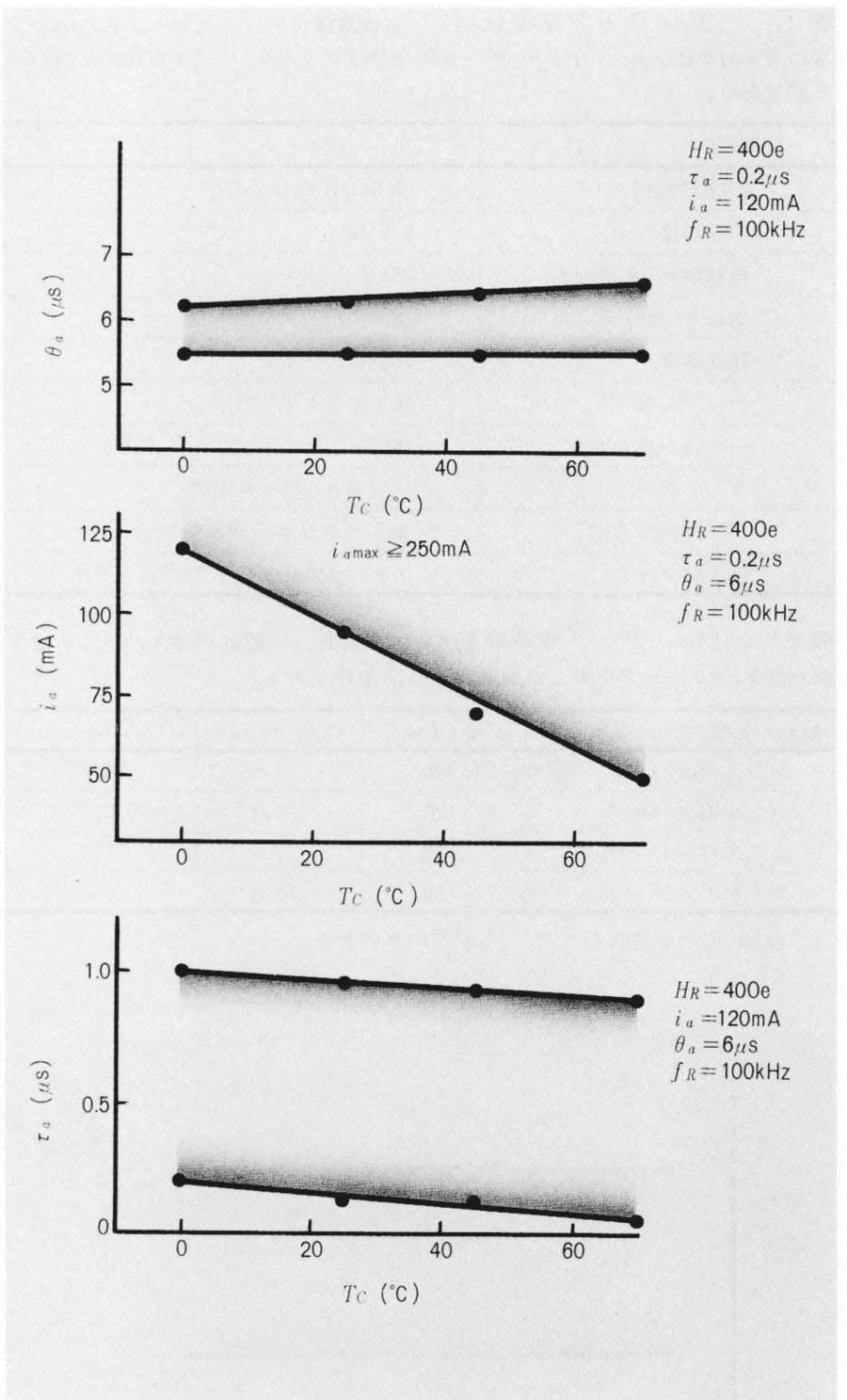


図7 バブル消去パルス特性図 横軸はチップ温度、縦軸は上から位相、振幅、パルス幅であり、ほかした部分がバブル消去パルスの動作範囲を示す。

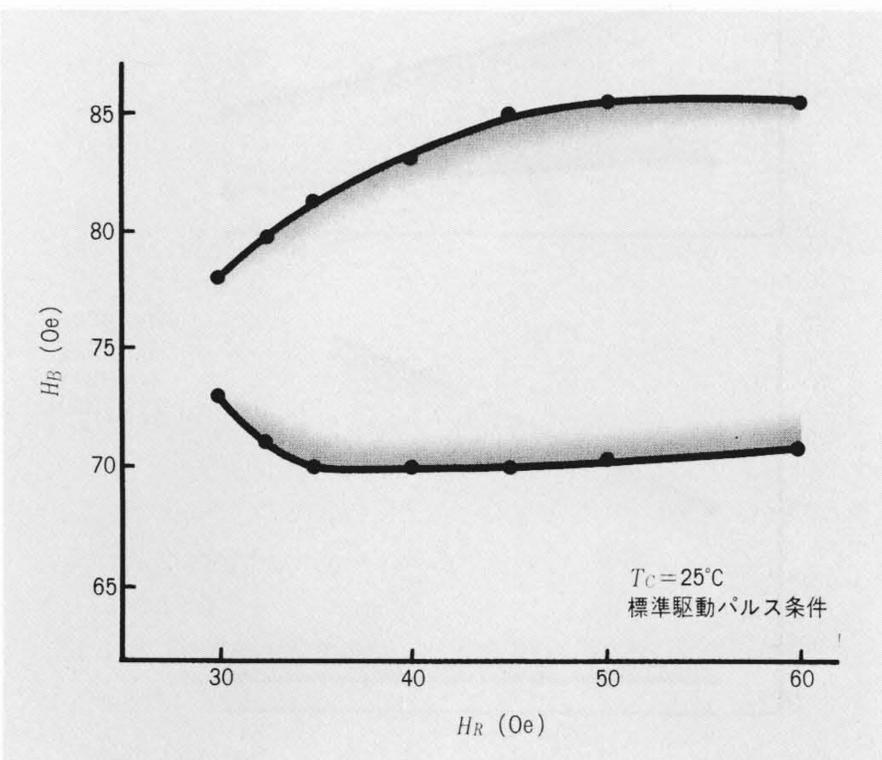


図8 H_R - H_B 特性 回転磁界(H_R)の強さを変えたときのバイアス磁界(H_B)特性である。

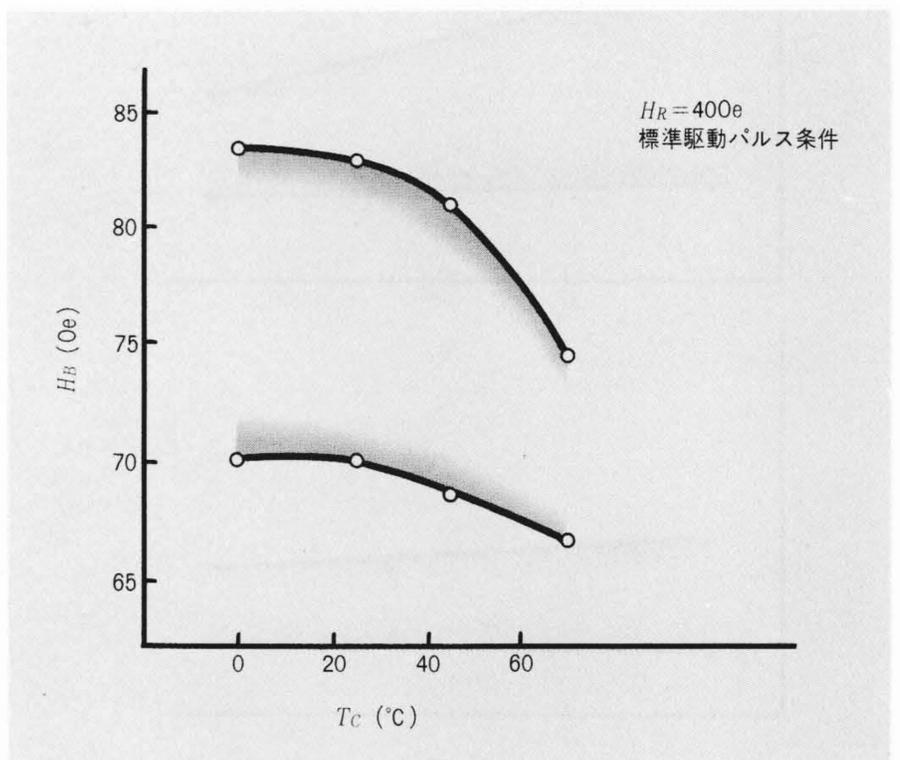


図9 H_B 温度特性 チップ温度(T_c)を変えたときのバイアス磁界(H_B)特性の変化を示す。温度が高くなると飽和磁化力が下がり、したがって H_B が下がる。

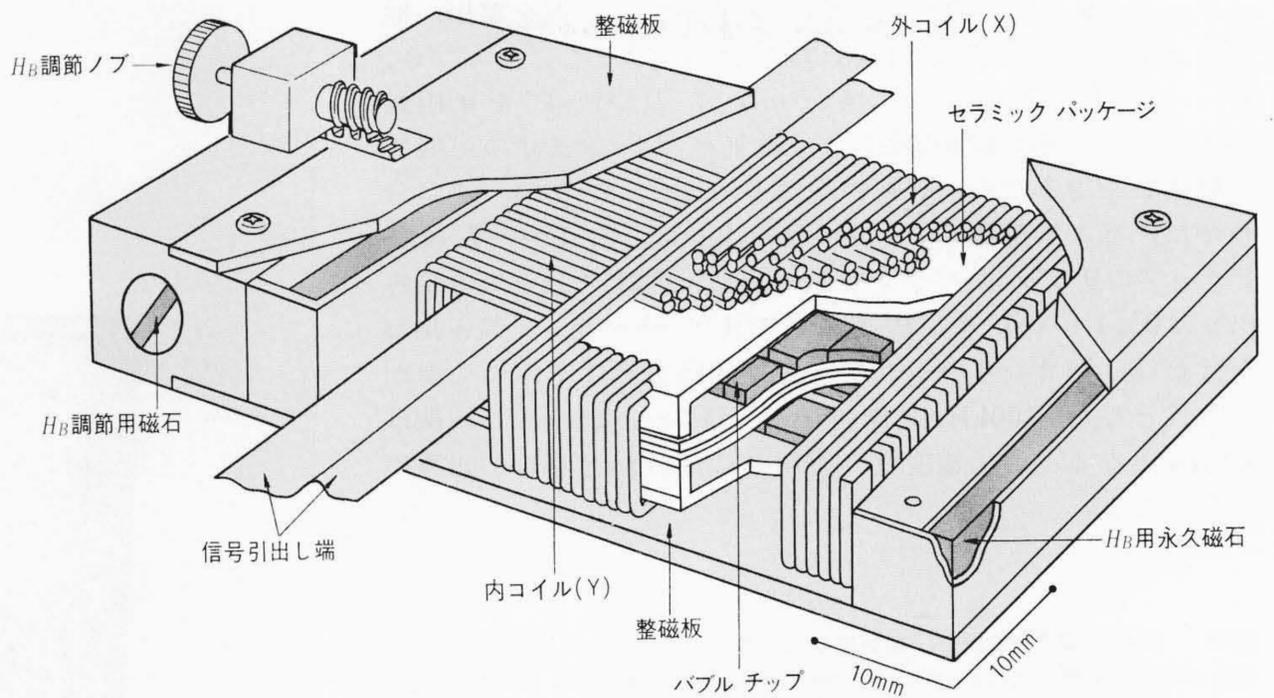
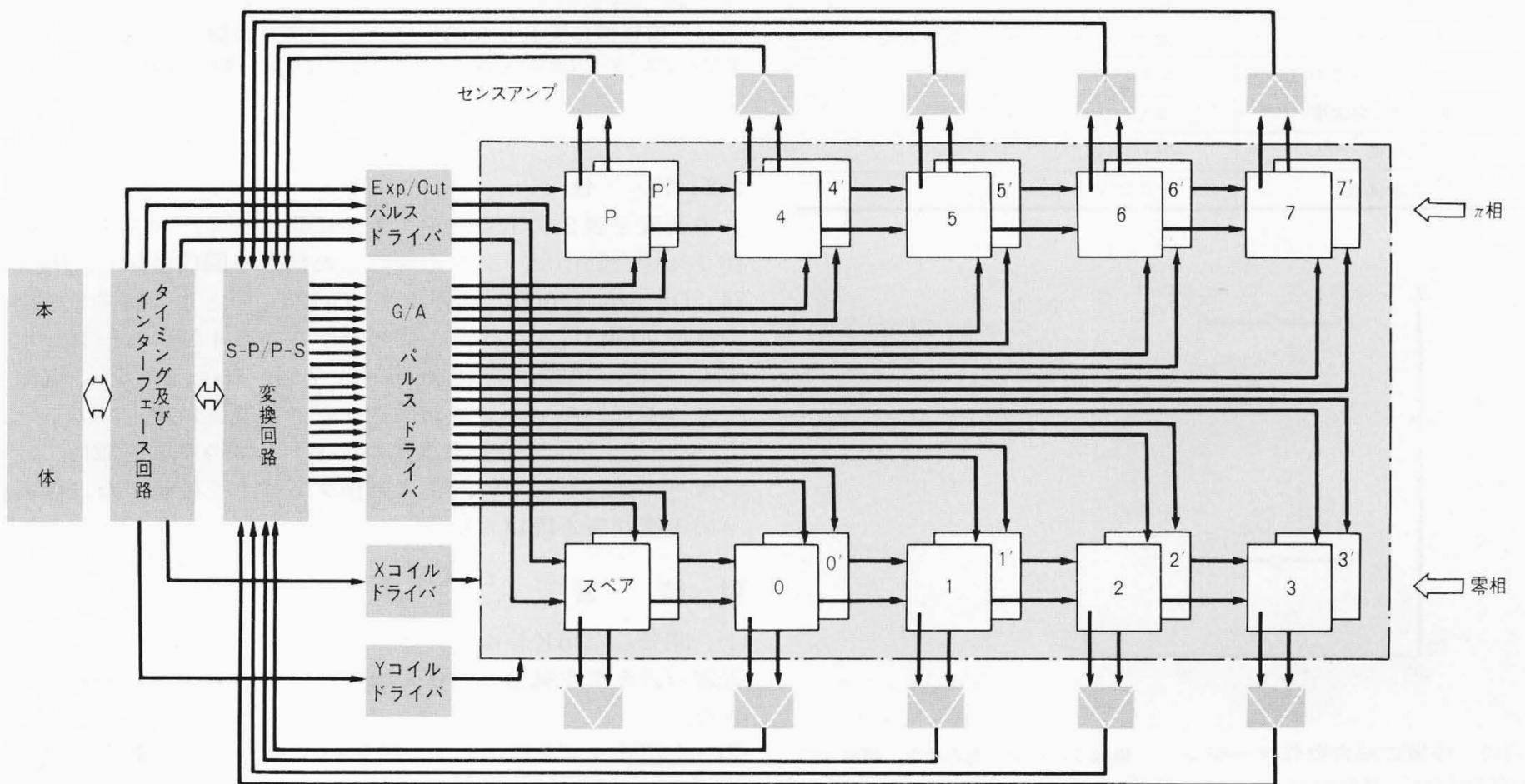


図10 デバイス構造図 セラミックパッケージの中にチップを実装し、その周囲には回転磁界(H_R)を与えるための内コイル、外コイルがある。これら全体が永久磁石と整磁板で作られたバイアス磁界(H_B) 磁気回路に入っている。試験用に H_B 調整機能を持っている。



注：Exp/Cut = エキスパン/カッティング
 G/A = ジェネレート/アナライズ
 S-P/P-S = シリアル-パラレル/パラレル-シリアル

図11 磁気バブル メモリ装置ブロック ダイアグラム 0, 1, ……Pはチップを示し、一点鎖線内はデバイスを示す。

2枚のフェライトヨーク板を使用し、 H_B の一様性として $\pm 1\%$ 以下に、 H_R 用コイルは長方形ソレノイド形を使用し、一様性は $\pm 2\%$ 以下、コイルの開口端近くで発生しやすい H_R の H_B 成分はチップ搭載部で $\pm 0.5\%$ 以下の設計とした。後者は、コイルからセンス系への誘導雑音を避けるため、3線式配線法、雑音シールド板の採用などの新手法をとった。その他、セラミックパッケージによるチップの気密封止を行ない、信頼性を高め、更に2層巻きコイルを使用し、回転磁界強度/電流値を大きくとり、コイル消費電力の低減を図り、コイル消費電力を $4.1W$ ($H_R=40Oe$)に抑えた。また H_B 用永久磁石としてバリウム磁石を使用し、磁石とチップの H_B 温度係数 ($-0.2\%/^{\circ}C$)を合わせた。表3にデバイスの特性を、図10に

構造を示す。

5 磁気バブル メモリ装置

5.1 構成

バブルメモリ装置の動作については、現在商用機である小形事務機を対象に検討を行なった。デバイスは16Kビット、シリアルデータ方式チップを20枚実装し、容量288Kビット(32K語 \times 9ビット)のバブルメモリ装置を開発した。このブロックダイアグラムを図11に示す。センスアンプの数を減らすために、センス入力ペアを2チップとし、奇数アドレスは0, 1, ……7及びPのチップを選択し、偶数アドレスは0', 1', ……7'及びP'のチップを選択する方式を採用した。また同

ワード(9ビット/ワード)内を2分割し、一方を零相、他方を π 相(零相より180度位相の遅れたもの)とし、チップ0, 0'.....3, 3'を零相動作4, 4'.....7, 7'及びP, P'を π 相動作とした。今回は本体連動により磁気バブルメモリの可能性の見通しを得るため、既製の磁気ドラムインターフェースに合わせた。そこで奇数アドレスの読み出しは、0, 1.....7及びPチップの9ビットパラレル読み出し、偶数アドレスの読み出しは0', 1'.....7'及びP'チップの9ビットパラレル読み出しを行ない、パラレル→シリアル変換回路を経て本体につながる方式とした。100kHz動作のとき、全ワード読み出し時間は320msとなる。この速度は、使用されていたドラムと同等の速度である。

表3 デバイス特性表 磁気回路に20チップを実装したもので、回転磁界用コイルの消費電力は4.1Wで、その時のチップの上昇温度は9°Cである。

項目	特性
搭載チップ数	20チップ
チップ封止方式	セラミックパッケージ気密封止
コイル消費電力	4.1W ($H_R=40\text{Oe}$, 100kHz)
チップ上昇温度	9°C (1msの空冷)
H_B 設定値	76Oe (25°C)
H_B 温度係数	-0.2%/°C

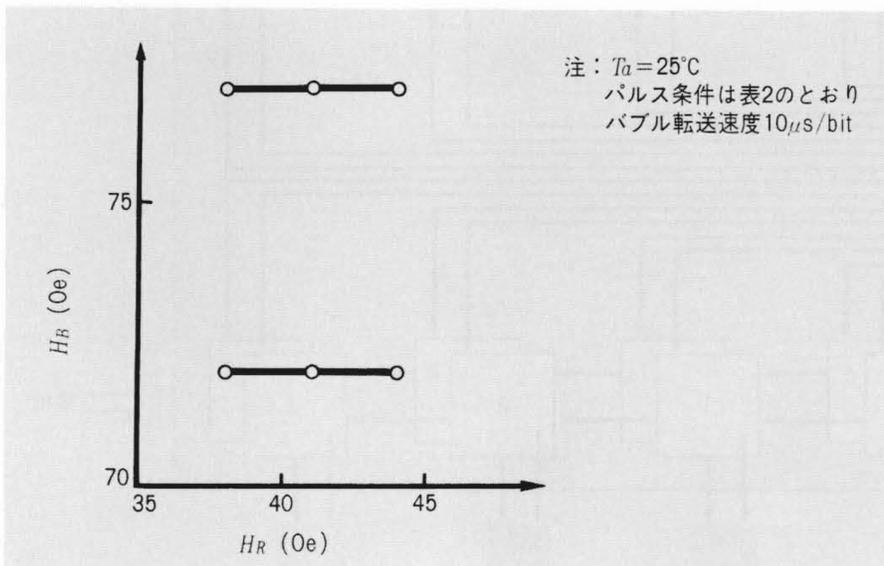


図12 装置の総合動作マージン 縦軸はバイアス磁界強度、横軸は回転磁界強度で、装置で総合マージンを評価した結果を示す。

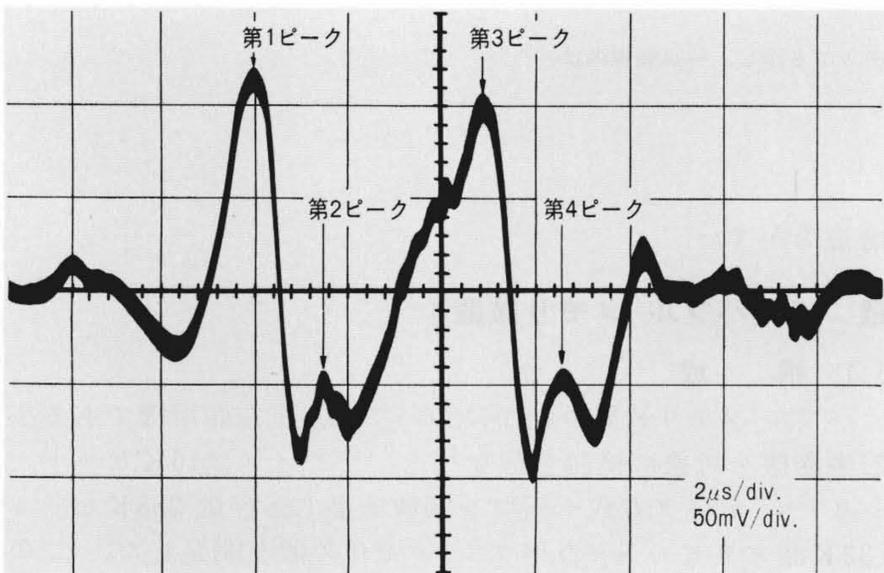


図13 バブル出力波形 V: 50mV/div(入力換算:2.5mV/div), H: 2µs/div H_R の回転周波数を100kHzとしたときの装置でのバブル出力波形を示すもので、1個のバブルから第1, 第2, 第3, 第4ピークがでる。



図14 事務機に実装した磁気バブルメモリ装置 ドラムを外し、磁気バブルメモリ装置(右側に見える3枚のプリント基板)を実装した。

5.2 特性

本装置を表2に示すパルス条件に設定して、テスターを動作させ総合動作マージンを評価した結果を図12に示し、 $H_B=74.5\text{Oe}$, $H_R=40\text{Oe}$, 周囲温度(T_a)25°Cのときの装置での出力波形を図13に示すが、1個のバブルから4個のピークが生ずる。評価の結果、常温で H_R は $\pm 7\%$, H_B は $\pm 3.5\%$, 電源変動は $\pm 12\%$ のマージンが得られた。本装置に特定の1ワード(マーカーワード)を書き込み、アドレスの基準を設けて、装置との連動を行ない、正常動作することを確認した。装置への実装状態を図14に示す。

6 結 言

- (1) 開発した16Kシリアルデータ方式チップは、バブル発生電流(i_g)を温度補償して0~70°Cまで動作することが確認できた。
- (2) 上記チップを使用して、磁気バブルメモリ装置を開発した。
- (3) 開発した装置を商用の小形事務機に実装し、連動動作を行ない、正常動作を試みた。

終わりに本研究に際し、御助力をいただいた日立製作所中央研究所の鴨下部長、杉田主任研究員及び電子管事業部の小田原部長に対し謝意を表わすと同時に、併せて旭工場の山崎峰夫氏の御協力に感謝する。

参考文献

- 1) P.I. Bonyhard et al.: "Magnetic Bubble Memory Chip Design", IEEE Transactions on Magnetics Vol. MAG-9 No. 3 P. 433 (1973)
- 2) A.H. Bobeck et al.: "Magnetic Bubble-An Emerging New Memory Technology", Proceeding of the IEEE Vol. 63, No. 8 P. 1176 (1975)
- 3) T.T. Nelson et al.: "Field Nucleation of Magnetic Bubbles", IEEE Transactions on Magnetics Vol. MAG-9 No. 3 P. 289 (1973)
- 4) 吉沢, 山村: 「磁気バブルメモリ直列共振駆動回路」, 電子通信学会電子部品材料研究会資料, CPM73-98, P. 31(昭和49-1)