

DIPS-11モデル10大形電子計算機

DIPS-11 Model10 Processor

DIPS-11モデル10大形電子計算機は、DIPS-1 超大形電子計算機の後継機として、日本電信電話公社のデータ通信サービス用に開発された汎用計算機である。

本稿は、DIPS-11計画の概要、同計画でファミリーとして開発されているモデル20 (日本電気株式会社担当)、モデル30(富士通株式会社担当)とモデル10の関係の概要、モデル10の論理、実装構造の概要及び4,096ビット半導体メモリをはじめとする使用半導体の概要について述べる。モデル10は、DIPS-1と同程度の性能で小形、低価格化を目標として開発されたが、十分その目的を達成できる見込みである。

萱島興三* Kayashima Kozô

遠藤 誠** Endô Makoto

1 緒 言

DIPS-11モデル10大形電子計算機(以下、モデル10と略す)は、DIPS-1 超大形電子計算機(以下、DIPS-1と略す)¹⁾の後継機として開発された。開発は昭和48年より日本電信電話公社横須賀電気通信研究所、同武蔵野電気通信研究所が中心となり、日本電信電話公社内の関係部局(技術局、データ通信本部、保全局など)、日立製作所、富士通株式会社、日本電気株式会社が参加して開始された。DIPS-11は大形電子計算機から超大形電子計算機分野までカバーしようとするもので、モデル10、モデル20及びモデル30の3機種から構成され、いずれも、DIPS-1で開発されたソフトウェアが使用できる^{2)~4)}。日立製作所はこのうち、DIPS-1と同程度の性能を持ち、低価格、小形軽量化を目標としたモデル10の開発を担当した。モデル20は日本電気株式会社、モデル30は富士通株式会社が担当した。表1に各モデルの仕様を示す。モデル10の1号機は昭和50年9月に日本電信電話公社横須賀電気通信研究所に試作機として納入され、性能測定など各種試験が実施されており、当初の目標以上の性能を達成できる見通しがついた。引き続き昭和51年秋までに2~5号機が出荷された。なおモデル20の試作機は昭和50年11月に完成、モデル30は51年6月に完成した。

2 モデル10の概要

モデル10は論理装置(以下、CPUと略す)、転送装置(以下、DCHと略す)、主記憶装置(以下、MEMと略す)から構成される。図1はCPU2台、DCH2台、MEM3台〔5又は6MB(メガバイト)〕の構成の場合の外観を示す。図2は最大構成の場合のレイアウトであり、DIPS-1と比較して床面積で $\frac{1}{3}$ 、保守エリアを含んだ設置面積で $\frac{1}{4}$ となっている。また重量は $\frac{1}{4}$ である。給電系はCPUとDCHはHITAC Mシリーズと同じく⁵⁾モータジェネレータ(以下、MGと略す)方式を用いているが、MEMはスイッチングレギュレータ方式を用いており、システムの消費電力はDIPS-1の $\frac{1}{3}$ となっている。1台のMGからは400Hz、200Vの安定化された交流がCPU、DCH各1台に給電され、各きょう体の下部に搭載された直流電源装置(DCUという)により低圧の直流に変換して使用される。MEMは1MB単位にきょう体下部に搭載されたスイッチングレギュレータ方式の電源から給電される。このような給電方式を採用したため、安価、小形、かつ低消



図1 DIPS-11モデル10の外観 本図は論理装置(CPU)2台、転送装置(DCH)2台、及び主記憶装置(MEM)3台(5又は6MB分)構成のものである。左側に伸びているのがDCH2台、それに交差してCPUが手前と奥に2台、その右側にMEM2台が見える。

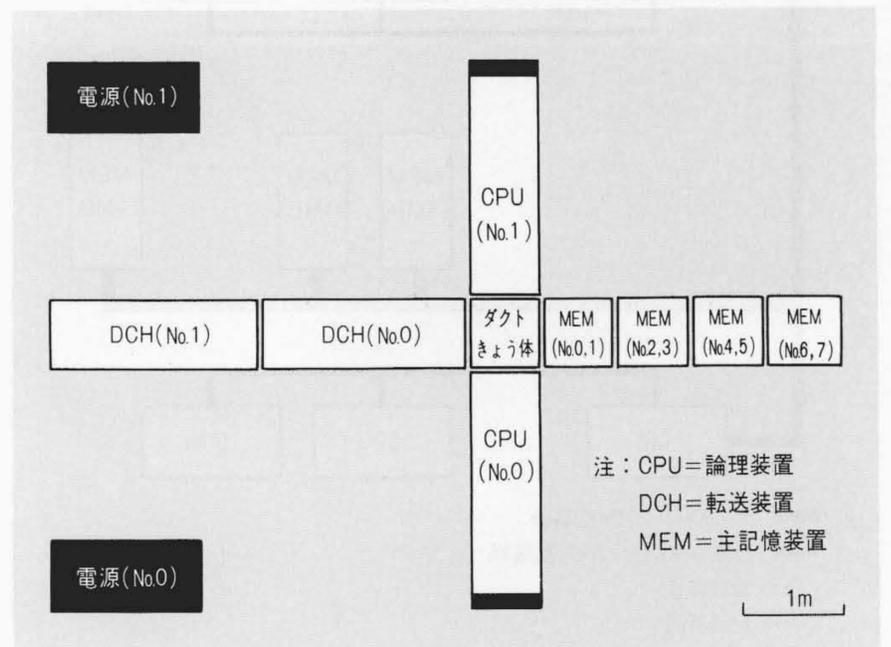


図2 DIPS-11モデル10のレイアウト 最大構成(CPU2台、DCH2台、MEM8MB)のレイアウトを示す。電源の配置は一例であり、変更できる。

* 日立製作所神奈川工場 ** 日立製作所神奈川工場 工学博士

表1 DIPS-IIモデル10, 20, 30の概要 DIPS-IIの各モデルの主な仕様を示す。なお参考のため、DIPS-Iの仕様を掲げる。DIPS-Iと比較し、モデル10は、非常に小形化されたことが分かる。

項 目	DIPS-II			DIPS-I (参 考)		
	モ デ ル 10	モ デ ル 20	モ デ ル 30			
メーカー	日 立 製 作 所	日 本 電 気 株 式 会 社	富 士 通 株 式 会 社	*		
目標性能(DIPS-Iを1とする)	1	1.4~1.5	3	1		
目標価格(DIPS-Iを1とする)	0.7	1	1.5	1		
論 理 装 置 (CPU)	システム当たり最大CPU台数	2	2	4		
	ローカルメモリ容量(KB)	8又は16	8又は16	8又は16		
	命令数	169	169	169		
	アドレス方式	論理アドレス	論理アドレス	論理アドレス		
デ ー タ 転 送 装 置 (DCH)	チャネル 制 御 装 置 (CHC)	システム当たり最大CHC台数	2	4	4	6
		CHC当たり最大チャネル台数	16	16	16	16
		最大データ転送速度(MB/秒)	12	12	12	12
	チャネル (CH)	種類数	2	2	2	4
		BCH最大転送速度(MB/秒)	1.7	1.7	1.7	1.5
		MCH最大転送速度(MB/秒)	0.1	0.1	0.1	0.1
主 記 憶 装 置 (MEM)	システム当たり最大容量(MB)	8	16	16	16	
	増設単位(MB)	1	1	1	1	
	使用素子***	MOS (4Kビット)	MOS (4Kビット)	MOS (1Kビット)	コ ア	
	誤り訂正****	ECC	ECC	ECC	ECC	
診 断 機 能	診断方式*****	FLP	FLP	FLP	FLP	
	診断プロセサ	マイクロ命令による	ミニコンピュータによる	ミニコンピュータによる	他CPUによる	
装 置 床 面 積 (m ²)	(CPU×2, DCH×2, MEM×8MB)	9.7	—	—	***** 39.2	
消 費 電 力 (kVA)	(")	48	—	—	***** 82	

注：* 日立製作所，富士通株式会社，日本電気株式会社
 ** B=バイト，1KB=1,024B，1MB=1,024KB
 *** MOS= Metal Oxide Semiconductor
 **** ECC= Error Check and Correct
 ***** FLP= Fault Location Program
 ***** DIPS-I(H)の値

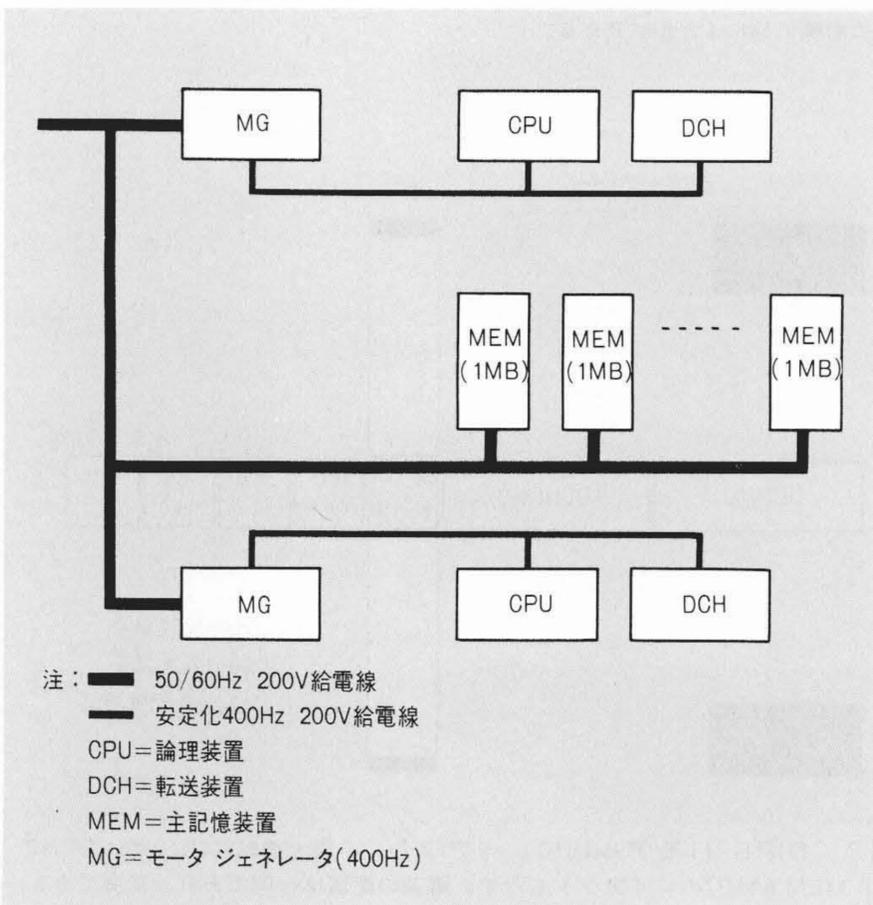


図3 給電系 CPU1台とDCH1台に1台のMGから給電し、MEMは1台ごとに電源が独立している。保守などのため、他装置の運転に影響を与えることなく各装置ごとに電源の投入切断を可能にしている。

費電力で、しかも保守時に各装置ごとの電源の投入切断が他装置の運転に影響を与えずにできる(図3)。

モデル10は2台のCPUによるマルチプロセッシングが可能である。図4にデータバスの構造を示す。小形化を図り、かつデータ転送速度を向上させるため、次のような方式を採用している。

- (1) CPUとDCHのメモリ制御をメモリコントロールユニット(以下、MCUと略す)に集中した。ただし、2台のMCUからのアクセスの制御とメモリのリフレッシュの制御はMEM側で持つ。ECC(Error Check and Correct)回路はMCU内に設けられる。
- (2) ローカルメモリ(以下、LMと略す)の内容を主記憶装置の内容と一致させる制御は、各MCUごとに行ない、更に他のMCUに必要な情報を通知する。
- (3) MCUと複数のMEM間のデータインタフェースは直列に接続し、双方向性とし、書込み、読出し共に同一ケーブルを用いる。
- (4) MEMは4ウェイインタリーブとする。

論理素子としてはHD2500シリーズTTL(Transistor Transistor Logic)及びHD74シリーズショットキーTTLを用いている。高速の論理素子としてはHD10000シリーズを用いている。

この素子はECL(Emitter Coupled Logic)であり、その

特長は次のとおりである。

- (1) 高速(ゲート遅れ: 2ns)であるが、立上り、立下りが緩やかで、布線設計が比較的容易である。
- (2) 低消費電力(25mW/ゲート)
- (3) 数ゲートの集積回路(IC)から90ゲート級の高密度ICまで品種が豊富である。

高速ICメモリ素子としては、64ビット及び256ビットのECLメモリが用いられている。前者はレジスタメモリとして、後者はCPU, DCHのコントロールメモリ(以下、CMと略す)、CPUのローカルメモリ(以下、LMと略す)として用いられている。

主メモリ用としては、ダイナミック形4,096ビット大規模集積回路(LSI)NチャンネルMOS(Metal Oxide Semiconductor)メモリ素子が用いられている。

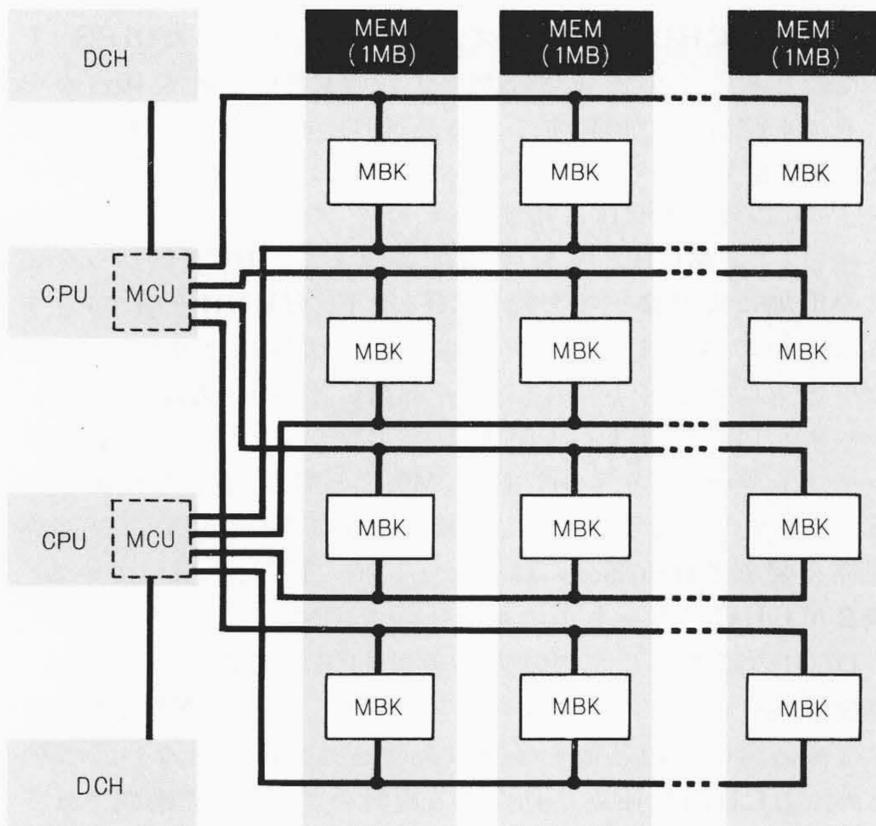
これらの論理素子、高速ICメモリ素子、LSIメモリ素子などは日本電信電話公社の認定を得たが、一般用にも市販され、また互換性のある素子が他メーカーでも開発されている。

3 CPU

CPUは命令実行の中枢をなすものであるが、メモリ制御機能の一部(MCU)も含んでいる。

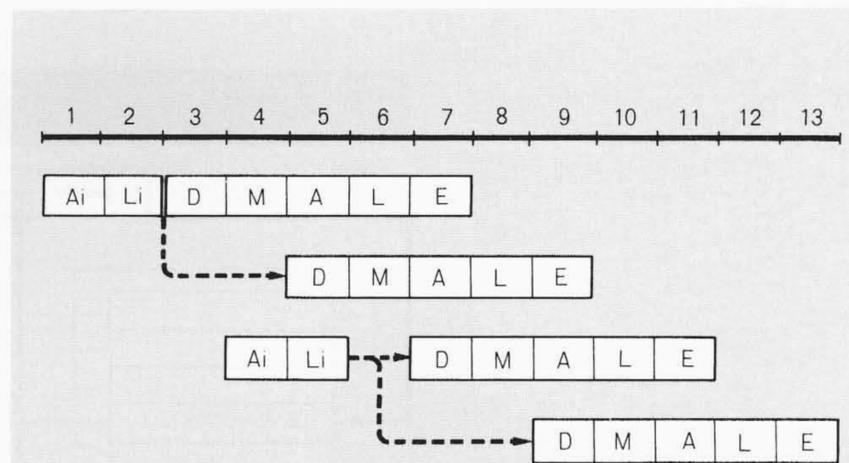
CPUの命令実行、割込処理、再試行、パネル操作などの制御はマイクロプログラムで実行される。マイクロプログラムはフロッピーディスクに格納されており、電源投入時にCMに読み込まれる。このとき同時にDCHのCMにもDCH用のマイクロプログラムが読み込まれる。CPUのCM容量は2,560語であり、2バンクより構成される。両バンクからは試験時間の間に並行して2個のマイクロ命令が読み出され、試験結果により一方のマイクロ命令を選択することにより、制御の高速化を図っている。マイクロ命令1語は64ビットの情報と8ビットのパリティから構成され、9個のフィールドに分割されている。

命令の実行は、読出し、解釈、アドレス変更、オペランド



注: MBK=メモリバンク(256KB)
— バス(8バイト幅)

図4 データバスの構造 データ転送速度を向上し、かつ回路の増加を抑えることを主眼としている。



注: Ai=命令のアソシエーション(実アドレスの決定)
Li=LMから2命令読出し
D=デコード
M=アドレス変更
A=オペランドのアソシエーション
L=LMからオペランド読出し
E=命令実行

図5 モデル10の先行制御 代表的な命令では、同時に2命令を読み出し、かつオーバーラップさせて実行させる。実行ステージは、2サイクルで処理されている。

読出し、命令実行の各ステージに区分され、それぞれ、76nsのマシンサイクルに同期して処理される。モデル10では先行制御によりこれら命令の準備ステージと実行ステージをオーバーラップさせ、代表的な命令では同時に3命令を実行させている(図5)。

メモリアドレス方式は仮想記憶(Virtual Address)方式を用いている。また命令実行速度を向上させるためLM方式を採用している[バッファメモリ、あるいはキャッシュ(Cache)メモリともいう]。LMまわりのアドレス変換機構の概略を図6に示す。すなわち、論理アドレスはATB(Address Translation Buffer)で実アドレスに変換される。ATBには64×2組みのアドレスが登録できる。LM上に目的の情報是否存在しているか否かはAA(Address Array)を検索することにより知られる。命令実行時間を短縮するため、ATB、AAの検索、LMの読出しなどはオーバーラップさせて行なっている。

演算器は高速の処理能力を持ち、ワード(Word)演算器(8バイト又は4バイト長)、バイト演算器及びシフト演算器から構成される。アドレス演算器は別に設け、命令実行時間の短縮を図っている。

命令体系はDIPS-1と互換性を保持しているが、DIPS-11ではオンデマンドページング(On Demand Paging)機能が追加されている。

RAS(Reliability Availability and Serviceability)は特に重視された事柄である。信頼性向上のため、部品の故障率低減を目指し、特に半導体に対しては厳しい信頼性試験、エージングなどを実施している。RAS機能としては、DIPS-1でも採用されたがデータ転送の際のチェックの実施、メモリにおけるエラー訂正符号の採用、ログアウト機能やリトライ機能、故障診断機能などが更に強化された。故障診断は、モデル20、モデル30は別個にミニコンピュータ程度の規模の診断プロセッサを持つが、モデル10ではマイクロプログラム制御回路によって診断を行ない、システムの小型、経済化をねらっている。モデル10の診断実行は、マイクロ診断で採用されているStart Smallの思想(診断に必要な回路から診断を開始し、確認範囲を広げていく)によって行われている。診断プログラ

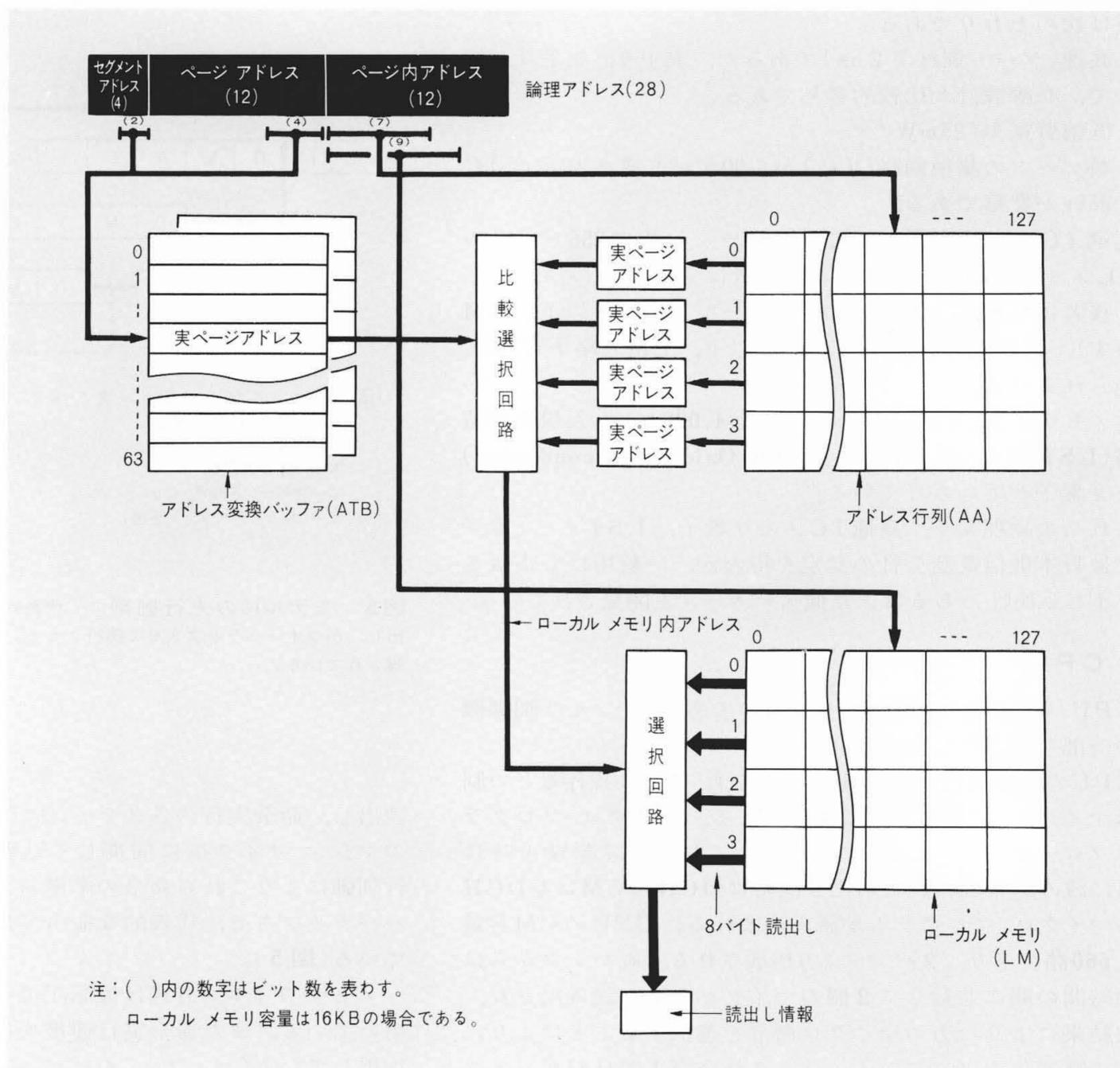


図6 アドレス変換論
論理アドレスが与えられると、ATBによる実アドレスへの変換、アドレス行列(AA)によるローカルメモリ(LM)内のアドレスへの変換、LMへのアクセスなどは並行して行ない、実行時間の短縮を図っている。

ムと辞書についてはFLT(Fault Locating Test)の手法を採用し、自動作成を行なっている。診断プログラムは日本電信電話公社横須賀、武蔵野両電気通信研究所との共同研究により開発中であり、昭和51年末に完成する予定である。

モデル10の性能は、DIPS-1などの経験を生かし改善されている。論理アドレスやLM、あるいは先行制御などを採用した大形電子計算機では、平均命令実行時間はソフトウェアによって大幅に変動し、ハードウェアだけでは単純に論ずることができないが、モデル10で改善された主な点を挙げると次のようになる。まず、モデル20、モデル30と共通的には、LSIメモリ素子採用による高速化やLMまわりの方式をセットアソシアティブ(Set Associative)方式に変更して⁵⁾、情報がLM上に存在している確率を高め、また論理/実アドレス変換テーブルをLM上に置くことを許している。モデル10固有のこととしては、マシンサイクル短縮、CPUとMEM間のデータ幅の拡大やケーブル長短縮によるメモリオーバヘッドの低減、アドレス演算器の設置など多重処理動作の強化などがある。前述のように、性能はプログラムによって大幅に異なるが、DIPS-1と比較するとLMまわりの方式設計の改良などにより、かなりの速度向上が期待できる。

CPUの外観を図7に、内部を図8に示す。

4 DCH

DCHはCPUの指示によりMEMと周辺装置との間の情報

の転送を行なうものである。DCHはチャンネル制御装置(以下、CHCと略す)とチャンネルとで構成されている。入出力制御の共通部分はCHCに集中されており、機能を分散したDIPS-1に比較し著しく小形化された。1台のCHCは最大16台のチャンネルを時分割で制御するため高速性を要求され、論理素子にはECLを使用している。チャンネルにはバーストモードチャンネル(以下、BCHと略す)とマルチプレクスモードチャンネル(以下、MCHと略す)の2種類がある。BCHはパッケージの追加により2バイト幅BCH(以下、HBCHと略す)とすることができ、またジャンパ線による切替によりブロックマルチプレクサチャンネル(以下、BMCと略す)又はセクタチャンネル(以下、SLCと略す)として使用される。MCHはマルチプレクサチャンネル(以下、MXCと略す)として使用される。チャンネルの論理素子としては大部分TTLを用い、一部高速性を要求される部分にはショットキーTTLを用いている。表2にCHC、チャンネルの主な仕様を示す。

DCHの論理としての特色は多重動作にある。すなわち、複数台のチャンネルの同時動作を可能とし、かつMXCやBMCでは複数台の周辺装置を多重に動作させねばならない。このため、DCH内は独立に動作する複数のブロックで構成されており、その間はレジスタメモリやバッファメモリを介して制御情報やデータの授受を行ない、同時動作を行なっている。

CHCにはメモリコントロールユニット(MCU)とのインタフェースを制御するブロックとチャンネルとのインタフェースを

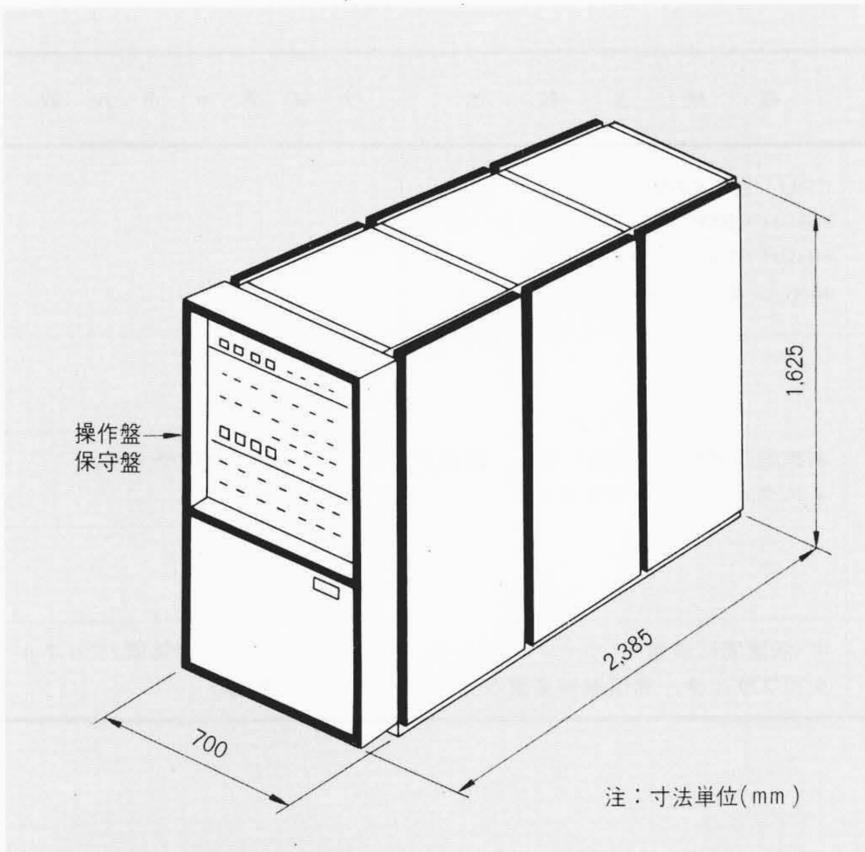


図7 論理装置(CPU)の外観 きょう体内に、コントロールメモリ、ローカルメモリ、メモリコントロールユニットなども内蔵している。

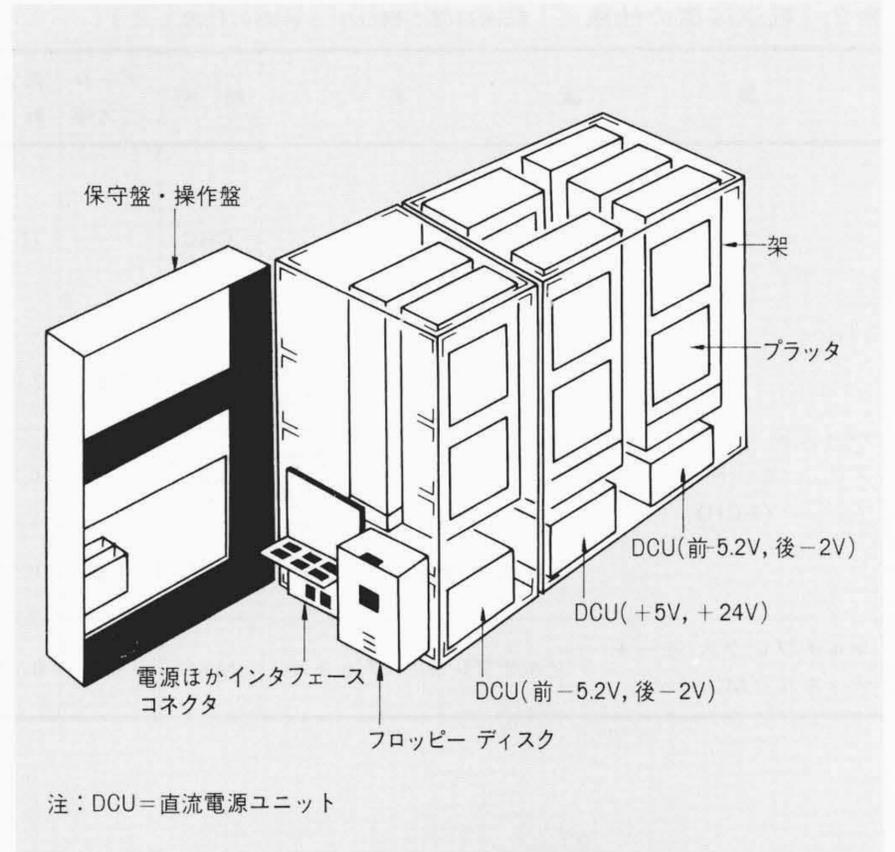


図8 論理装置(CPU)の内部 きょう体の下部に電源、上部に論理回路が実装されている。本図はパネルを開いたところを示している。

制御するブロックとがあり、それぞれ独立に動作し転送能力を向上させている。CHCには多重に動作する各周辺装置に対応した制御情報などを格納するサブチャンネルメモリが用意されている。これは1,024ビットTTLメモリで構成され、3,072語(1語は4バイト)を基本とし、3,072語単位で最大9,216語まで増設できる。

DCHの制御はマイクロプログラムによって行なわれる。マイクロ命令の1語は35ビットの情報と1ビットのパリティから構成され、6個のフィールドに分割されている。コントロールメモリは256ビットECLメモリによって構成され、その容量は1,024語である。

DCHの外観を図9に、その内部を図10に示す。

5 MEM

図11に主記憶装置のきょう体構造を示す。きょう体には2個の可動架があり、それぞれに1MBのメモリ、制御回路及び保守盤が搭載され、きょう体下部には電源が格納されている。

図12にメモリパッケージを示す。パッケージ上にはNチャンネルMOS、LSIメモリ素子が16KB分、36個搭載されている。

1MBのメモリは各独立して動作する4個のバンクより構成される。データは8バイト幅であり、64ビットの情報と8ビットのチェックビットより成る。各バンクは256KBの容量を持ち、2台のMCUに接続するための2組みの8B幅のバス接続回路、リフレッシュ制御回路などが含まれている。TTL

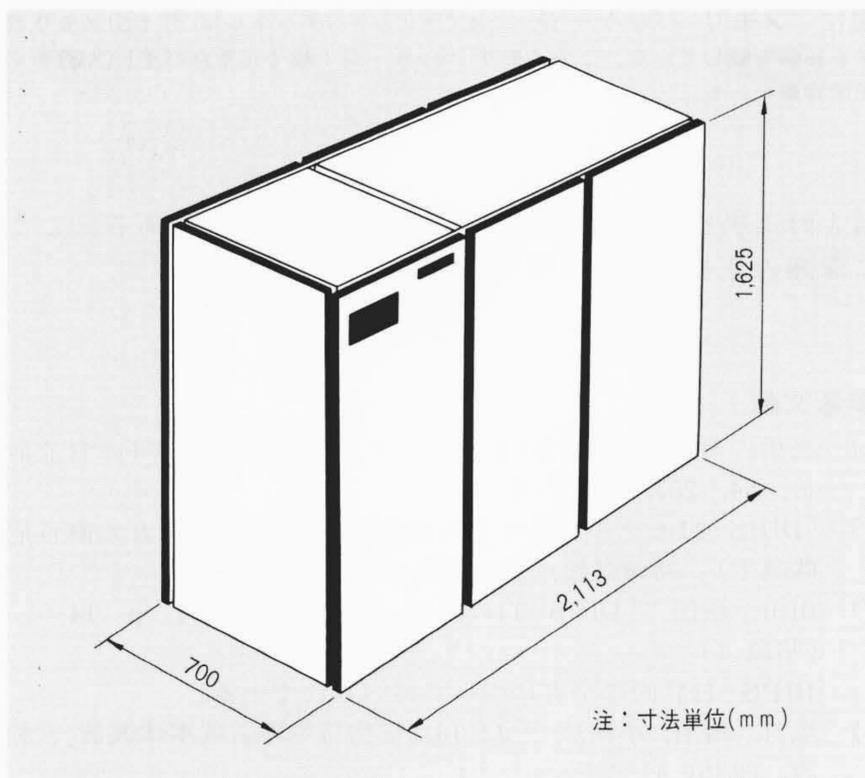


図9 データ転送装置の外観 16台のチャンネルが搭載されており、1台の論理装置(CPU)に本装置が1台接続される。

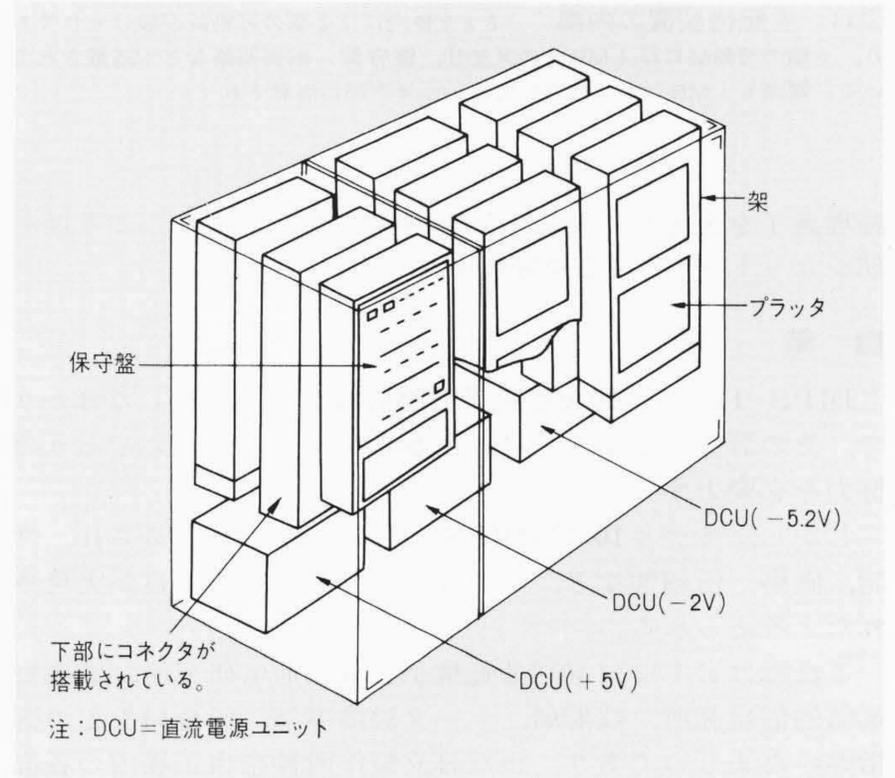


図10 データ転送装置の内部 きょう体の中央にある3台の固定架の下半分に入出インターフェース用コネクタが96個搭載される。

表2 転送装置の仕様 転送装置を構成する各部の仕様を示す。

装置名	略称	データバス幅	最大データ転送速度	接続台数他	サブチャンネル数	
チャンネル制御装置	CHC	—	12 MB/秒	CPU 1 台に CHC 1 台 HBCH+BMC+SLC+MXC ≤ 16 台 HBCH+BMC+SLC ≤ 12 台 MXC ≤ 4 台, HBCH ≤ 4 台	—	
バーストモードチャンネル (BCH)	2バイト幅バーストモードチャンネル	HBCH	2 B	3.4 MB/秒	高速周辺装置用(磁気ドラム, 磁気ディスク, 磁気テープなど)	8, 16, 32, 64個/チャンネル (4 B × 3 語/個)
	ブロックマルチプレクサチャンネル	BMC	1 B	1.7 MB/秒		
	セレクタチャンネル	SLC	1 B	1.7 MB/秒		
マルチプレクスモードチャンネル (MCH)	マルチプレクサチャンネル	MXC	1 B	0.1 MB/秒	中・低速周辺装置用(ラインプリンタ, タイプライタ, 通信制御装置など)	16, 32, 64, 128, 256個/チャンネル (4 B × 6 語/個)

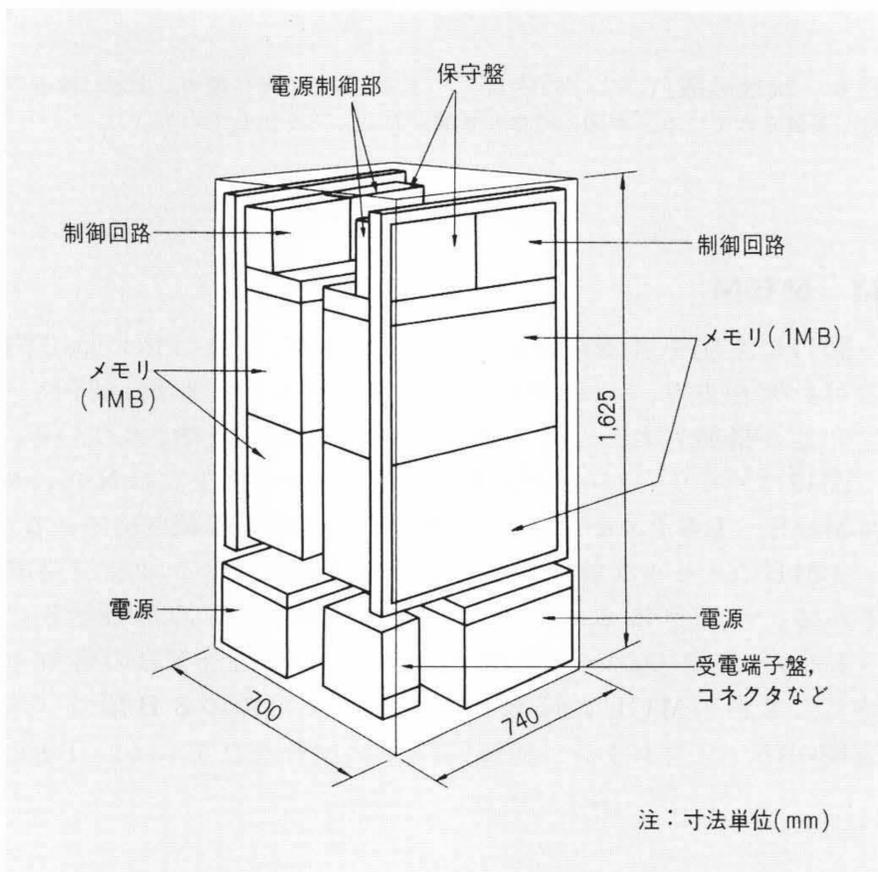


図11 主記憶装置の内部 きょう体内には2個の可動架が設けられており、1個の可動架には1MB分のメモリ、保守盤、制御回路などが搭載されている。電源も1MBごとに独立してきょう体下部に搭載されている。

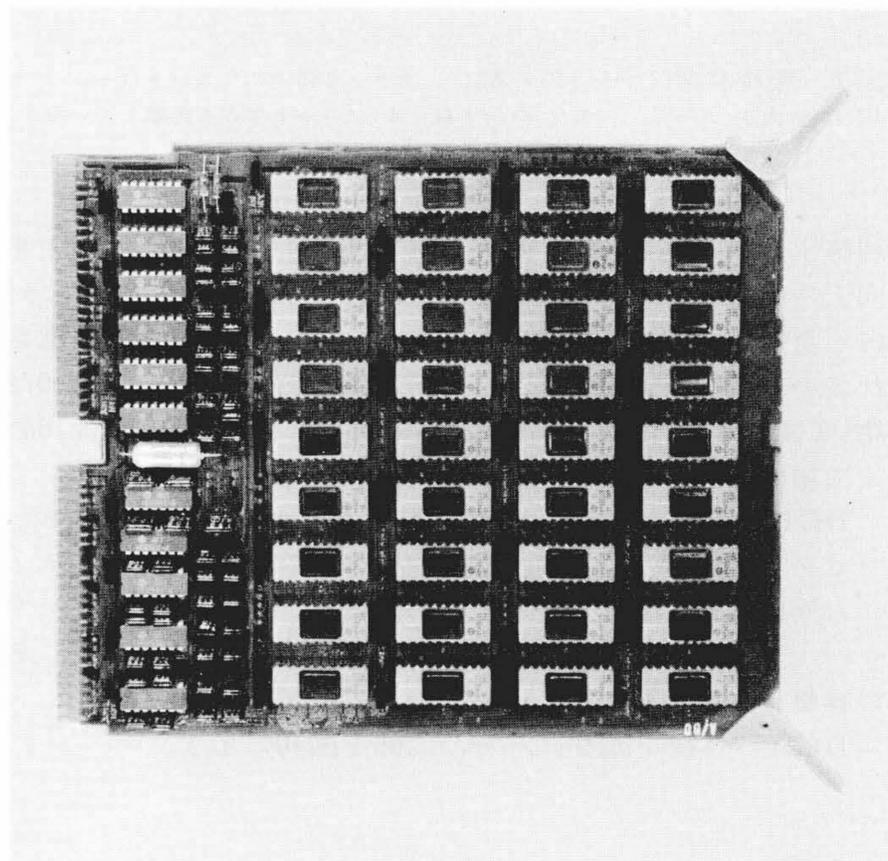


図12 メモリパッケージ 4,096ビットNチャンネルMOS LSIメモリ素子を36個搭載している。このメモリパッケージ1枚で16キロバイト(KB)分の記憶容量がある。

論理素子を主としているが、高速性を要求されるところは一部ショットキーTTLを使用している。

6 結 言

DIPS-11モデル10大形電子計算機は数台を製造したばかりで、その評価が定まるのはこれからであり、更にいっそうの努力を必要とする。

しかし、モデル10にはDIPS-1などの経験が生かされ、性能、価格、信頼性など、いずれの面でも格段の改良が実現されたと考えられる。

これらは日本電信電話公社横須賀電気通信研究所、武蔵野電気通信研究所、技術局、データ通信本部、保全局などの御指導のたまものであり、また日立製作所神奈川工場内の各部門をはじめ、中央研究所、電子事業本部半導体事業部、武蔵工場、デバイス開発センタ、ソフトウェア工場、小田原工場、

習志野工場など社内多数各位の御協力のおかげである。ここに深謝の意を表わす次第である。

参考文献

- 1) 高橋, 猪島: 「DIPS-1 Lシステム(ハードウェア)」, 日立評論, 54, 257, (昭47-3)
- 2) 「DIPS-11モデル10, モデル20完成(経済性にすぐれた高性能機誕生)」通研月報, Vol. 28, No. 12, (1975)
- 3) 山田, 信国: 「DIPS-11の概要」, 施設, 施28-1 p. 14 (昭51.1)
DIPS-11計画の全容について述べられている。
- 4) 塩月, 田沼, 小河原: 「JS1010形情報処理装置本体装置」, 施設, (昭51.4)
- 5) 曾我ほか: 「HITAC M-170/M-180処理装置」, 日立評論, 57, 51 (昭50-9)