

# 8ビットマイクロコンピュータ HMCS 6800の特徴と基本構成

## Basic Architecture of HMCS6800, 8bit Microcomputer System

HMCS 6800は、Nチャンネルシリコンゲートプロセスをベースとした8ビットマイクロコンピュータ用LSI系列である。洗練されたアーキテクチャ、使いやすい命令体系、5V電源動作などの優れた設計思想に基づいて設計されている。従来の小規模ICを中心とするハードワイアードロジックに代わって、設計自由度の高いプログラムによる設計、すなわちマイクロプロセッサの利用についての検討期を終了し、具体的なシステムへの組みこみが始まっている。本稿では、HMCS 6800の特徴と基本構成について紹介する。

初鹿野凱一\* *Hatsukano Yoshikazu*

### 1 緒言

1973年に米国のインテル社が、i 8080を、1974年にモトローラ社が、M6800を発表したのを契機に、マイクロコンピュータはいわゆる第2世代に入った。第2世代のマイクロプロセッサの特徴は、急速な大規模集積回路(以下、LSIと略す)技術の進歩を背景に、よりミニコンピュータに近づいたアーキテクチャを持つことである。すなわち、入出力命令、割込み命令、DMA(ダイレクト・メモリ・アクセス)機能などが強化されており、特に汎用コンピュータの持つ各種の入出力周辺装置やファイルメモリをも接続可能で、制御用途において重要なビット操作などの命令機能も追加されているなど、まさに、ミニコンピュータの「小形軽量化」、「低価格化」及び「高信頼化」を達成しようとするものといつてよい。目下、日立製作所でも今後の応用範囲の拡大に備えて、マイクロプロセッサ関連LSIの開発を進めている。

現在、マイクロプロセッサは、基本データ語長により、4ビット、8ビット、12ビット、16ビットの各システムに分類されている。本稿で紹介するHMCS 6800は、数値や文字を処理するだけでなく、アナログやデジタル的な入力情報を処理して機械や装置を制御するなど、家庭電化製品応用、計算機関連応用、産業への応用など、広い範囲にわたってシステムへの組込みが始まっている8ビットシステムである。

8ビットシステムでは、これまで多数の独自のアーキテクチャを持つシステムが発表されたが、現在ではモトローラ社のM6800系列及びインテル社の8080系列を中心に標準化が進んでいる。HMCS 6800は、モトローラ社のM6800と完全な互換性を指向するLSI系列である。これらのLSIは、

- (1) 高速度
- (2) 高集積密度
- (3) 低消費電力
- (4) 低価格
- (5) インタフェースが容易

といったマイクロコンピュータ用LSIに不可欠の要素を、現在最もバランスよく実現できるNチャンネルシリコンゲートMOS(Metal Oxide Semiconductor)プロセスを利用して設計されている。また、このN-MOSプロセスはLSIメモリの主流となっており、既にかんがりの実績があるが、プロセス

の安定性、及び信頼性について今後とも強力に向上が進められていくはずである。

### 2 HMCS 6800の特徴

HMCS 6800は、

- (1) マイクロプロセッサ(以下、MPUと略す)HD46800を、中心とするLSIファミリ
  - (2) プログラム開発のためのサポートソフトウェア
  - (3) システム開発のためのサポートハードウェア
- 以上三つの製品系列から構成され、MPUをベースとした応用システムの開発期間の短縮、システムコストの低減などを実現するため、トータルシステムとして整備されている。

また、HMCS 6800のLSIファミリは、次のような特徴をもっている。

- (1) 命令体系が工夫してあり、必要メモリバイト数が少なく済む。
- (2) 5V単一電源
- (3) 標準バス構成をとっており、システムインタフェースが簡単で分かりやすい。
- (4) ハードウェア割込レベルが2種あり、高度な応用が可能である。

HMCS 6800のLSIファミリの中には、汎用的な使い方ができる基本的なLSIとして、次の6品種がある。

- (1) MPU  
HD46800 モトローラ社MC6800
- (2) Random Access Memory(以下、RAMと略す) (128ワード×8ビットRAM)  
HM46810A モトローラ社MCM6810A
- (3) 並列インタフェース(以下、PIAと略す)  
HD46820 モトローラ社MC6820
- (4) Read Only Memory(以下、ROMと略す) (1kワード×8ビットROM)  
HN46830A モトローラ社MCM46830A
- (5) 非同期直列インタフェース(以下、ACIAと略す)  
HD46850 モトローラ社MC6850
- (6) HD26501 クロックパルス発生及びタイミング制御回路

\* 日立製作所武蔵工場

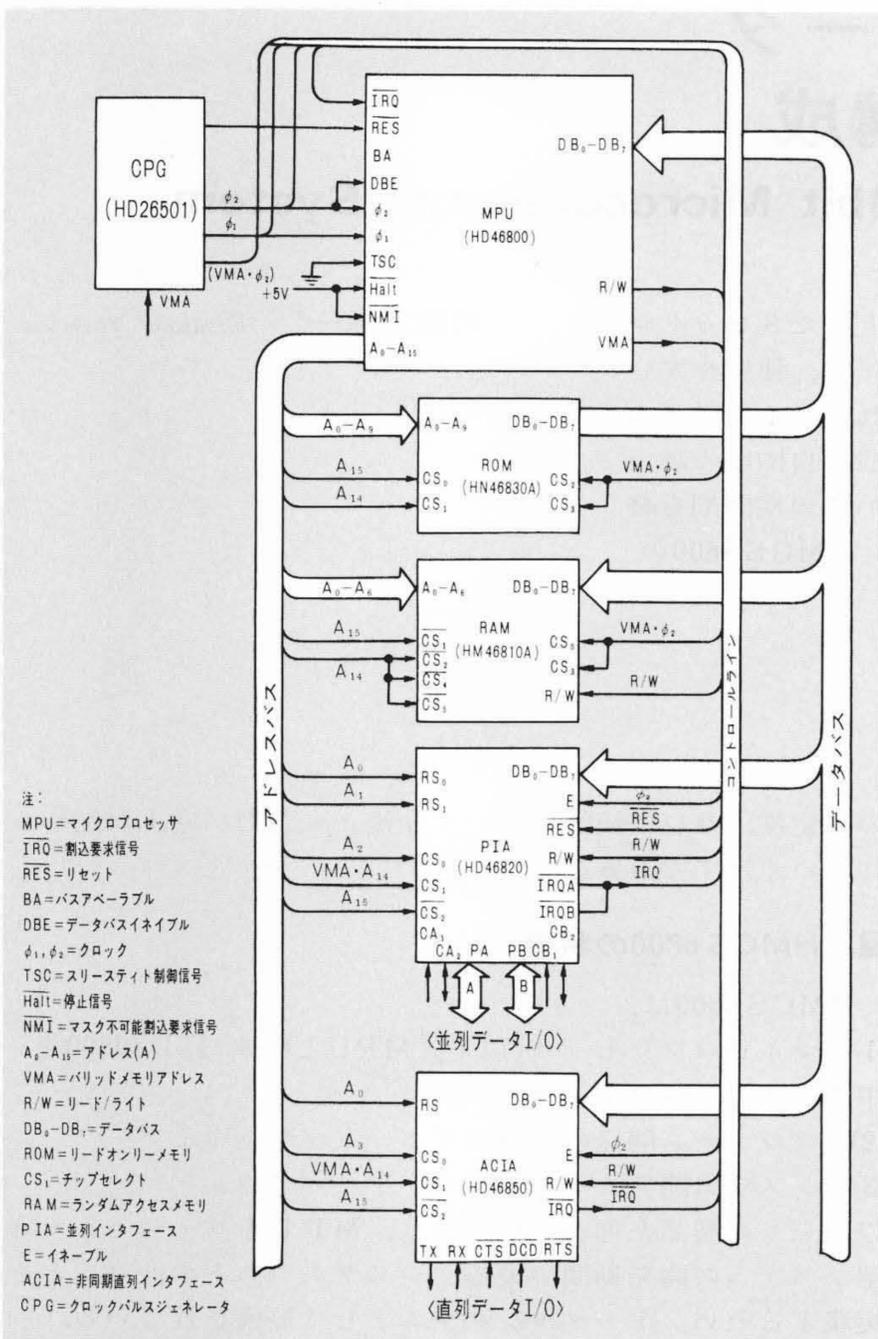


図1 HMCS6800システム構成例 入出力装置用アドレスをプログラム/データ格納用アドレスと同一空間に配置するユニバス方式を採用している。

(以下、CPGと略す)

HMCS 6800 の最小システム構成を図1に示す。同図はLSIファミリがすべてアドレスバス、データバス及び制御信号バスにより直結され、MPU HD46800からみると、プログラム及びデータの格納領域となるROM(HN46830A)、RAM(HM46810A)のメモリアドレスも入出力装置とのインタフェースである並列インタフェース(PIA HD46820)、非同期直列インタフェース(ACIA HD46850)も同一のアドレス空間(最大65Kバイト)に割り付けられることを示している。すなわち、MPUがメモリと入出力装置とを区別しないユニバス方式をとっている。

また、図1は5種類の基本LSIファミリを各1個ずつと、クロック発生回路及びシステムスタート回路から成る最小構成システムをも示しており、入力された直列、又は並列データを処理するマイクロコンピュータシステムとなっている。

大量の情報を処理する大規模システムも、これらの基本LSI及び今後拡張される各種の周辺LSIをビルディングブロックとして組み合わせていくなど、従来の小規模な集積回路(IC)による場合に比較して、設計期間の短縮を図ることができる。

以下、基本LSIについて概説する。

## 2.1 MPU HD46800

MPU HD46800には、16本のスリーステートアドレスバス(A<sub>0</sub>-A<sub>15</sub>)、8本の双方向性データバス(D<sub>0</sub>-D<sub>7</sub>)、2相のクロック入力( $\phi_1, \phi_2$ )、6本の制御入力(TSC, DBE, IRO, NMI, HALT, RES)、3本の制御出力(VMA, R/W, BA)が割り付けられ、40ピンのデュアルインライン形パッケージの1チップマイクロプロセッサとなっている。

MPUチップの内部は、図2に示すように、8ビット並列演算回路(ALU)、16ビットのプログラムカウンタ、スタックカウンタ、インデックスレジスタ、8ビットの2本のアキュムレータ、6ビットのコンディションコードレジスタ及びこれらを制御する論理回路で構成されている。MPU HD46800は、通常の命令実行のほかに、3種の割込みモード(IRO, NMI, SW1)を処理する機能、外部から命令の流れを制御する(HALT)機能、電源投入時又は実行途中からの自動スタート/再スタート機能など、豊富な機能を持っている。

MPU HD46800の命令は、POS(ポイント・オブ・セールス、店頭端末機器)、データ通信、プロセス制御などの多方面への応用を考慮して設計されており、72種類から成っている。その中には、2進加減算、10進補正、各種論理演算、シフト、ローテート、ロード、ストア、条件付あるいは無条件ブランチ、割込みとスタック操作命令などがある。

また、これらの命令は、原則として以下の七つのアドレッシングモードで使用でき、他の同様なマイクロプロセッサに比較して、プログラムが組みやすく、プログラムのステップ数、メモリの使用バイト数が少なく済む利点がある。

- (1) アキュムレータ・アドレッシング  
二つあるアキュムレータA, Bのいずれかを指定する。
- (2) イミディエイト・アドレッシング  
命令のオペランド自身がデータとなるモード
- (3) ダイレクト・アドレッシング

MPU HD46800で特徴的なアドレスモードで、MPUチップの中に汎用レジスタがない代わりに、0-255番地のメモリを最小バイト数で直接指定可能となっている。この領域は一時的なデータの格納、及び中間結果の格納領域として使用すれば、プログラムメモリ領域の節約になり効果的である。

- (4) エクステンデッド・アドレッシング  
命令の2バイト目が上位アドレス、3バイト目が下位アドレスとなり、最大65K番地まで指定できる。
- (5) インデックス・アドレッシング

命令の2バイト目に表示される数値がMPU内のインデックスレジスタに加算され、その結果が実効アドレスとなるモード

- (6) インプライド・アドレッシング  
MPU内のレジスタ(スタックポインタ、インデックスレジスタなど)が指定されるモード
- (7) 相対アドレッシング

命令の2バイト目に表示される数値に2を加えてこれを更にプログラムカウンタに加算した結果が実効アドレスとなるモード

したがって、このモードでは、現在実行中の命令の格納されている番地の前後、-126~+129バイトの領域内のメモリを1バイト命令でアクセスできる。ブランチ命令はすべてこのモードで使用する。

## 2.2 RAM HM46810A

このRAMは128ワード×8ビットという8ビットマイクロ

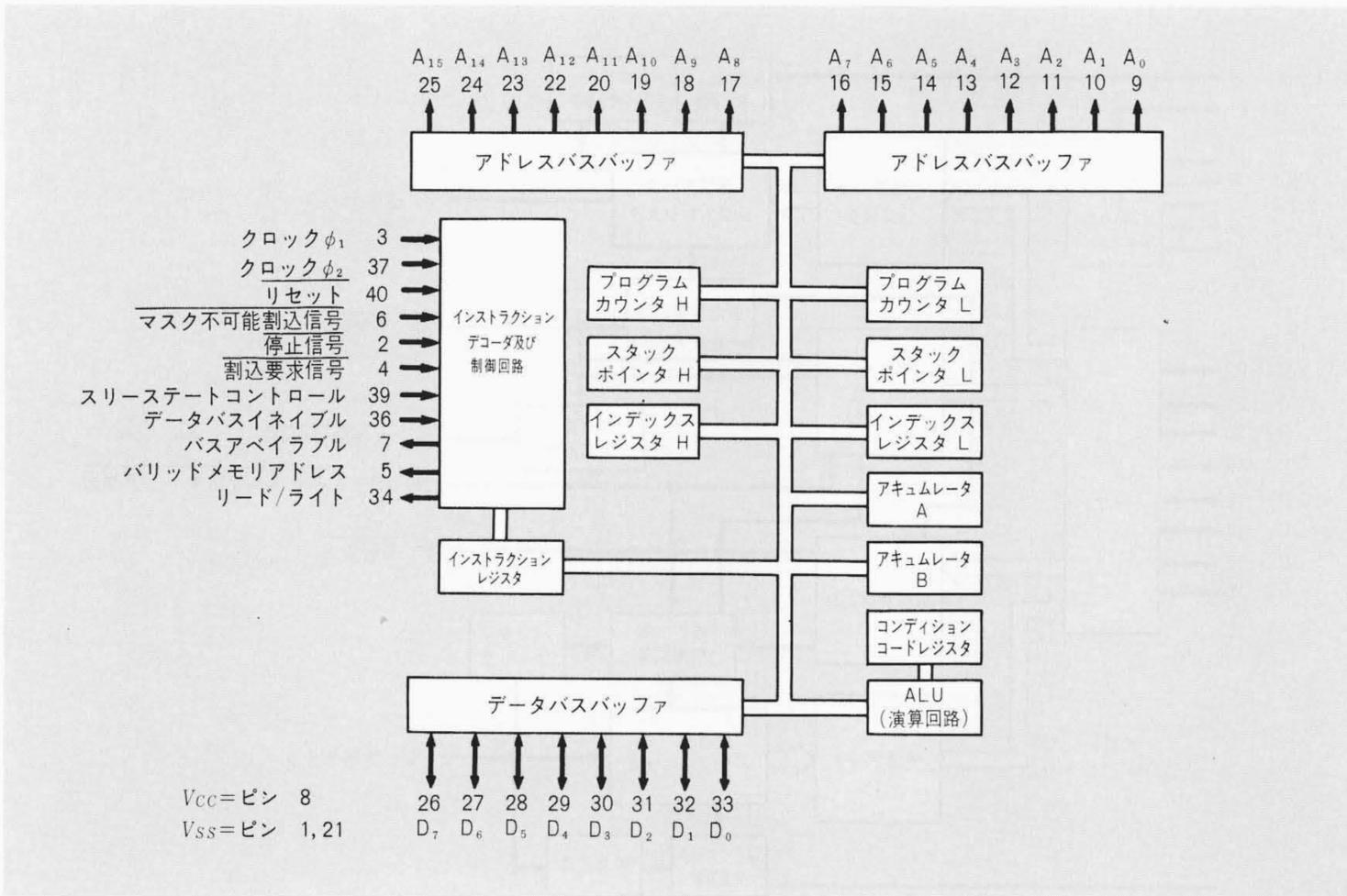


図2 MPU (HD 46800)のブロックダイアグラム 高速化に適したアドレスバス(16本)、データバス(8本)分離方式を採用し、制御信号バスは、バス制御用として4本(VMA, BA, DBE, R/W)及びMPU制御用として5本(HALT, TRQ, NMI, RES, TSC)を持っている。

コンピュータシステムに適した構成となっている上に、完全スタティック動作であること、6本のチップセレクト入力を持っているために、外部にデコーダを付加することなく、8kワードまで拡張できることなど使いやすい特徴を持っている。特に小規模メモリシステムで効果を発揮する。

2.3 PIA HD46820

PIA HD46820は、入出力機器との間に二組みの8ビット双方向性データバスと4本の制御信号ラインを持ち、MPU

と入出力機器との間のデータの受け渡しを取りもつインタフェースLSIである。

PIAは、図3に示すように、8ビットのデータレジスタ、データの入出力方向を選択するデータ・ディレクションレジスタ及びこれらを制御するコントロールレジスタを二組み持っており、PIAの外からみた機能は、システムイニシャライズ時にMPUからPIA内のコントロールレジスタの内容を指定することにより、幾つかのモードに設定できる、いわゆる

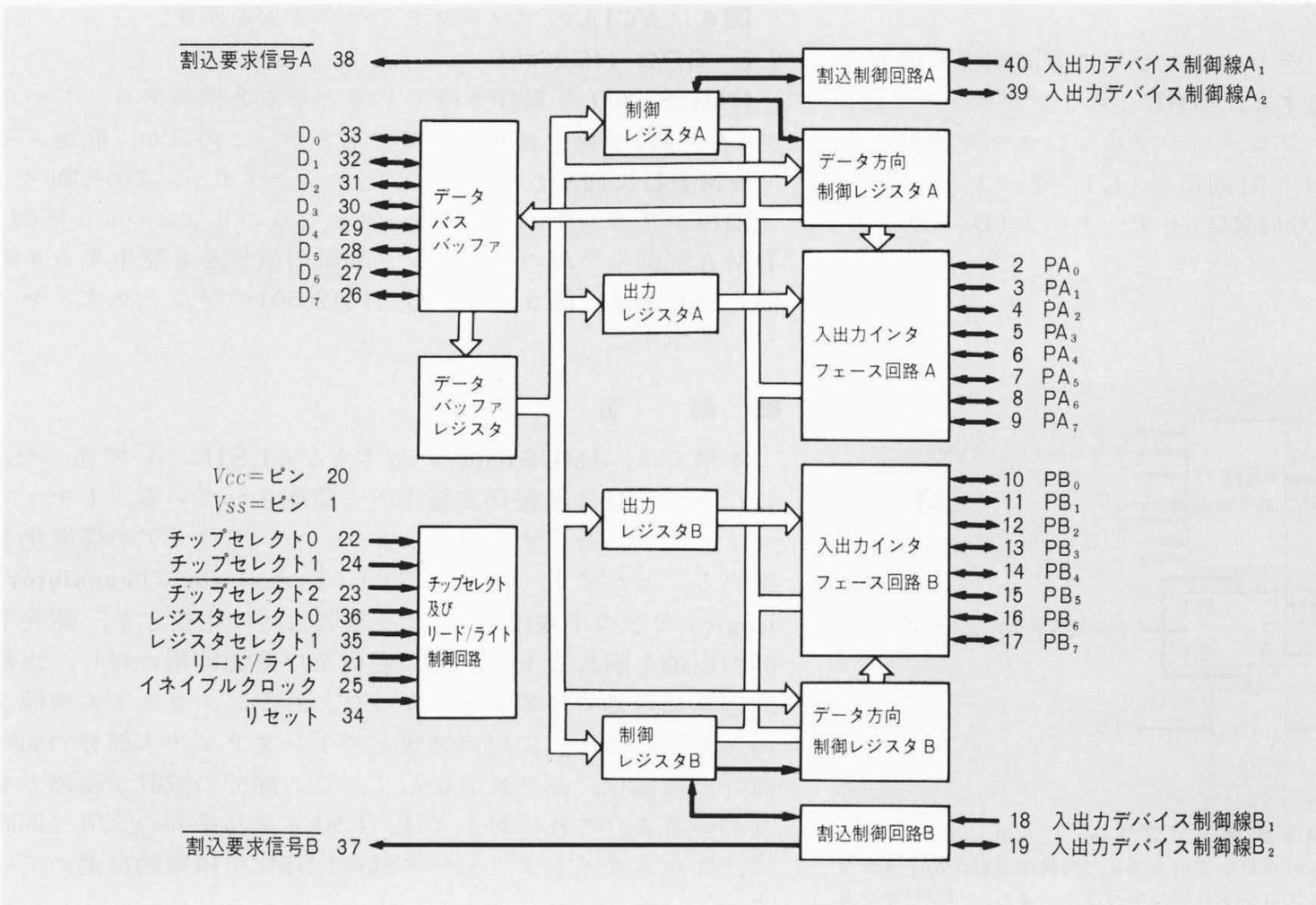


図3 PIA (HD 46820)ブロックダイアグラム 二組みの8ビット双方向性入出力ポート(PA<sub>0-7</sub>, PB<sub>0-7</sub>)と4本の入出力デバイス制御線(CA<sub>1</sub>, CA<sub>2</sub>, CB<sub>1</sub>, CB<sub>2</sub>)を持ち、並列データの入出力制御を行なう。

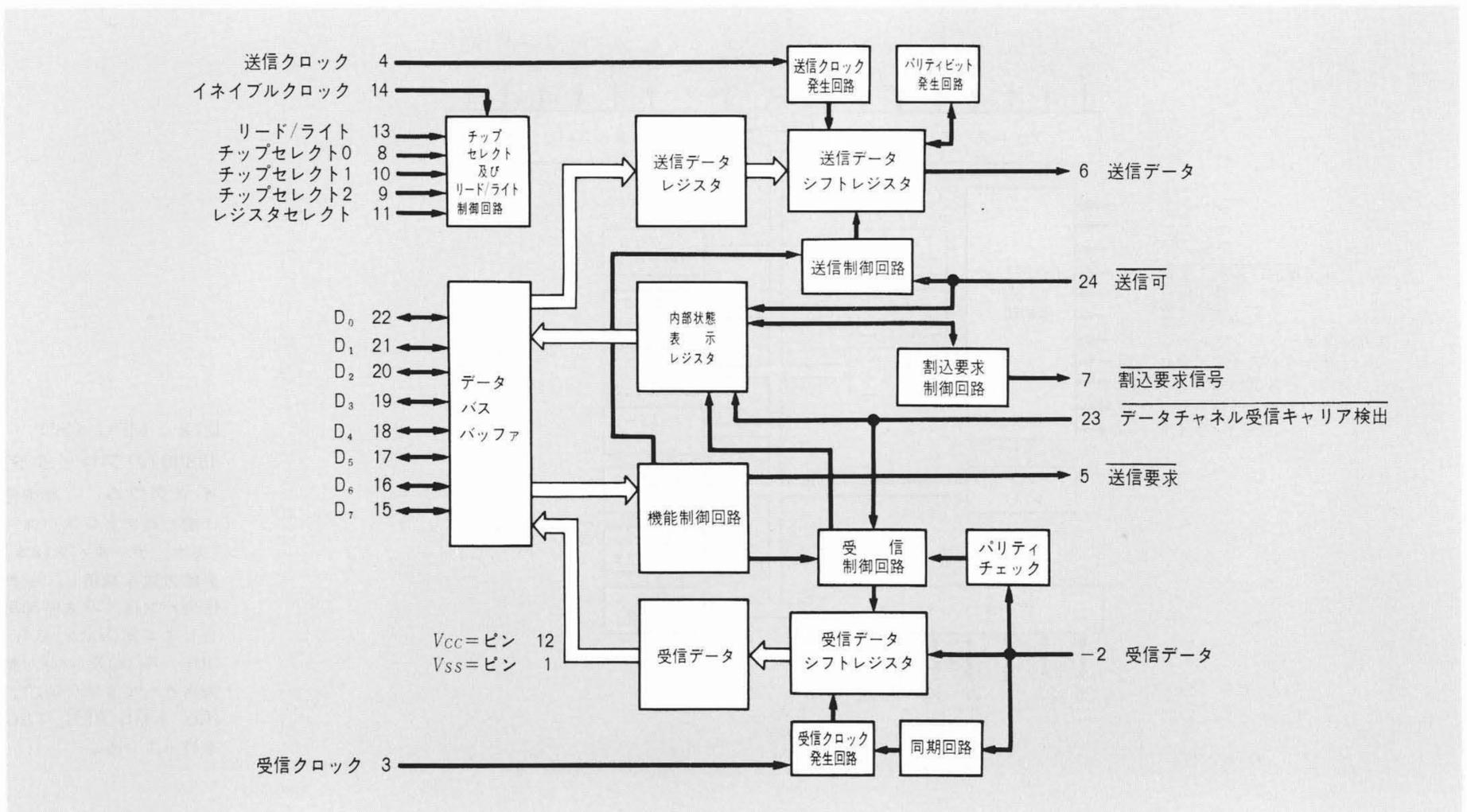


図4 ACIA(HD46850)ブロックダイヤグラム 非同期直列データ送受信のためのデータ並直列、直並列交換、及びスタート、ストップ、パリティビットの付加、検出などの制御を行なう。また、モデム制御機能を持っている。

プログラマブルな周辺LSIである。

### 2.4 ROM HN46830A

ROM HN46830Aは、1kワード×8ビット構成のマスクを変更することによりプログラム可能なROMであり、他の基本LSIと同様、5V電源動作であると同時に、4本のチップセレクト入力を持っているため、16kワードまで、外部にデコーダなしに容易に拡張が可能となっている。

### 2.5 ACIA HD46850

ACIA HD46850は、テレタイプなどの非同期性の直列データの処理や制御を担当する。MPUとのインタフェースは、チップセレクト(CS)、プログラマブルレジスタを選択するレジスタセレクト(RS)、同期信号(E)、リード/ライト(R/W)、割込み要求出力(IRQ)とデータバス(D<sub>0</sub>—D<sub>7</sub>)から成っている。

送信データに関しては、並列—直列変換、スタートビット/ストップビットの挿入、パリティビットの挿入及び標準長のワードデータの直列送信機能を持っている。

一方、受信に関しては、直列—並列変換、スタートビット/ストップビットの削除、パリティと各種エラーチェック機能、及び標準長のワードデータの直列受信機能を持っている。更に、モデムを制御する機能をも合わせ持っている。

図4にACIAのブロックダイヤグラムを示す。

### 2.6 CPG HD26501

HMCS 6800を動作させる基本となる2相のクロックパルス( $\phi_1$ ,  $\phi_2$ )を発生させる回路であるが、このほか、低速メモリをMPUに同期させるためのクロックタイミングの制御や、大規模システムでのダイナミックメモリのリフレッシュ制御、DMA制御のためのタイミング制御用信号をも発生する多機能LSIである。図5にCPG HD26501のブロックダイヤグラムを示す。

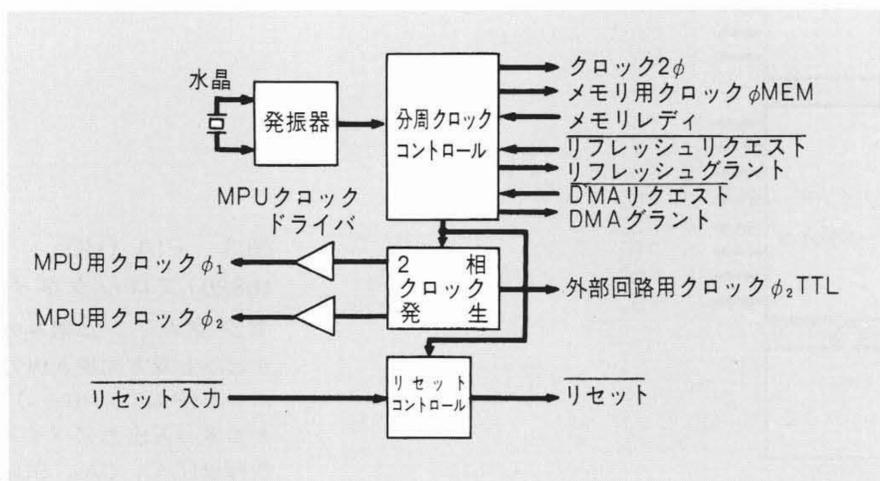


図5 CPG(HD26501)ブロックダイヤグラム 水晶、コンデンサを外付することにより、システムのクロックパルス $\phi_1$ ,  $\phi_2$ 発生及びDMA、メモリリフレッシュ時のクロックパルスコントロールを行なう。また、パワーオンリセット信号発生を行なう。

## 3 結 言

本稿では、HMCS 6800の基本となるLSIについて述べた。これらのLSIは現在日立製作所で量産されている。1チップマイクロプロセッサの導入により、ハードウェアの標準化を進めることができ、従来のTTL(Transistor Transistor Logic)などの小規模ICによる論理設計に比較して、開発期間の短縮を図れる上に、仕様変更及び機能拡張に対し、比較的容易に対処できるようになった。しかし、システム規模が増大するにつれ、入出力装置とのインタフェース部分の回路設計が複雑化、かつ高度化して、この部分の設計が隘路となりつつある。これに対しては、LSIメモリ系列の充実と同時に、これらのインタフェース部のLSI化を積極的に進めている。