

# 制御用マイクロコンピュータHIDIC 08

## HIDIC 08 Microcomputer

プロセス計算制御の分野では、8ビットマイクロコンピュータに加えて、高速処理及びデータ精度の面から16ビットマイクロコンピュータの必要性も高い。更に、マイクロコンピュータ技術の進歩は、従来の中央集中制御方式に対して、マイクロコンピュータを分散配置した分散形制御方式という新しいシステム形態の急速な発展をもたらした。

HIDIC 08は、制御用計算機HIDIC 80の下位機種として開発された16ビット語長のマイクロコンピュータであり、小規模システムへの単独適用はもちろんのこと、上記分散形システムの端末コンピュータとして適用するため、バイポーラLSI技術を用いて小形化、低価格化を図るとともに、計算制御に適したオペレーティングシステムを持っている。

今井真澄*	<i>Imai Masumi</i>
前島英雄*	<i>Maejima Hideo</i>
坂東忠秋*	<i>Bandô Tadaaki</i>
川本幸雄**	<i>Kawamoto Yukio</i>
保田 勲***	<i>Yasuda Isao</i>
堀 雄太郎***	<i>Hori Yutarô</i>

### 1 緒 言

大規模集積回路(以下、LSIと略す)技術の成果であるマイクロコンピュータは、初期の4ビット語長のものから、8ビットあるいは16ビット語長のものへと急速に発展し、プロセス計算制御の分野に対しても大きな影響を与えている。

すなわち、従来ワイヤードロジックで構成されていた各種制御装置は、マイクロコンピュータの出現により小形化、デジタル化、及びインテリジェント化が容易となり、従来の制御装置のイメージを一新しつつある。更に、これらのマイクロコンピュータを構内各所に分散配置することによって、従来中央計算機の持っていた機能の一部を担うことが可能となった。このため、システム全体のコストパフォーマンスの面から、従来の中央計算機による集中管理システムに対して、負荷分割による危険の分散あるいは資源の共有などを目的とした、中央コンピュータとマイクロコンピュータ群による分散形制御システムという新しいシステム形態が注目されるようになった。

以上のような状況では、8ビットマイクロコンピュータはもちろんのこと、処理性の面から更に高性能の16ビットマイクロコンピュータも必要とされる。日立製作所では、前者としてHMCS6800を開発したが、これについては本号の別論文で詳しく述べられているので省略し、本稿では、制御用として開発された16ビットマイクロコンピュータHIDIC 08(図1)について述べる。

HIDIC 08は、制御用計算機HIDIC 80<sup>1),2)</sup>の下位機種として、次のような特長を持っている。

- (1) バイポーラLSIプロセッサを用いて、処理装置を1ボードに搭載し小形化している。
- (2) HIDIC 80と命令及び入出力インタフェースの互換性を持っている。
- (3) 割込制御のハードウェア化及びファームウェアにより高い応答性を実現できる。
- (4) コンピュータモードとシーケンサモードの二つの動作モードを持ち、シーケンサとしても使用可能で、かつ両モードをダイナミックに切替えることができる。

更に、HIDIC 08の単独使用はもちろんのこと、HIDIC 80

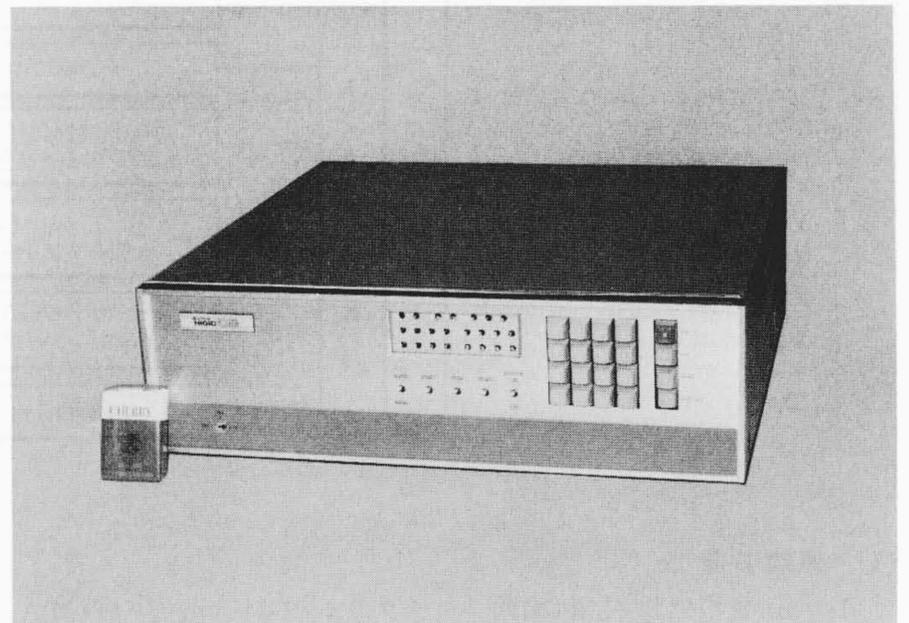


図1 HIDIC 08処理装置 処理装置は1ボードに搭載され、主記憶は64K語まで実装可能である。

及び高速伝送装置データフリーウェイと結合し、オペレーティングシステムのサポートのもとに次のような機能を持つ分散形計算制御システムを構成できる<sup>3)</sup>。

- (1) 上位機種HIDIC 80でHIDIC 08用プログラムの開発、リモートローディング、及び保守ができる。
- (2) 任意のコンピュータ間のメッセージ交換、リモートタスク制御、リモート入出力制御などのネットワーク機能を持っている。

以下に、HIDIC 08のハードウェア及びオペレーティングシステムの詳細について述べる。

### 2 ハードウェアシステム

#### 2.1 システム構成

HIDIC 08システムは、1ボードというコンパクトな構造を持った高性能の処理装置を核とした処理装置部と、HIDIC 08標準インタフェースを主軸として多彩な入出力装置を制御する入出力装置部とに大別できる。図2にその構成を示す。

\* 日立製作所日立研究所 \*\* 日立製作所日立研究所 工学博士 \*\*\* 日立製作所大みか工場

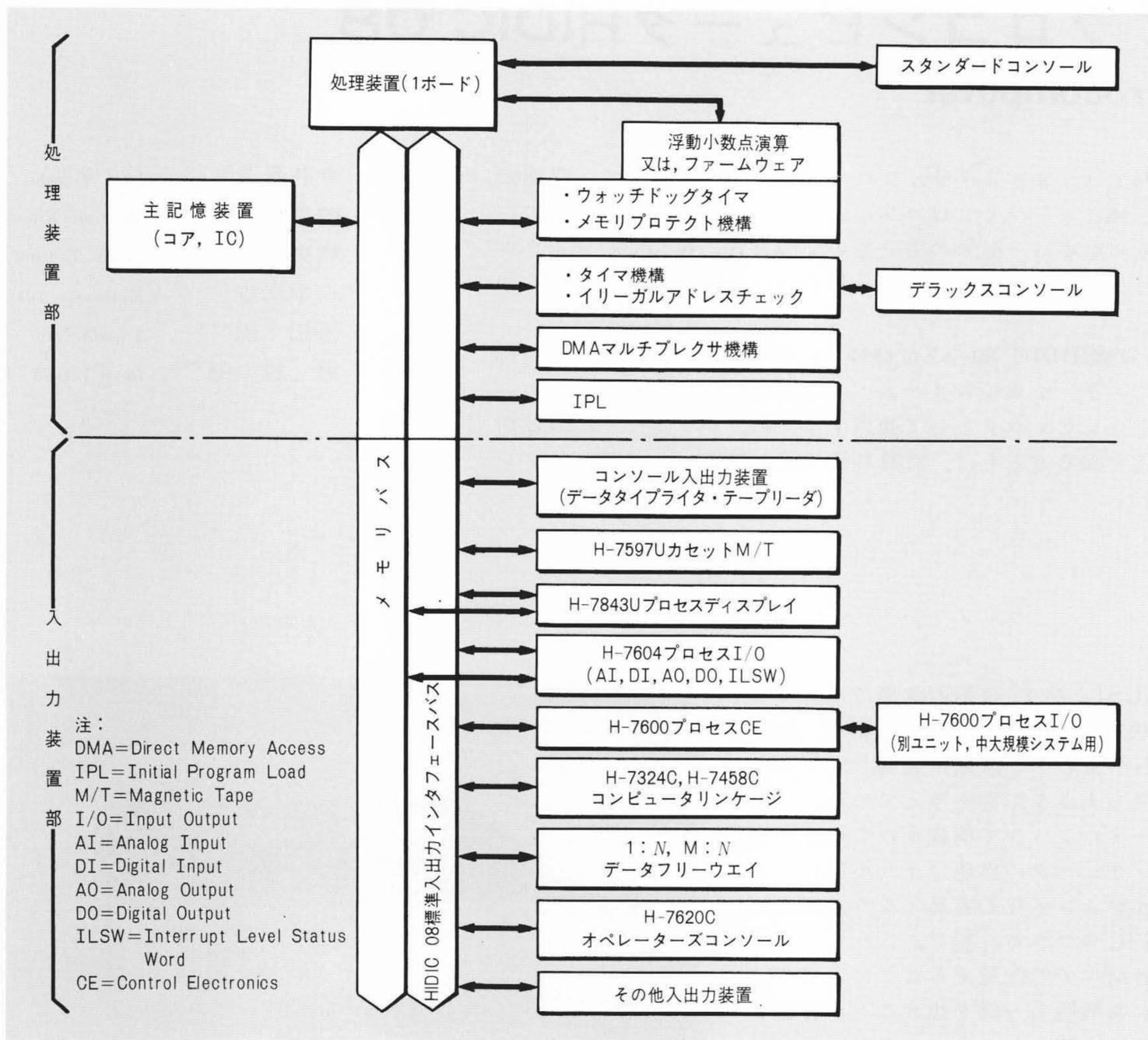


図2 HIDIC 08システム構成 HIDIC 08標準インタフェースのほかにメモリーインタフェースを利用した簡易入出力装置を用意し、多彩なアプリケーションに対応できる。

(1) 処理装置部

1ボードの処理装置には、ベクタリング割込機能やDMA (Direct Memory Access)を含めた入出力インタフェースまで、コンパクトに収納されている。更に、ファームウェア、DMAマルチプレクサ機構、IPL (Initial Program Load)といった機能を付加機構として用意し、これらを目的に応じて組み合わせることにより、最適のシステム構成が可能となる。

(2) 入出力装置部

HIDIC 08標準インタフェースによる通常の入出力機器(I/O)以外、メモリーインタフェースを利用し、主記憶装置の参照と同様の方法でデータの授受を行なえる簡易入出力装置を用意した。この結果、多彩なアプリケーションに対して、ユニークなシステム構成を可能とした。

2.2 処理装置

HIDIC 08処理装置は、バイポーラLSI技術をいち早く採り入れ、1ボードにコンパクト化した高性能の制御用マイクロコンピュータであると同時に、上位機種であるHIDIC 80をホストコンピュータとしたネットワークシステムの一部品とも成り得る。その構成を図3に、概略仕様を表1に示す。

(1) 命令体系

1語長16ビットのマイクロコンピュータであるが、上位機種であるHIDIC 80の命令体系との互換性を保つ。HIDIC 80処理装置との根本的な差異は、マルチコンピュータ構成が可能か否かである。このため、HIDIC 08では主記憶拡張機構であるグローバルメモリーを付加せず、したがって、その参照命

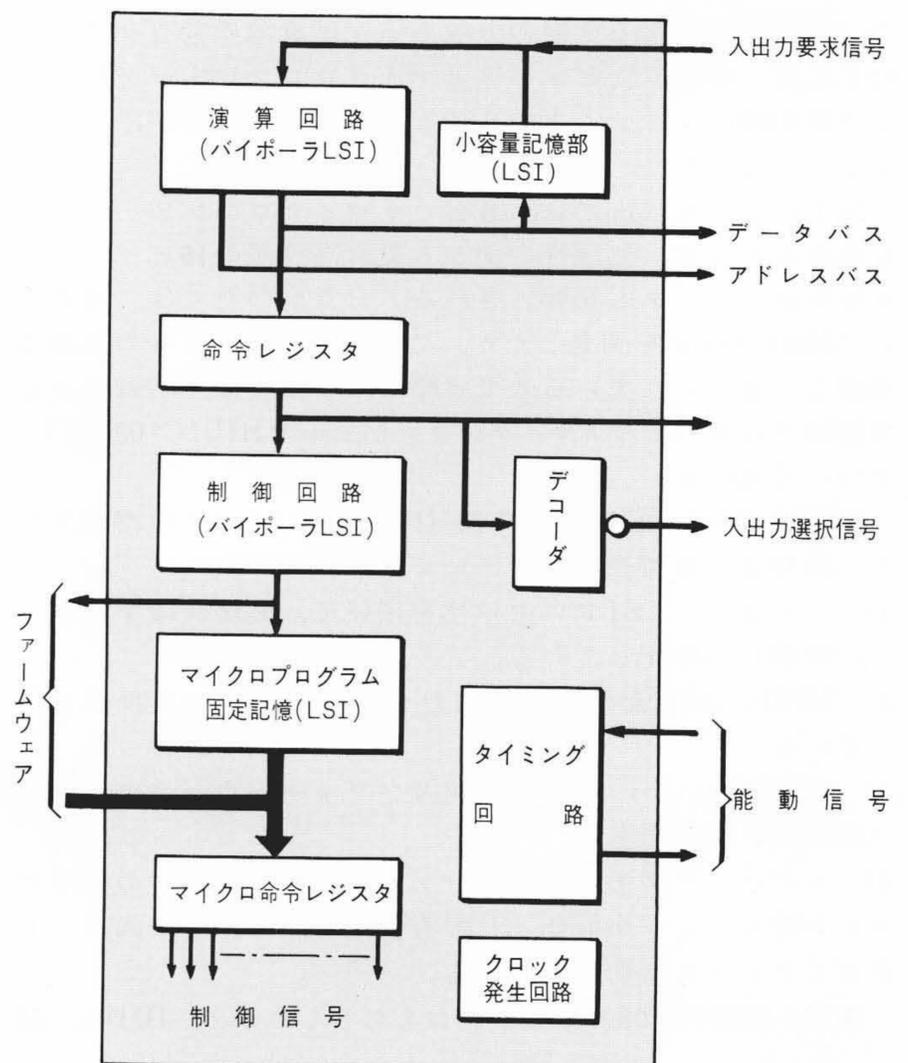


図3 処理装置の構成 LSIを中心に構成される1ボードプロセッサの構造を示す。

表1 処理装置の概略仕様 上位機種であるHIDIC 80と同様に、高機能拡張性を持っている処理装置とした。

項	目	仕 様	
命令機能	一般命令数	47+4(オプション)	
	ファームウェア	96(オプション)	
	演算レジスタ数	2	
	ベースレジスタ数	3	
	インデックスレジスタ数	3	
	アドレス修飾	二重修飾	
演算時間	加減算(レジスタメモリ) ( $\mu$ s)	ICメモリ	コアメモリ
		3.1	3.5
	乗算	30	30
	除算	40	40
主記憶装置	語長(ビット)	16	
	サイクルタイム( $\mu$ s)	0.55	1.2
	容量	64K語 max	
割込み	レベル	2	
	要因判定処理	ベクタリング機能	
入出力制御	転送速度	DMA	400K語/秒 max
		PCMA	2K語/秒 max
		MI	20K語/秒 max
	接続台数	64 max	
付加機構	タイマ, イリーガルアドレスチェック, IPL, メモリプロテクト, ウォッチドッグタイマ, 浮動小数点演算, ファームウェア		
環境条件	温度	0~50°C	
	湿度	10~95%	
電源	AC 100V, 1 $\phi$ , 50/60Hz(標準)		
寸法	処理装置ユニット	22形:高さ250×幅500×奥行350(mm) 12形:高さ150×幅500×奥行350(mm)	

注: DMA = Direct Memory Access  
 PCMA = Processor Controlled Memory Access  
 MI = Memory Interface  
 IPL = Initial Program Load

令を削除した。一方、多彩なアプリケーションを考慮し、固定小数点乗除算を標準装備したことは特徴的である。

(2) 演算速度

バイポーラLSIの高速性を生かして、マイクロコンピュータとしては最高の性能を実現した。主記憶装置にコアメモリ(サイクルタイム1.2 $\mu$ s)を使用した場合、レジスタ~メモリ間の加減算速度3.5 $\mu$ s、乗算速度30 $\mu$ sと高速化することができた。主記憶装置にIC(集積回路)メモリ(サイクルタイム0.55 $\mu$ s)を使用した場合、更に高速化され加減算3.1 $\mu$ sで動作する。

(3) 付加機構

HIDIC 08の応用分野を広範にしている付加機構は、マイクロプログラム制御方式を生かしたファームウェアである。目的に応じた特殊命令(関数ルーチンなど)を増設し、処理の高速化を達成する。ただし、増設可能な命令は最大96であり、浮動小数点演算機構が実装される場合、ファームウェアは実装不可能である。また、これら以外に基本付加機構として、タイマ、イリーガルアドレスチェック機構、プログラムのデバッグに使用するデラックスコンソールなどがある。

表2 主記憶装置の概略仕様 多種多様なアプリケーションに対応するために、3種のメモリモジュールを開発した。

項	目	コアメモリ	ICメモリ-1	ICメモリ-2
サイクルタイム		1.2 $\mu$ s	0.55 $\mu$ s	0.55 $\mu$ s
メモリ容量/プリント板		16K語	ROM 2K語 RAM 2K語	RAM 4K語
停電保護機能		あり	ROMのみあり	なし
プリント板サイズ		フルサイズ	ハーフサイズ	ハーフサイズ

注: ROM = Read Only Memory  
 RAM = Random Access Memory

(4) コンピュータ・シーケンサ

HIDIC 08の内部マイクロプログラムの一部を変更したHIDIC 08Sでは、シーケンス制御に適した命令体系が動作するシーケンスモードと、データ制御に適した命令体系が動作するコンピュータモードをダイナミックに切り替えることができ、端末レベルの制御装置のインテリジェント化に貢献する。

2.3 主記憶装置

HIDIC 08主記憶装置は、多種多様なアプリケーションに対応するために、3種のメモリモジュールを開発した。表2にその概略仕様を示す。

これらのメモリモジュールは、すべて混在可能であり、パリティチェック機構を標準装備としている。全体として、最大メモリ容量は64K語である。

2.4 入出力制御

入出力制御のモードとして、下記を用意してある。

- (1) PCMA (Processor Controlled Memory Access) モード
- (2) DMA (Direct Memory Access) モード
- (3) MI (Memory Interface) モード

PCMAモードは、処理装置の制御のもとに入出力装置と主記憶装置との間で、1語単位 of データ転送を行なうモードであり、DMAモードは、処理装置の動作とは独立に、主記憶装置と入出力装置との間で直接データの転送を行なうモードである。これらの2モードは、HIDIC 80と全く同様の手続きで行なわれるが、MIモードについてはHIDIC 08特有のモードであり、メモリインタフェースを利用し、入出力装置を主記憶装置と同様に扱い、一般のメモリ参照命令により処理装置との間でデータ転送を行なうモードである。PCMAモードが最大2K語/秒の転送速度であるのに対し、MIモードによれば最大20K語/秒と高速の入出力が実現できる。

2.5 割込制御

HIDIC 08の割込制御方式は、HIDIC 80と同様に割込発生出力装置ごとに専用のベクトルを割り当てるハードウェア割込要因判定処理を行なう方式(ベクタリング割込み)とした。更に高速化を目的としてスタック機構を採用し、図4に示す割込処理が実行される。処理装置は割込みを受け付けると、まず処理装置内部レジスタ群を主記憶内に設けたスタック領域に退避する。次に、各割込要因に対応した入出力装置に対して、あらかじめ登録しておいたジャンプアドレス(MENU)を取り込み、これをプログラムカウンタにセットし、割込対応プログラムへ直接ジャンプする。

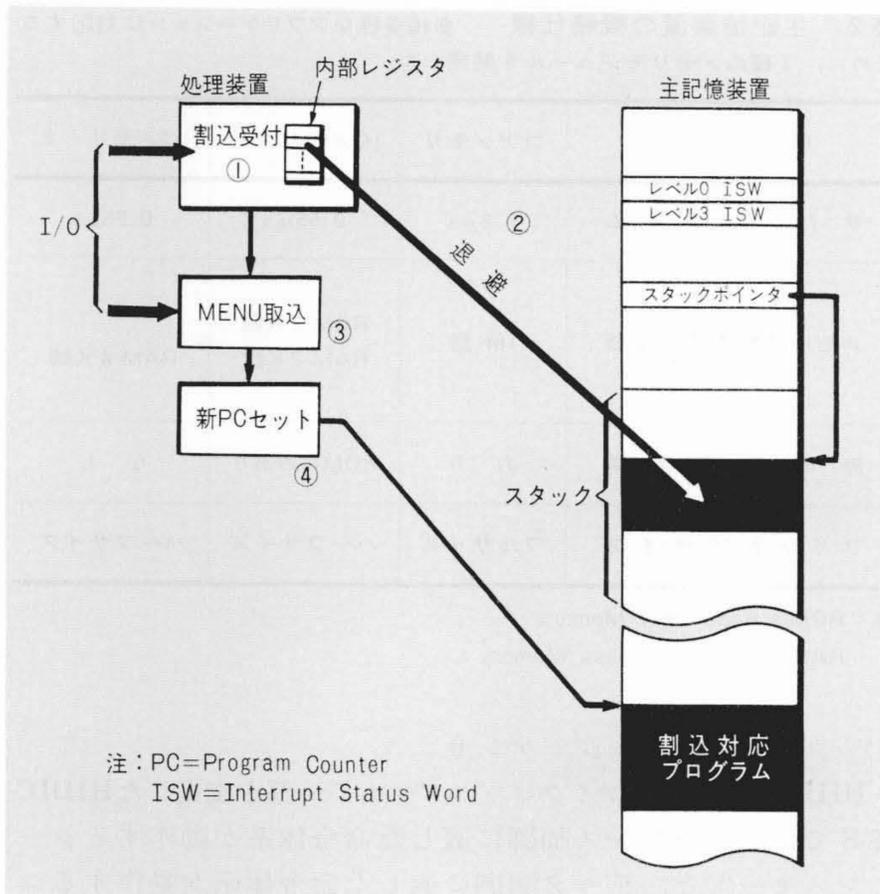


図4 割込制御方式 割込処理の高速化を図るために、ベクタリング割込機能とスタック機能を持たせた。

### 3 オペレーティングシステム

#### 3.1 オペレーティングシステムの特長

HIDIC 08オペレーティングシステムは、PMS (Process Monitor System) と呼ばれ、次のような特長を持っている。

##### (1) コンパクト化及び拡張性

プログラムの徹底したモジュール化を図ることにより、タスクスケジューリングを行なう基本タスク管理だけのコンパクトなシステムからネットワークシステムまで、適用分野に応じて自由に構成を変えることができる。

##### (2) 高レスポンス化

ハードウェアの持つベクタリング割込機能、及びスタック

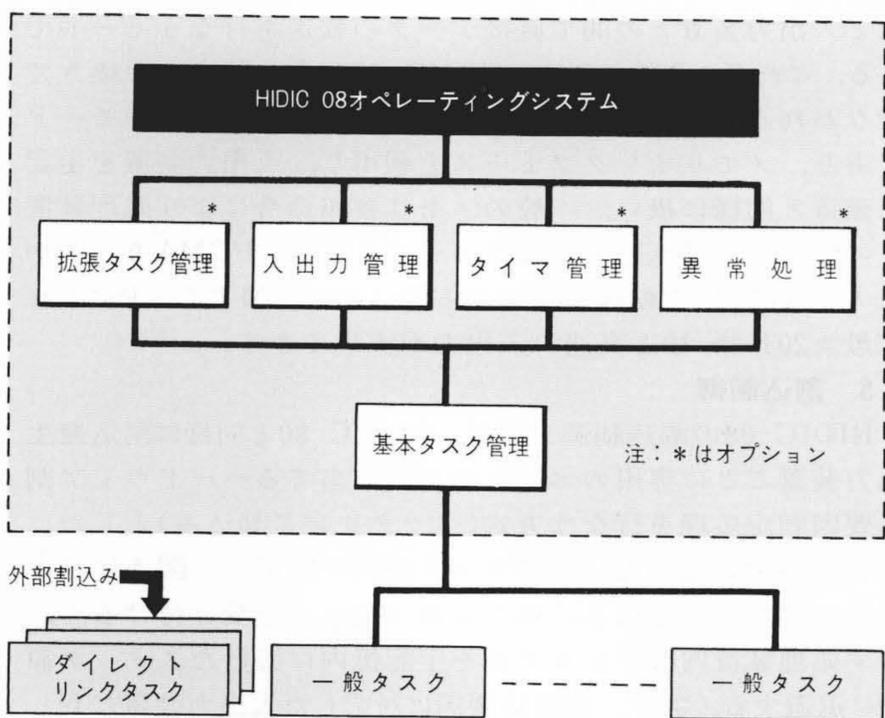


図5 HIDIC 08オペレーティングシステムPMSの概要 基本タスク管理を中心に、四つのサブシステムより構成される。また、ユーザープログラムとして、一般タスクとダイレクトリンクタスクが共存する。

機能を活用して、タスクの切替えに伴うオーバーヘッドを極力少なくし、高速応答を必要とする分野(例えば、機械の直接制御、シーケンス制御)への適用を可能としている。

#### 3.2 オペレーティングシステムの構成

HIDIC 08オペレーティングシステムは、図5に示すように、基本タスク管理を中心に、拡張タスク管理、入出力管理、タイマ管理、異常処理などのオプションより構成される。本オペレーティングシステムの特長の一つとして、基本タスク管理の管理下におかれる一般タスクのほかに、外部割込みで直接に起動されるダイレクトリンクタスクを持ち、本タスクは割込発生から起動までのオーバーヘッド50 $\mu$ sという高い応答性が得られる。

#### 3.3 タスク管理

タスク管理のソフトウェア構成を図6に示す。基本タスク管理では、最大8個のタスクレベルを設け、レベルの高いタスクから優先的に起動するとともに、同一レベルに属するタスク間では起動要求の発生した順にタスク起動を行なう。

タスク管理の特長として次が挙げられる。

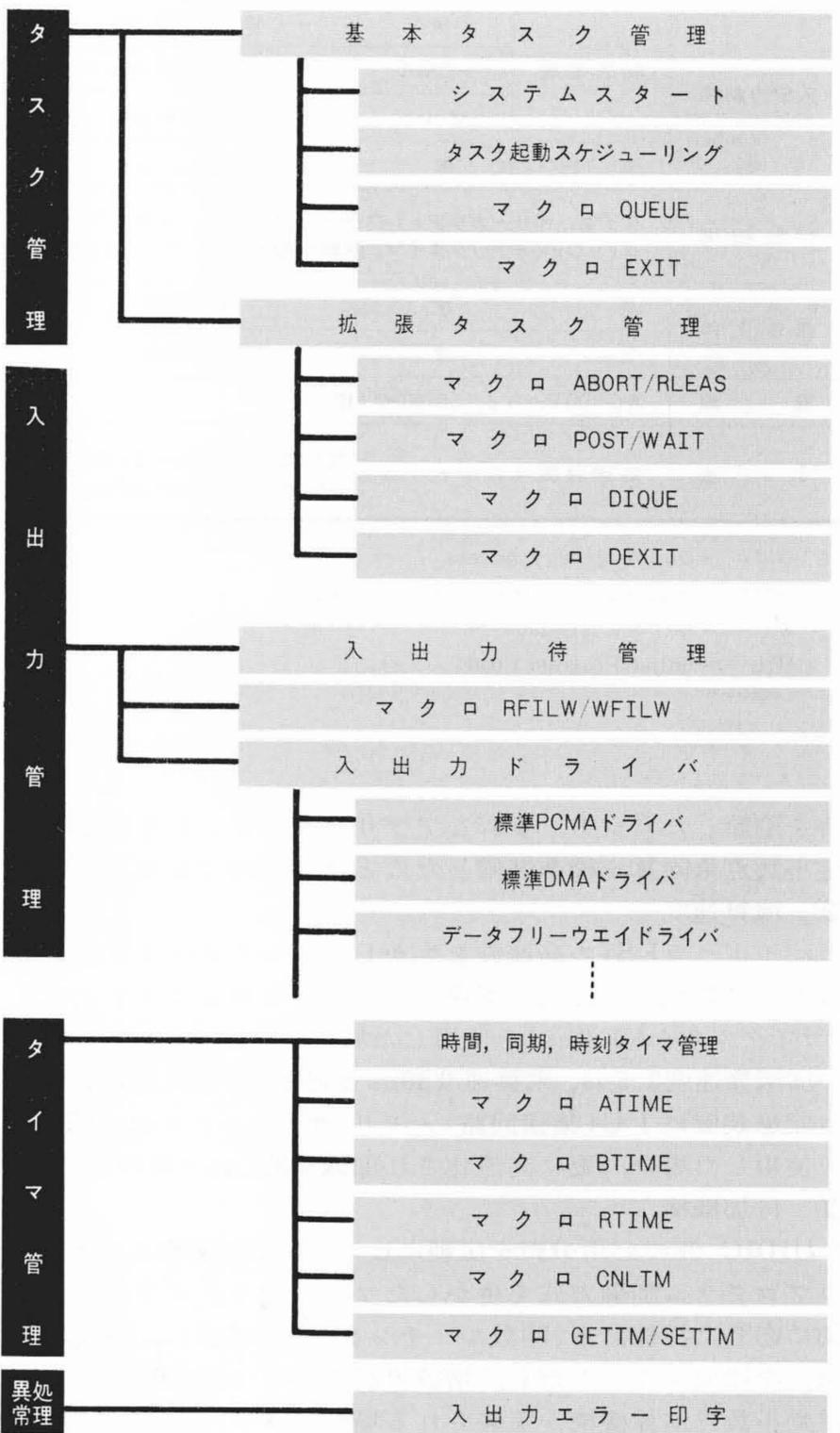


図6 HIDIC 08オペレーティングシステムPMSのソフトウェア構成 各制御プログラムがすべてモジュール化され、ユーザーのシステムに最適なオペレーティングシステムを提供する。

(1) スタック機能の活用によるタスク切替え時間の短縮

ハードウェアでは、割込みが発生したとき、又はSVC(Supervisory Call)命令を実行したとき、主記憶内のスタックにレジスタ類を退避し、またPop命令でスタック内のレジスタを回復する機能を持っている。基本タスク管理によるタスクの切替と、それに伴うスタックの状態を図7に示す。すなわち、スタックをそのまま各タスクレベルのレジスタ退避エリアとすることにより、一般タスクのタスク切替え時間は最少約300μsで可能である。

(2) ダイレクトリンクタスクと一般タスクのリンケージ

ダイレクトリンクタスクはオペレーティングシステムの管理下にはないが、表3に示すように、特定のマクロ命令の発行が可能で、これによって一般タスクとのリンケージをとることが可能である。

(3) レジスタ退避エリアの一括管理

入出力装置の動作完了待ち、あるいはイベント待ちなど、待ち状態となったタスクのレジスタ類は、図7のスタックより取り外し別のエリアへ格納するが、このエリアを全タスク共通に設けて管理し、メモリ容量の縮小を図っている。

3.4 入出力管理

入出力管理のソフトウェア構成を図6に示した。ユーザーはマクロRFILW/WFILWで簡単に入出力装置にアクセスでき、入出力待ち管理では、同一入出力装置に対する先着順待ち行列処理、及び複数入出力装置の同時処理を行なう。また、ドライバと呼ばれる入出力起動プログラムは、入出力特性の異なる装置ごとにモジュール化されており、ユーザーのハードウェアシステム構成に応じた入出力管理ソフトウェアを提供する。

3.5 タイマ管理

タイマ管理のソフトウェア構成を図6に示した。タイマ機能として、指定時間経過後に指定されたタスクを起動する時間タイマ、指定時間の遅延を行なう同期タイマ及び指定時刻に指定タスクを起動する時刻タイマをサポートし、ユーザーのシステムに必要な多様なリアルタイム機能を実現する。

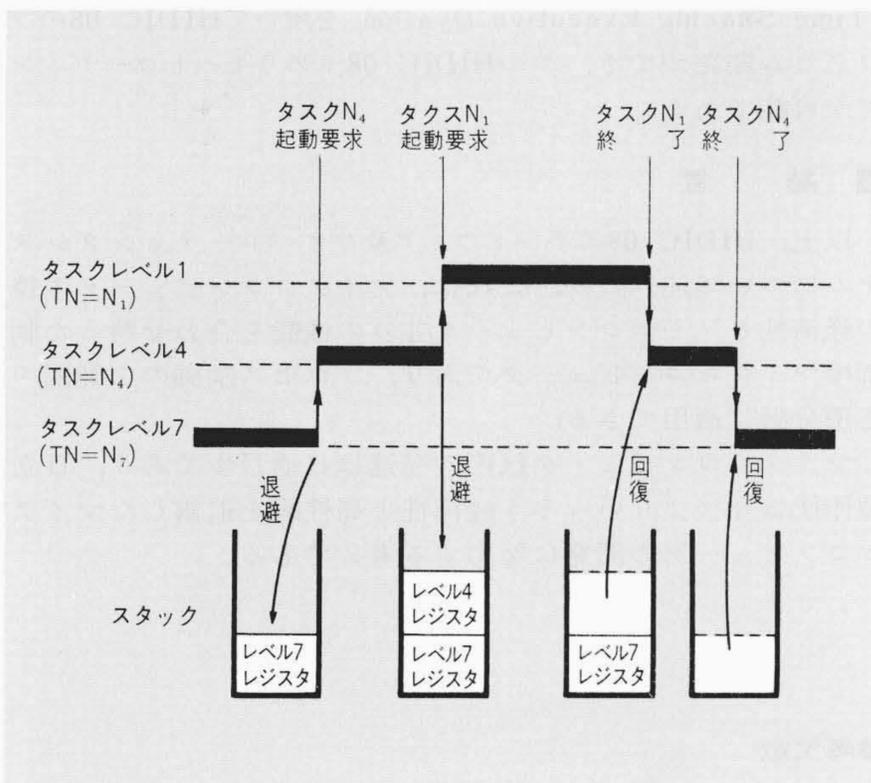


図7 タスクの優先制御とスタック機能 スタックを各タスクレベルのレジスタ退避エリアに用いることにより、最少約300μsで一般タスクの起動切替えができる。

表3 オペレーティングシステムの持つマクロ一覧 マクロ処理プログラムはモジュール化されており、QUEUE, EXITを除いたすべてがオプションである。

機能区分	マクロ名	機能
タスク管理	QUEUE	一般タスクを起動する。
	EXIT	一般タスクの終了
	ABORT*	一般タスクを起動禁止状態にする。
	RLEAS*	一般タスクの起動禁止状態を解除する。
	WAIT	イベント待ち状態にする。
	POST	イベント待ちタスクにイベントを報告する。
	DIQUE*	ダイレクトリンクタスクより一般タスクを起動する。
入出力管理	RFILW	入出力装置からの入力要求
	WFILW	入出力装置への出力要求
タイマ管理	ATIME	時間又は同期タイマ(タイマベース1, 10, 100ms)
	BTIME	時間又は同期タイマ(タイマベース1秒)
	RTIME	時刻タイマ
	CNLTM*	タイマのキャンセル
	SETTM*	時刻の設定
	GETTM*	時刻の読出し

注：\*はダイレクトリンクタスクが発行できるマクロ

4 ネットワークオペレーティングシステム

日立製作所では、近年の計算制御システムの広域化、トータル化に対処するため、HIDIC 80ファミリ間の統合ネットワークシステムDPCS(Distributed Process Control System)を開発したが、これはHIDIC 80を中心としてHIDIC 08、あるいはI/O(Input/Output)コントローラを、ループ状伝送装置データフリーウェイ(DFW)で結合した分散形計算制御システムである。DPCS全体の機能、その他については参考文献3)に詳しく述べられてあるので省略し、本稿ではHIDIC 08がDPCSの端末計算機として接続される場合のHIDIC 08ネットワークオペレーティングシステムについて述べる。

4.1 ハードウェアシステム構成

図8にハードウェアシステム構成の概要を示す。DFWには、ホストコンピュータと端末計算機の間でしか交信できないH-7430形と、任意の計算機間で交信できるH-7480C形がある。

4.2 ソフトウェア構成及び機能

HIDIC 08ネットワークオペレーティングシステムのソフトウェア構成を図9に示す。ネットワーク管理は、HIDIC 08PMS管理下のオプションモジュールとして構成される。

(1) 通信管理

HIDIC 08と他計算機との間に、伝送デバイスから独立した論理伝送回線を設け、他計算機内のタスクとHIDIC 08内タスクとのメッセージ交換をサポートする。他のネットワーク機能は、この通信管理をベースとしてその上位プロトコルとして実現される。

(2) システム管理

HIDIC 08内で発生した入出力装置エラー情報をホストコンピュータへ報告し、ホストコンピュータでの集中管理を可能とする。

(3) リモートタスク管理

ホストコンピュータ内のタスクの要求に基づいてHIDIC 08内のタスクの起動、起動禁止及びその解除を行なう。

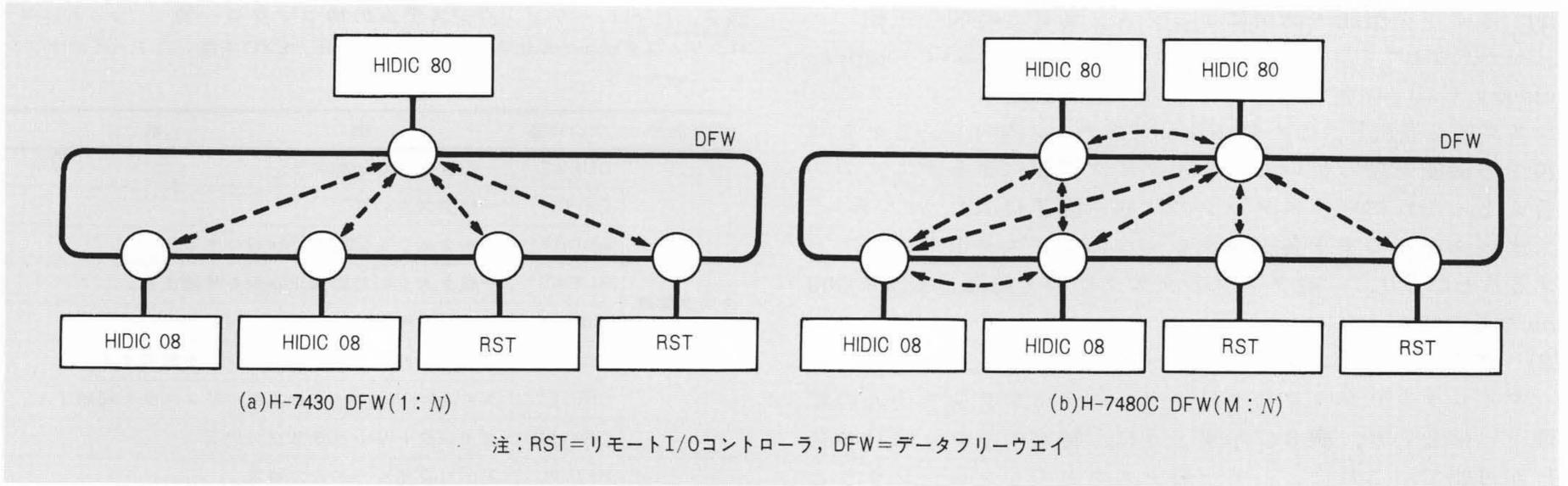


図8 分散形ネットワークシステムDPCSのハードウェア構成 H-7430DFWではホストコンピュータと端末側の間だけしか通信できないのに対し、H-7480C DFWでは、任意のコンピュータ間の通信が可能である。

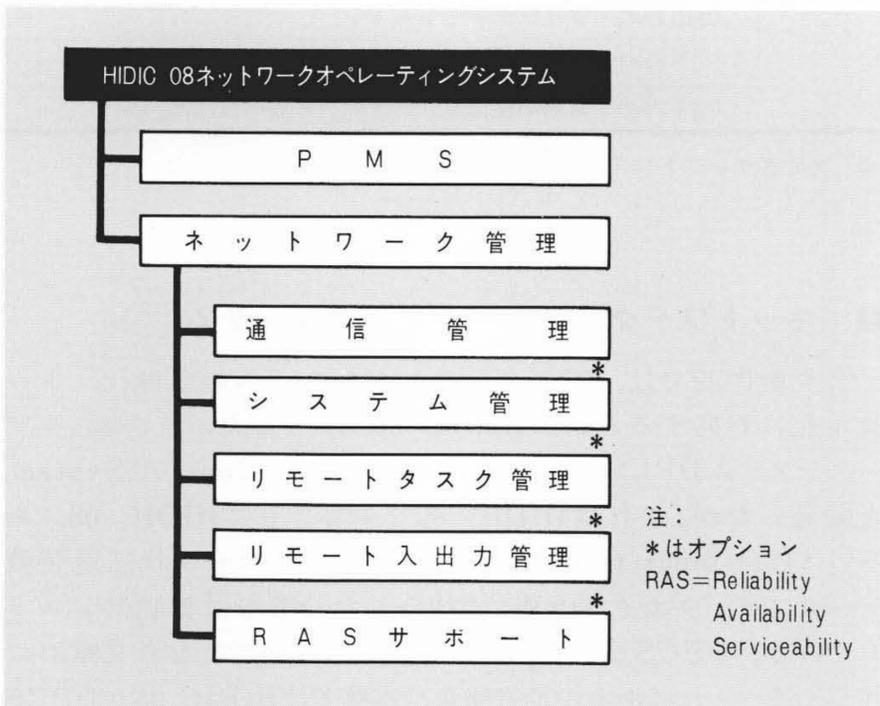


図9 HIDIC 08ネットワークオペレーティングシステムソフトウェア構成 ネットワーク管理では、通信管理をベースとし、その上位プロトコルとして他のネットワーク機能が実現される。

(4) リモート入出力管理

ホストコンピュータ内のタスクは、HIDIC 08に接続された入出力装置を、自己計算機に接続されたものと同一手順でアクセスできる。HIDIC 08リモート入出力管理では、ホストコンピュータより与えられた入出力仕様に従ってデバイスを動作させ、その結果をホストコンピュータに報告する。

(5) RAS (Reliability Availability Serviceability) サポート

DFWで発生したエラーに対して再試行を行なうとともに、相手計算機のステーションが二重化されている場合のステーションの切替え、二重化ループの場合のループの切替えを行なう。

5 プログラミングサポート

HIDIC 08の命令体系は、HIDIC 80命令体系のサブセットとなっており、ユーザーアプリケーションプログラムの開発にはHIDIC 80用プログラミングシステムがそのまま使用でき、これを図10に示す。プログラミング言語として、アセンブラのほかに、JIS 7000FORTRANをベースとして、リアルタイム処理及び入出力処理機能を強化した高級制御用言語PCL

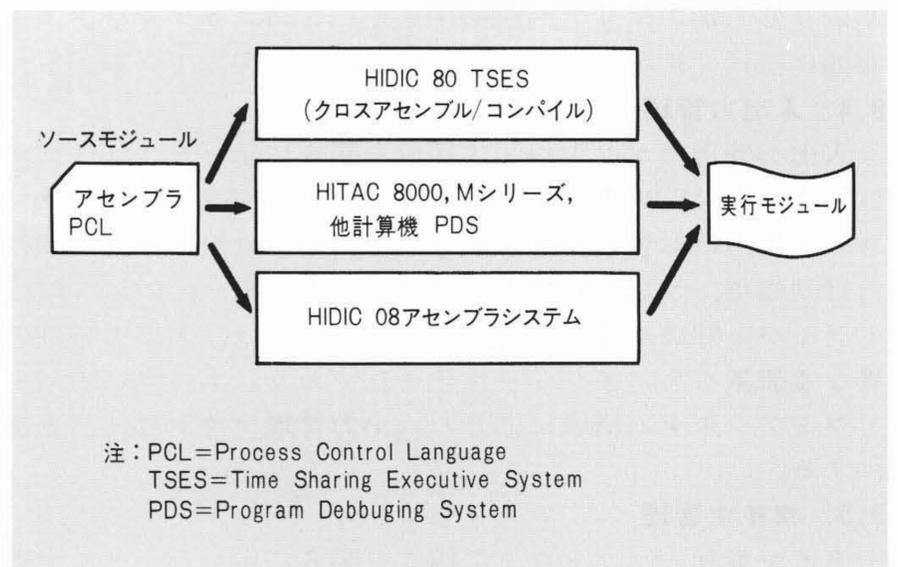


図10 HIDIC 08プログラミングサポート アセンブラ言語に加えて、高級制御用言語PCLを使用したプログラミングができる。

(Process Control Language)を使用できる。

ネットワークシステムDPCS<sup>3)</sup>では、HIDIC 80のTSES (Time Sharing Executive System)を用いてHIDIC 08のプログラム開発ができ、かつHIDIC 08へのリモートローディングが可能である。

6 結 言

以上、HIDIC 08のハードウェア及びオペレーティングシステムについて述べたが、これは、マイクロコンピュータの持つ経済性と、ミニコンピュータ並みの性能を合わせ持った制御用マイクロコンピュータであり、プロセス制御の広範囲の応用分野に適用できる。

マイクロコンピュータ技術の発達は日進月歩であり、日立製作所は今後よりいっそう経済性と高性能を追求したマイクロコンピュータの開発に努力する考えである。

参考文献

- 1) 桑原ほか：HIDIC 80処理装置，日立評論，58，497(昭51-6)
- 2) 松井田ほか：HIDIC 80周辺装置，日立評論，58，503(昭51-6)
- 3) 平子ほか：制御用計算機ネットワークシステム，日立評論，58，491(昭51-6)