

日本電信電話公社データ通信サービス用

# 通信制御処理装置

## Communication Control Processor for Information Processing Service at Nippon Telegraph and Telephone Public Corporation

日本電信電話公社のデータ通信サービス用通信制御処理装置(DIPS-CCP)は、近年多様に発展しつつある日本電信電話公社のオンラインシステム、及びネットワークシステムにこたえるために開発された。DIPS-CCPは、本格的な前置処理方式を採用して、飛躍的に通信処理機能の強化を図ろうとするものである。本稿は、DIPS-CCP計画の概要、同装置の位置づけ、特徴などについて述べる。DIPS-CCPは、機能、性能面での向上だけでなく小形化をも目標に開発され、所期の目標を達成する見通しが得られた。

萱島興三\* Kayashima Kozô

岡田康行\*\* Okada Yasuyuki

### 1 緒言

日本電信電話公社データ通信サービス用通信制御装置(以下、DIPS-CCPと略す)<sup>1)</sup>は、前置処理用のプロセッサとして、新規の応用分野に適用するために開発されたものである。近年、データ処理を集中化せず機能ごとに分散する、いわゆる機能分散が採り入れられる傾向にある。DIPS-CCPも、本体装置にある通信処理機能を分離し実行する目的をもつが、日本電信電話公社データ通信サービス用通信制御装置DIPS-CCEの後継機の役割をもつものである。

本装置の開発は、昭和48年度から日本電信電話公社横須賀電気通信研究所が中心となり、日本電信電話公社内の関係部局(技術局、武蔵野電気通信研究所、データ通信本部など)、並びに日立製作所、日本電気株式会社、及び富士通株式会社が参加して開始され、開発は2段階に分けて行なわれた。第1段階は、基本的な通信制御処理を行なうためのハードウェアの試作であり、第2段階は、ファイル接続、回線用大規模集積回路(LSI)の導入などを行なうためのハードウェアの試作である。

日立製作所のDIPS-CCPは、昭和51年3月に日本電信電話公社横須賀電気通信研究所に試作機として納入され、直ちにハードウェアの評価試験、及びDIPS-CCPのソフトウェアのデバッグに使用された。日立製作所のDIPS-CCPの商用第1号機は、昭和51年12月に納入され、商用化を軌道に乗せることに成功した。

### 2 DIPS-CCPのシステム概要

オンライン・システムの通信処理で、次のような問題が生じてきた。

- (1) サービス及び端末の種類が増加し、今後もその傾向が続いていくものと予想されること。
- (2) 本体装置の通信処理ソフトウェアが複雑になり、新しい種類の端末の追加に対応するのが難しいこと。
- (3) 本体装置の通信処理ソフトウェアの実行時間が増大し、全体の処理時間に占める割合が大きくなっていること。
- (4) オンライン・システム相互の結合が積極的に行なわれる

ようになり、計算機間通信の機能が必要となったこと。

- (5) オンラインシステムの構成は、集中化から分散化に向かう傾向にあるとともに、通信系がネットワーク化してきていること。

以上の諸問題に対処するために、通信制御機能を前置処理装置に行なわせる方式が考えられ、DIPS-CCPに採用された。前置処理装置<sup>2)</sup>にもつ機能を次に述べる。

- (1) 通信制御をプログラム制御で行なわせる。サービス及び端末の種類追加に容易に対処できる。
- (2) 端末制御を前置処理装置で行なわせ、端末追加による本体装置の通信処理ソフトウェアの変更を少なくする。
- (3) 本体装置の通信処理ソフトウェアの機能の多くを前置処理装置で行なわせ、本体装置の負荷軽減を図る。
- (4) 計算機間通信に必要となる高速回線接続の機能を実現する。
- (5) ネットワーク化に対処するため、メッセージの中継機能をもたせ、更にデジタル交換回線(回線交換、パケット交換)との接続機能を実現する。

DIPS-CCPの処理能力は、日本電信電話公社のデータ通信サービスの規模、安価な半導体部品を用いて構成できることなどを考慮し、目標仕様としてプロセッサの平均命令実行時間1 $\mu$ s、最大接続回線数(低速)512と設定された。

### 3 ハードウェア構成の概要

DIPS-CCPは、回線制御装置(以下、CCUと略す)、回線接続装置(以下、LUTと略す)と呼ばれる2種類の装置から構成される。CCUは、プロセッサ、メモリ、回線制御機構などから成っており、通信制御処理の中核的役割を果たす。

LUTは、回線とのインタフェースの対応回路、回線との間のビット、バイトの組立及び分解回路、並びに2台のCCUへの接続機構から成る。CCUは、更にCCU(A)、CCU(B)と呼ばれる二つの筐体から成る。図1に、最大の回線構成の場合の接続を示す。CCUは、最大4台のLUTを接続することができる。これにより、小回線収容の場合の経済化を図っている。同図に示すように、現用CCU(現在、本体装置

\* 日立製作所神奈川工場 \*\* 日立製作所神奈川工場 工学博士

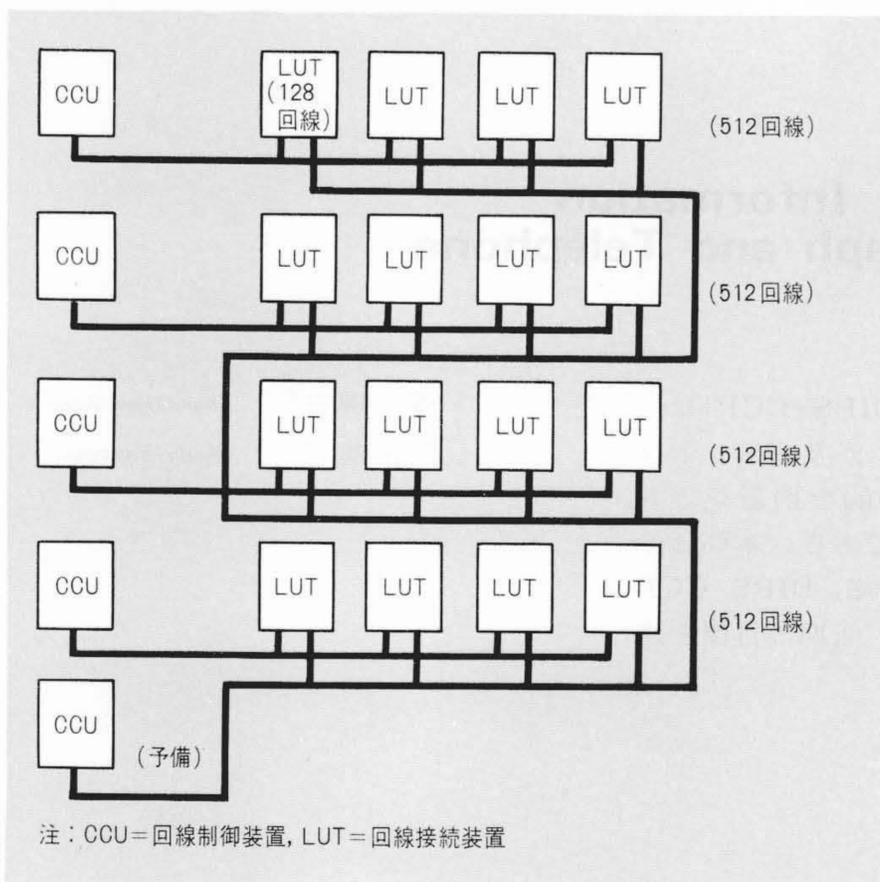


図1 最大回線構成 DIPS-CCPの最大接続回線のシステム構成を示す。

と連動しているCCU) 4台に対し、予備CCU 1台の共通予備方式を採っている。現用CCUの1台がダウンすると、予備CCUに切り替えられ、現用CCUが復旧すると予備CCUから切り戻される。LUTは、部品点数が少ないので簡単な予備方式をとり、システム構成面で回線を分散収容する方式も一部で採用している。回線収容に冗長性をもたせ、LUTのダウン時には、端末装置を別の回線を経由して他のLUTに接続することにより、LUTのダウンの影響の増大を防止している。

図2に、CCU及びLUTの外観を示す。DIPS-CCEと同一機能を果たす場合には、CCU(A)、LUTの構成でよく、床面積で半分以下に収容することができた。

電源には、スイッチング・レギュレータ方式を全面的に採用しており、装置の小形化に大きく寄与している。DIPS-

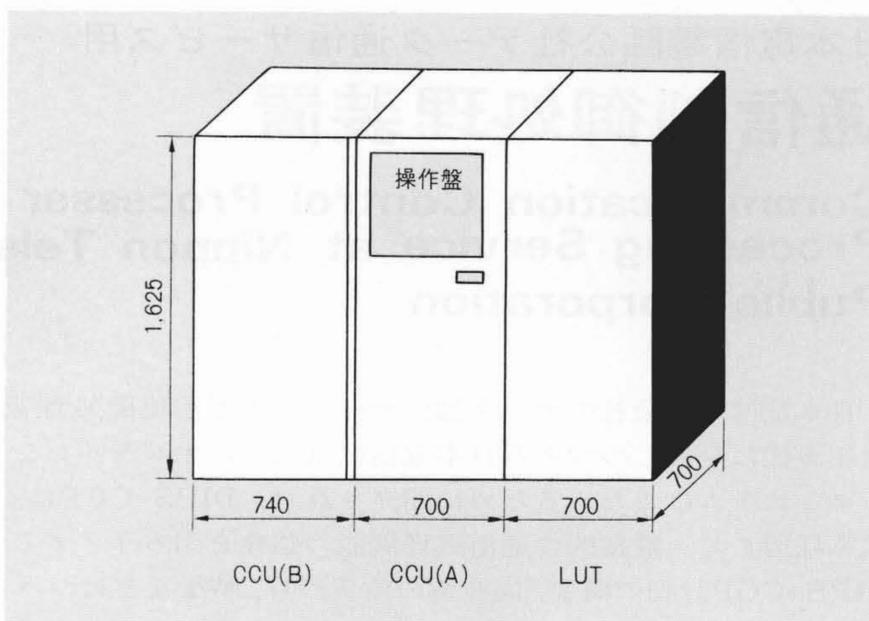


図2 CCU, LUTの外観 CCU, LUTの外形寸法及び外観を示す。

CCEにもLUT相当品があり、これには予備電源方式を採用した。この方式は、電源部を独立させ現用電源がダウンすると予備電源に切り替えられるものである。本装置のLUTでは、電源の交換時間が短いこと、及び信頼性が高いことから予備電源方式をやめ、交換方式とした。

CCU(A)は、通信制御処理のための基本機能を果たし、CCU(B)は、高速回線、低速及び高速ファイルを接続することができる。LUTは、低、中速度の半二重、及び全二重回線を128回線、並びに高速度の全二重回線を8回線接続することができる。図3に、DIPS-CCPの機能構成を示す。

#### 4 CCU(A)の構成

##### 4.1 CCU(A)の設計方針

CCU(A)は、表1に示すユニットのうち、Processing Unit (以下、PUと略す)、Main Memory(MM)、Memory Control(MC)、Memory Cycle Steal Control(以下、MCCと略す)、Flexible Disc Memory (FDM)、Interface Control-Low-speed(IFC-L)、及びInterface Control-Highspeed(IFC-H)から成る。CCU(A)の設計方針として次のものを採用した。

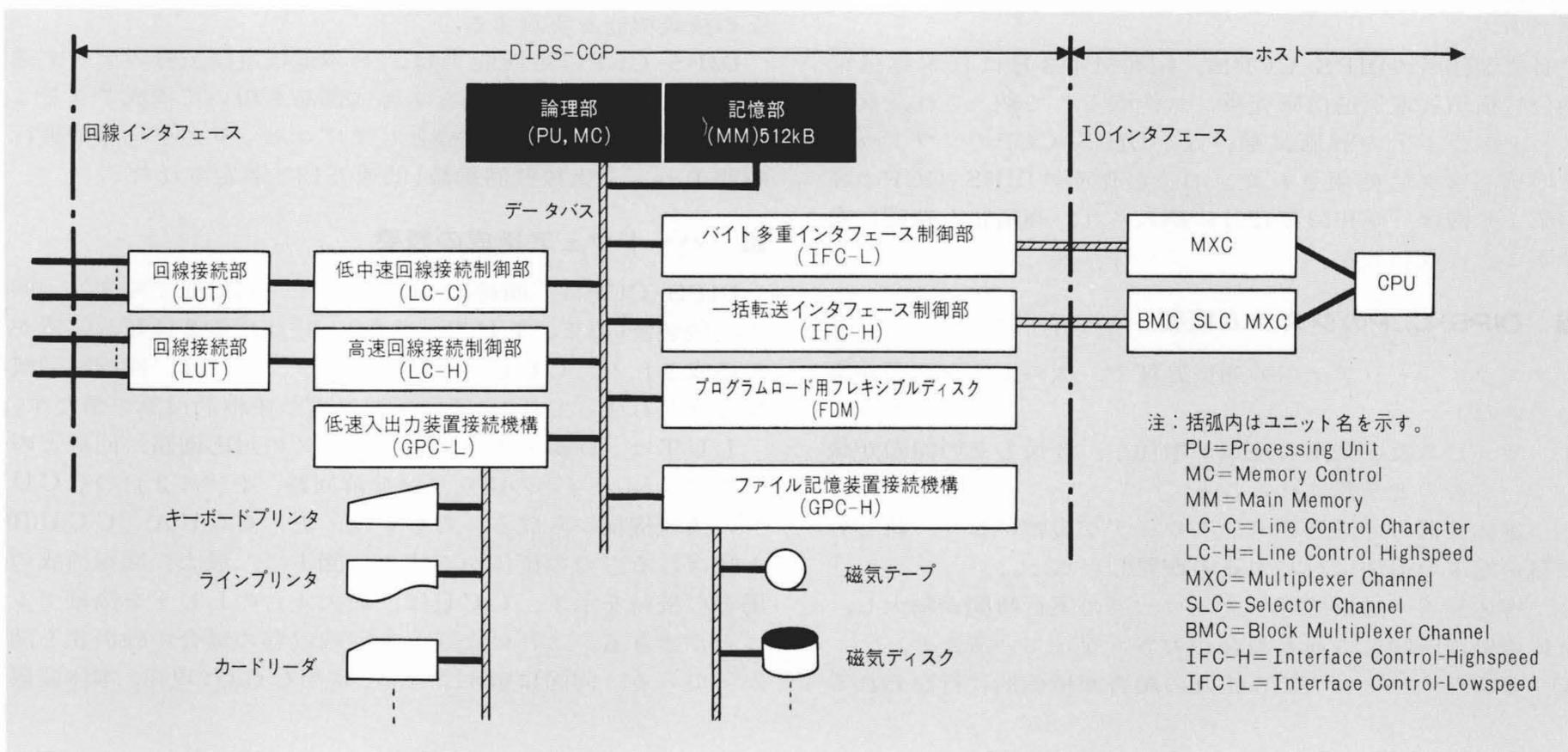


図3 DIPS-CCPの機能構成 DIPS-CCPの各ユニットとその接続装置及びそれらの間の論理的結合を示す。

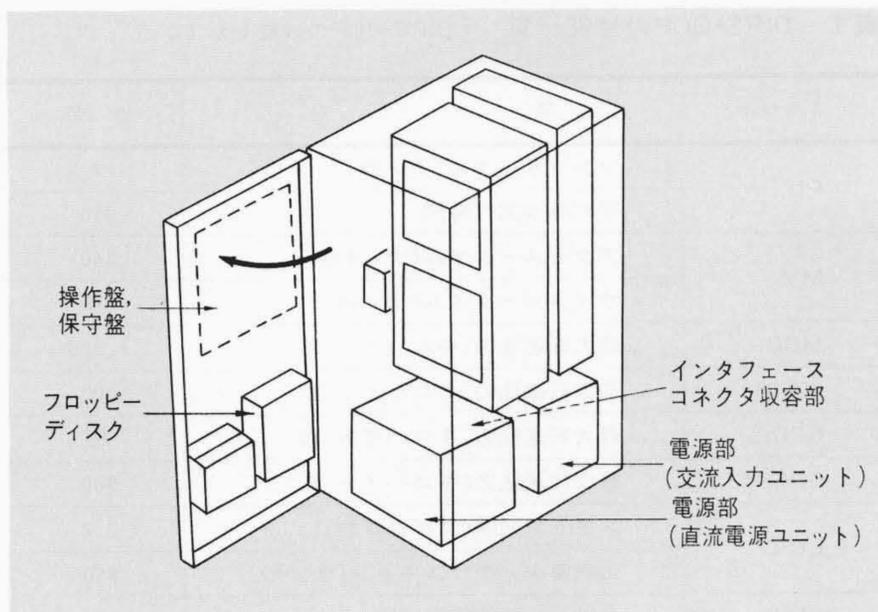


図4 CCU(A)の筐体構造 CCU(A)の筐体透視図によりその構造を示す。

- (1) 基本機能を中心に搭載ユニットを定め、標準構成の場合にはCCU(A)で間に合うようにし、原価低減と筐体の小形化を図る。
- (2) オプション機構(PU以外のユニット)は、搭載工事が簡単にできるようにパッケージだけとした。更に、同一バックボードに幾つかの機構を搭載して、原価低減と小形化をねらう。
- (3) 命令実行速度を上げるため、クリティカルなところには、電流結合形論理(ECL)素子を使用する。

図4に、CCU(A)の筐体構造を示す。

#### 4.2 PU

PUは、命令を実行するユニットである。DIPS-CCPの心臓部に当たり、性能を十分に満足させる必要がある。このため、Emitter Coupled Logic(ECL)素子を使用した。このほかの特徴を次に述べる。

- (1) パネル制御部は、低速でよいのでトランジスタトランジスタ論理(TTL)素子を使用して、原価低減を図る。
- (2) パネル制御部にも、専用のマイクロプログラム制御を採用し、パネル表示、プログラム・ロード、診断機能などを集中制御し、小形化及び原価低減を図る。

メモリのアクセス・タイム、サイクル・タイムは、それぞれマシンサイクルタイムの3倍、4倍となっている。PUとMC及びMCC間のクロックは、処理速度を上げるため同期化している。PUとその他のユニット間のクロックは、インタフェースの融通性を増すため非同期結合である。PUはFDM, Line Control-Character(以下、LC-Cと略す)、IFC-H及びその他のユニットに対しPUからの特別の入出力命令を用いて制御する。そのインタフェースは、1バイトのアドレスバス、2バイトの入出力バス、割込線、制御線などから成る。

#### 4.3 MC

MCは、PUからの命令読出し、オペランドの読出し、書込み、MCCからの読出し、書込み、更にリフレッシュなどを行なうものである。本ユニットも、メモリ素子のアクセス性能を生かすためにECL素子を使用する。その他の特徴を次に述べる。

- (1) アクセス性能を上げるため、論理構成を並列化し段数を減らす。
- (2) メモリ素子のサイクル・タイムとシステムのサイクル・タイムを近づけるため、タイミング供給の段数を減らし、かつ微調整を可能とする。

- (3) 命令先取りによる命令実行時間の短縮を強化するため、命令読出しを8B単位に行なえるモードを設ける。

#### 4.4 MM

MMは、主記憶メモリであり、64kBごとに増設可能である。本ユニットの特徴を次に述べる。

- (1) メモリ素子として、当時開発されていたHM4507を改良して、新たにより高速のHM4507-1を開発し使用した。アクセスタイム250ns、サイクルタイム450nsの性能をもっている。
- (2) メモリカード4枚で、1語40ビット、16k語容量64kBを構成し、これを増設単位とする。

#### 4.5 MCC

MCCは、IFC-H, General Peripheral Control-High-speed(GPC-H)及びLC-Hからのメモリ読出し、書込要求をMCに中継する。これらのユニットとのインタフェースは非同期であり、2バイトのアドレスバス、2バイトの入出力バス、要求線、制御線などから成る。

本ユニットの特徴を次に述べる。

- (1) 一つの要求で2バイトずつ2回に分けて転送することにし、スループットの向上とインタフェースの削減を行なっている。
- (2) LC-H, GPC-Hからのデータチェイン、コマンドチェインの際の要求に即応するため、通常のリクエスト線のほかに優先順位の高いリクエスト線を付加し、応答時間の短縮に努める。
- (3) スループットを上げるため、受付、転送、報告をオーバーラップさせている。これにより、900kB/秒のスループットをもつGPC-Hを2台接続することを可能とする。

#### 4.6 LC-C

LC-Cは、低中速回線を512回線制御することができる。LUTとの間の接続機能、データバッファ、回線状態制御機能、回線状態表示機能、割込待合せ機能などから成る。

本ユニットの特徴を次に述べる。

- (1) 入出力命令を高速化するためバッファを設け、おいてきぼり制御を行なう。
- (2) 割込要求(全部で512)をできるだけ早く見つけるため、割込要求の受付周期を短くしオーバーランの防止に努める。

### 5 CCU(B)

CCU(B)は、表1に示すGeneral Peripheral Control-Low-speed(GPC-L), GPC-H及びLC-Hの各ユニットを搭載するときに必要な。図5に、CCU(B)の筐体構造を示す。GPC-Hの搭載する場合が少なくことから、増設単位を架単位にし通常の構成の原価低減を図っている。使用素子は、経済性を考慮しすべてTTL素子を用いている。

なお、GPC-Hは、現在日本電信電話公社の試作機で、機能及び性能の確認試験を行なっている。

### 6 LUT

LUTは、モデムなどの回線対応装置と接続するためのものである。回線対応装置からの1ビットごとのデータを1文字にまとめて時分割的にCCUへ送ること、あるいはCCUから時分割的に送られてくる1文字のデータを、ビットに分解して回線対応装置に送ることが主要な機能である。LUTの設計に当たっては、装置の小形化を最大の眼目にした。筐体の大きさは、電源、高速回線8回線、低中速回線128回線を収容して、標準筐体の半分の大きさの筐体〔700×700×1,625(mm)〕に収めることを目標にした。これは、従来のDIPS-CCEの $\frac{1}{3}$ ～ $\frac{1}{2}$ 程度の大きさである。小形化のため、回線対応装置との

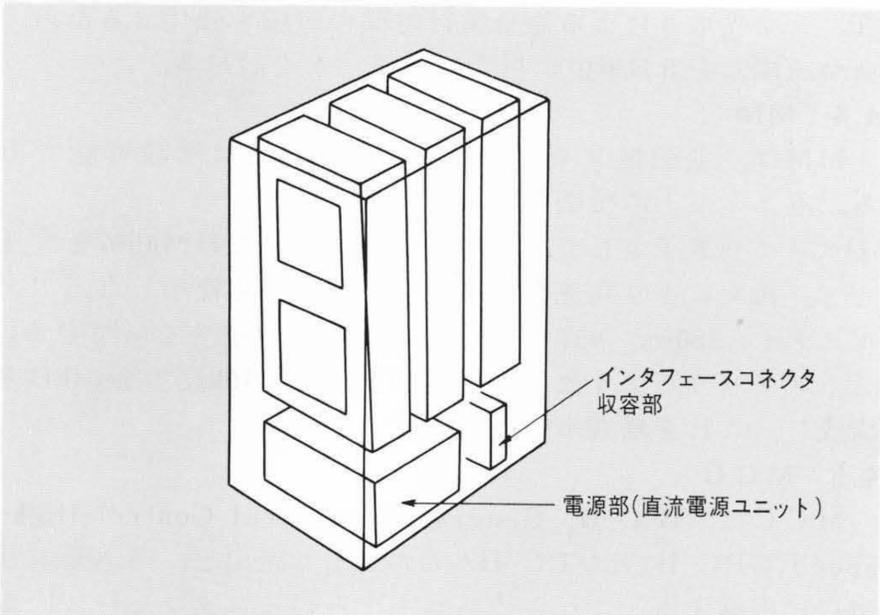


図5 CCU(B)の筐体構造 CCU(B)の筐体透視図によりその構造を示す。

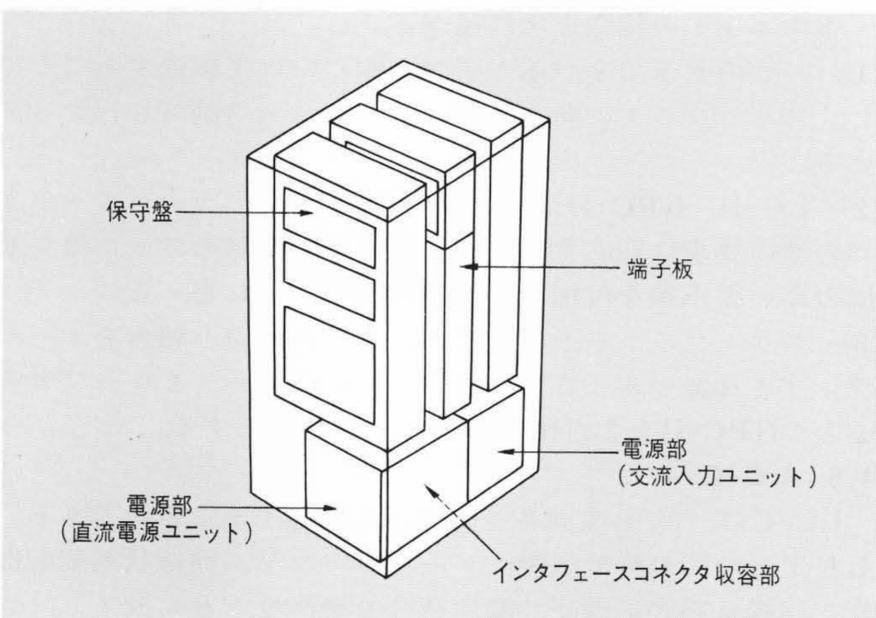


図6 LUTの筐体構造 LUTの筐体透視図によりその構造を示す。

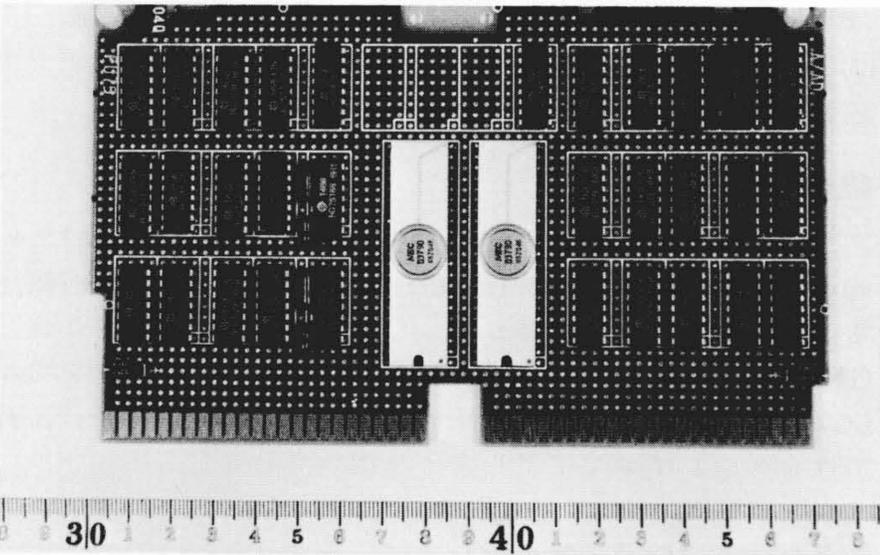


図7 アダプタの外観図 LA-AC(Line Adapter-Asynchronous Character)アダプタのパッケージの部品面から見た外観を示す(105mm×174mm)。

インタフェース部分のアダプタを2回線当たりパッケージ1枚に収容することが必須となり、次に述べるような対策をとった。

- (1) 共通部で、アダプタ用データの前処理を行ない、集積度の高い集積回路(IC)をアダプタで多用できるようにする。
- (2) インタフェース回路をIC化する。モデムインタフェース用ICとして、HD75188, HD75189の2品種を新規開発した。
- (3) モデムよりのタイミング信号の雑音防止に、従来、ディスクリット部品の雑音除去回路を使用してきたが、今回これ

表1 DIPS-CCPの性能一覧 DIPS-CCPの性能を示す。

ユニット	項目	性能
PU	マシンサイクル(ナノ秒)	127.5
	平均命令実行時間	950
MM	アクセス・タイム(ナノ秒)	440
	サイクル・タイム(ナノ秒)	510
MCC	最大転送能力(キロバイト/秒)	1,800
IFC-H	最大転送能力(キロバイト/秒)	400
GPC-L	最大転送能力(キロバイト/秒)	25
GPC-H	最大転送能力(キロバイト/秒)	900
LC-C	スキャン間隔(マイクロ秒)	3.2
	処理要求メモリスキャン(ナノ秒)	450
LC-H	スキャン間隔(ナノ秒)	800

をIC化した。

- (4) トランクインタフェースのリレーを従来より大幅に小形化した。

- (5) 調歩式、同期式ともに送受信データのキャラクタ組立機能、及び分解機能をもつ回線LSIを使用した。

このほか、次に述べるような改善を図った。

- (1) デジタルデータ交換(DDX)のインタフェースのアダプタが搭載できるように、架内布線にテープケーブルを使用し、電気的特性を飛躍的に改善した。

- (2) LUTを16台いもづるに接続するには、架内布線長を50cm以下にする必要がある。そこで、コネクタの近くにレシーバ、及びドライバを収容したパッケージを置き直接結線する。

図6に筐体構造図を、図7にアダプタの外観を示す。

## 7 性能

表1に、DIPS-CCPの性能一覧を示す。

## 8 結言

DIPS-CCPは、データ通信サービス用として本格的な導入時期に入りその円滑な運用を図るために全力を尽している。処理の分散、端末のインテリジェント化、オンラインシステムの普及、ネットワークアーキテクチャの確立などによって、だれとも自由かつ気軽にデータ通信を行なえるコンピュータネットワーク時代を迎えようとしている。本装置によって、この時代の流れを先取りした世界一流の性能をもつハードウェアを実現することができたと考える。

終わりに、本装置の開発に当たって日本電信電話公社技術局、横須賀電気通信研究所、武蔵野電気通信研究所などからいただいた絶大な御指導に対し、厚くお礼を申しあげるとともに、PU, LC-H部の性能及び品質の確保を推進いただいた日立製作所の研究所、事業部、開発センタ及び工場の関係各位の御協力に対し併せて感謝の意を表わす次第である。

## 参考文献

- 1) K. Tomaru, K. Naemura & K. Itoh: Architectural Design of a Multi-purpose Communication Control Processor 2nd USA-JAPAN Comp. Conf., pp. 47~51 (1975)
- 2) 都丸敬介: 通信制御プロセッサ, 情報処理 Vol. 18, No. 4, pp. 350~356 (1977)