

最近のコンピュータ用半導体

——LSI化と信頼度向上手法——

Semiconductor Devices Used in the Current Computer Systems

最近のコンピュータは、中央処理装置から端末機に至るまで、論理素子、記憶素子にわたってLSI化が急速に進められている。機能のLSI化は装置の小形化、高速化を可能にさせると同時に、部品点数の減少に伴う装置の高信頼度化も目標としている。

本稿では、HITAC Mシリーズを中心にLSI化の動向について述べるとともに、LSI化された部品は、どのような信頼性保証活動を行なって装置の信頼度を向上させているかを説明する。

滝沢克彦* Takizawa Katsuhiko

斉藤智徳* Saitô Tomonori

古谷勝美** Furuya Masayoshi

1 緒言

コンピュータに使われているハードウェア技術によって、コンピュータの世代を区別するとき、現在は、第三世代から大規模集積回路(以下、LSIと略す)が主流となって使われようとしている第四世代への過渡期にあるということが出来る。論理素子の分野では中規模集積回路(MSI)からLSIへと、記憶素子の分野では4kビットメモリから16kビットメモリへと、それぞれ高集積化、高速化を目指す技術開発が進められている。

部品のLSI化は、システムの小型化、高速化及び信頼性の向上という面で大きな利点を持つが、一方では多種少量生産あるいは内在する不良摘出が難しいなど、解決すべき問題点も含んでいる。

本稿は、最近のコンピュータに使われている半導体部品の代表ともいわれる論理LSI及び半導体メモリに焦点をあて、その特徴について述べると同時に、どのようにしてこのような新しい技術を用いた半導体を使いながら、高い信頼度を持つシステムを作り上げるか、HITAC Mシリーズ(以下、Mシリーズと略す)コンピュータの場合を例にとり信頼性活動とその効果について紹介する。

2 計算機に使われている半導体の分類

計算機に使われている半導体は、論理素子用と記憶素子用とに大きく二分することができる(図1)。論理素子は集積度の規模によって、一般に小規模集積回路(SS I)、MSI及びLSIに分類している。この論理素子を形成する代表的な回路例としては、ECL(Emitter Coupled Logic)とTTL(Transistor Transistor Logic)の二つがある。前者は回路内のトランジスタを不飽和の状態で作動作させるため、スイッチングスピードは速いが(0.7~2ns/ゲート)1回路当たりの消費電力は大きい。逆にこの特徴を生かすために、論理振幅(波形の高レベル、低レベルの差)も0.8Vと小さく設計してあるため、ノイズに十分配慮した実装設計が必要となる。一方、後者は回路内のトランジスタをすべて飽和させて使っているため、消費電力は小さいかわりにスイッチングスピードは遅い(3~10ns/ゲート)という特徴を持っており、小形コンピュータ、端末機などに主として使われている。Mシリーズコ

ンピュータには、論理主要部に高速ECL、LSIが使われており、その性能向上、小形化及び高信頼度化に大きな役割を果たしている。メモリ素子用の半導体を大別すると、メインメモリ用素子と、レジスタメモリあるいはバッファメモリ用の高速バイポーラメモリとに分けることができる。最近の

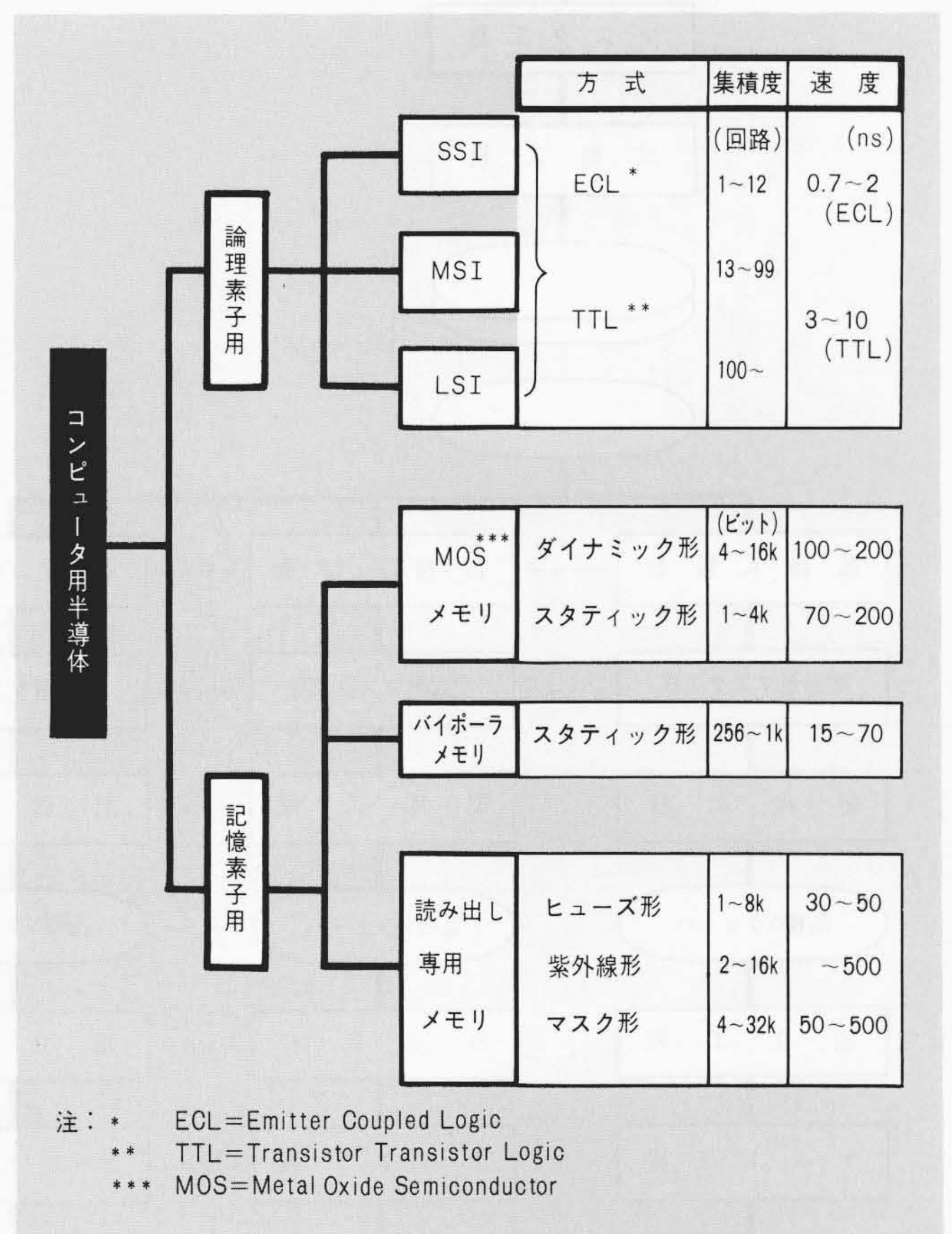


図1 コンピュータ用半導体の分類 コンピュータ用半導体は、論理素子用と記憶素子用に大きく二つに分けられ、更に方式、集積度などにより分類される。

* 日立製作所神奈川工場 ** 東京商船大学教授 工学博士

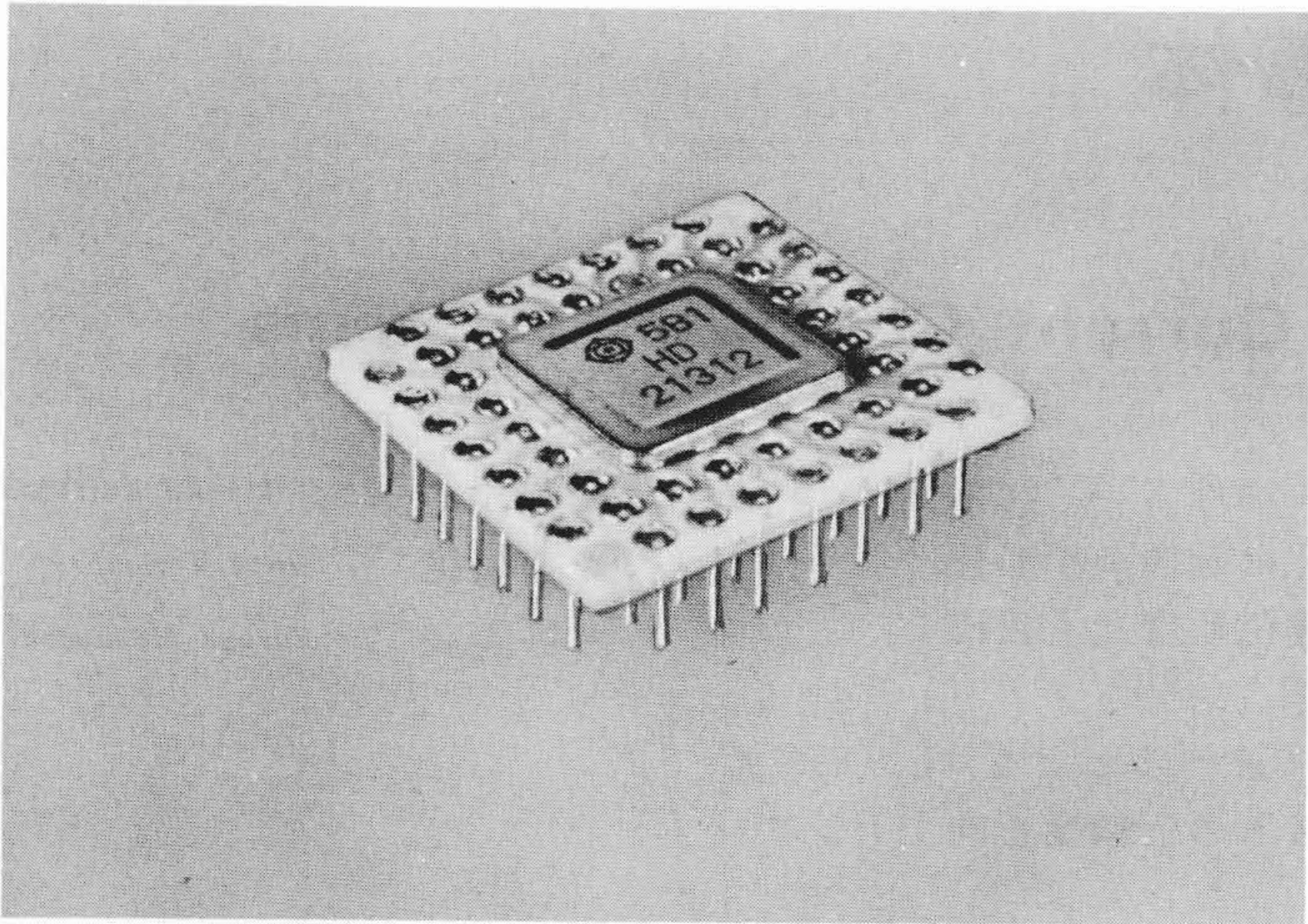


図2 HITAC Mシリーズに使われているLSIの外形 最大200ゲートのLSIを示すもので、マスタスライス法を採用し、多種少量生産の問題点を軽減している。

コンピュータシステムでのメインメモリ装置の容量は、ますます大容量化する傾向にあり、メモリ素子の高速化、高集積化及び高信頼度化が進められている。既に、Mシリーズコンピュータでは、1976年からNチャネル4,096ビットメモリ(以下、N-MOS 4kと略す)が装備されており、メモリ装置の小形化、低消費電力化及びシステムの高信頼度化に対し大きく寄与している。

3 論理LSIの動向

コンピュータの速度、すなわちマシンサイクルを制限している要因を調べてみると、論理ゲートの遅れと論理ゲート間を結ぶ配線による遅れ及び負荷容量による遅れとに区別することができる。全体の遅れをシステム遅れ時間と定義すると、一般的な傾向として既に第三世代のコンピュータあたりから回路単体の速度を速くしても、もはや論理ゲート間を結ぶ配線長を短くしないことには、システム遅れ時間を短縮できないところに来ているといえる。このように、システム遅れ時

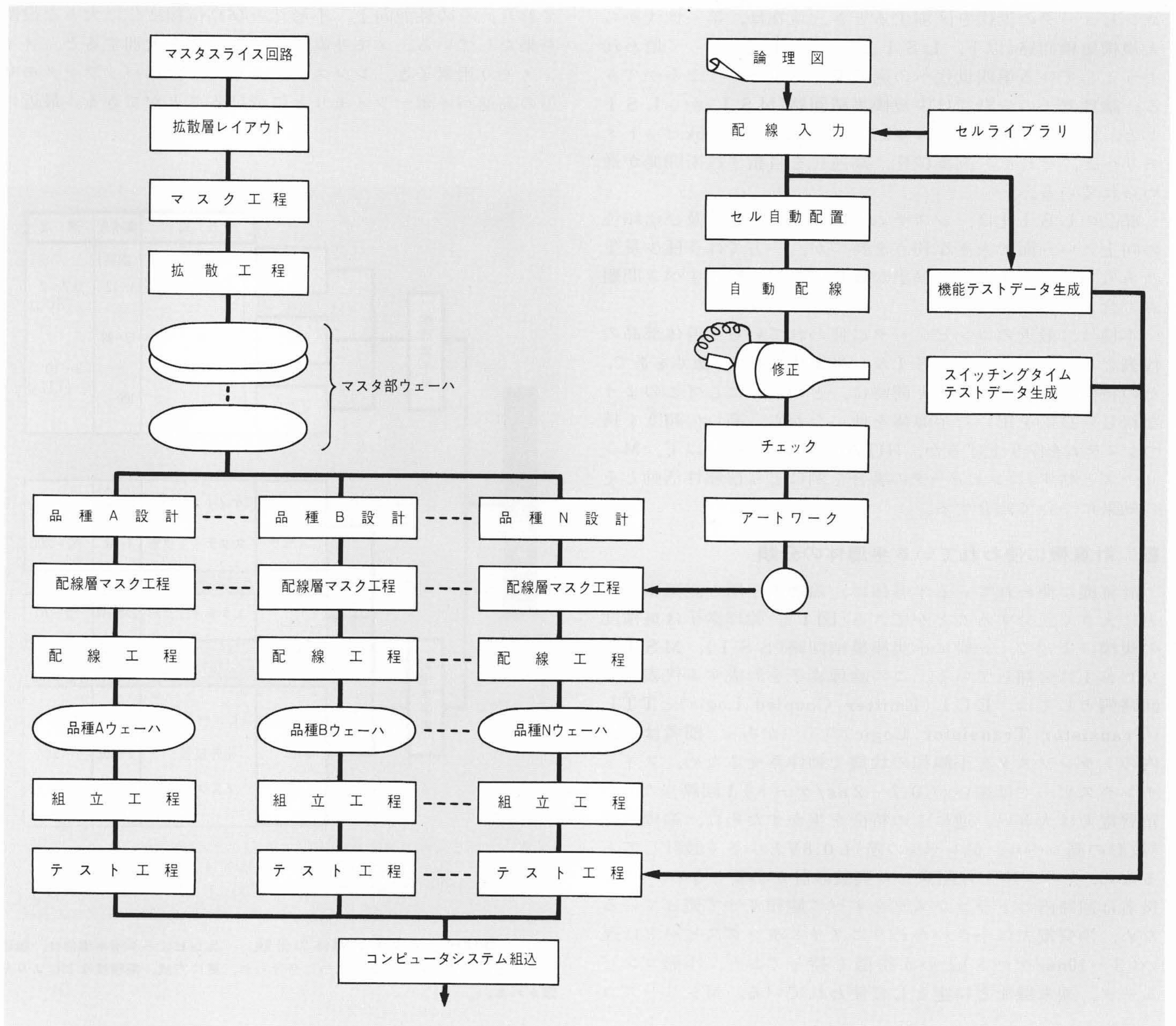


図3 CADと結合したマスタスライスLSI製作工程の流れ 精度、設計期間の短縮のため、コンピュータによる設計(CAD)が至るところに使われている。

間を短くするために配線長を短くしようとする動きと半導体技術の進歩とが相まって、まとまった論理機能をそのまま1チップ上に載せてしまうこと、すなわち論理のLSI化が急速に押し進められてきたのである。しかし、LSI化に伴う一つの問題は、多種少量生産に起因する部品(LSI)の価格増加である。繰返し多数個が使われる機能はLSI化に適しているが、1台のコンピュータの中で1回しか使われないものはLSI化してもむしろ原価高となる。

Mシリーズコンピュータでは、これらの点を考慮して繰返し使用の多い機能はLSI化し、そうでないものはECL-10KなどのSSI、MSIを用いることによって、システムコストを大幅に増大することなくマシンサイクルの高速化、高信頼度化及び小形化を図っている。図2には、Mシリーズコンピュータに使われているLSI(最大200ゲート)の外形を示す。このLSIは全品種に共通であるマスタ部の工程(拡散及びアイソレーション工程)を完了したウェーハ上に、品種ごとに異なる配線パターンを形成して品種展開を行なうマスタスライス法を採用し、LSIの宿命ともいえる多種少量生産の問題点を軽減している。図3にマスタスライスLSIの製作工程の概要を示すが、精度及び設計期間の短縮のためコンピュータによる設計(Computer Aided Design)が至るところに使われている。このマスタスライスセル内の素子群を示したものが図4(a)で、この上に配線情報に基づいてAl配線を施して作った論理ブロックの一つを同図(b)に示す。実際のLSIは、このようにして作ったブロック間を更にAl配線で結線して、複雑な論理機能をLSI1チップ上に実現する。

4 メモリLSIの動向

最近のメモリ素子の集積度は、MOSメモリ、バイポーラメモリとも年2倍の割合で大容量化されており、今後もしばらくこの傾向は続くものと思われる。バイポーラメモリとMOSメモリの集積度比でみると、構造的な複雑さ、消費電力の大きさなどのために前者が後者の1/4の割合となっている。

メモリLSIを、ダイナミックタイプMOSメモリLSIと高速バイポーラメモリLSIとに分けて次に説明する。

(1) メインメモリLSI

メインメモリLSIとして現在大量に使われているN-MOS 4kメモリを代表に取り上げることとする。このN-MOS 4kメモリは、消費電力を少なくし動作速度を速めるためにダイナミック記憶方式が採用されている。ダイナミック記憶方式とは、記憶情報の“1”、“0”をMOSトランジスタのゲート浮遊容量、あるいはソースに接続されたMOSキャパシタに蓄えられた電荷の有無に対応させて記憶するものである。蓄えられた電荷は、時間の経過とともに放電していき記憶情報が消滅してしまうので、一定時間ごとに再生(リフレッシュ動作という)する必要がある。このリフレッシュ動作の回数及び周期は、メモリセルの構造、メモリマトリックスの構成法によって異なるが、N-MOS 4kメモリの場合、一般的に32 μ sに1回又は64 μ sに1回の割合で行なわれる。メモリセルの構造は、4kビットから16kビットへとメモリ容量が大きくなるにつれて1MOS/セルが標準的になってきているが、回路技術の進歩、プロセス技術の向上に伴って16kビットメモリのチップサイズは、4kビットのそれと比べてほとんど変わらないところまできている。図5に16kビットメモリHM4716(アクセスタイム150ns)のチップを示す。ダイナミックタイプメモリの特徴は、読み出しあるいは書込時の消費電力が300~400mWであっても、スタンバイ時の保持電力が数ミリワッ

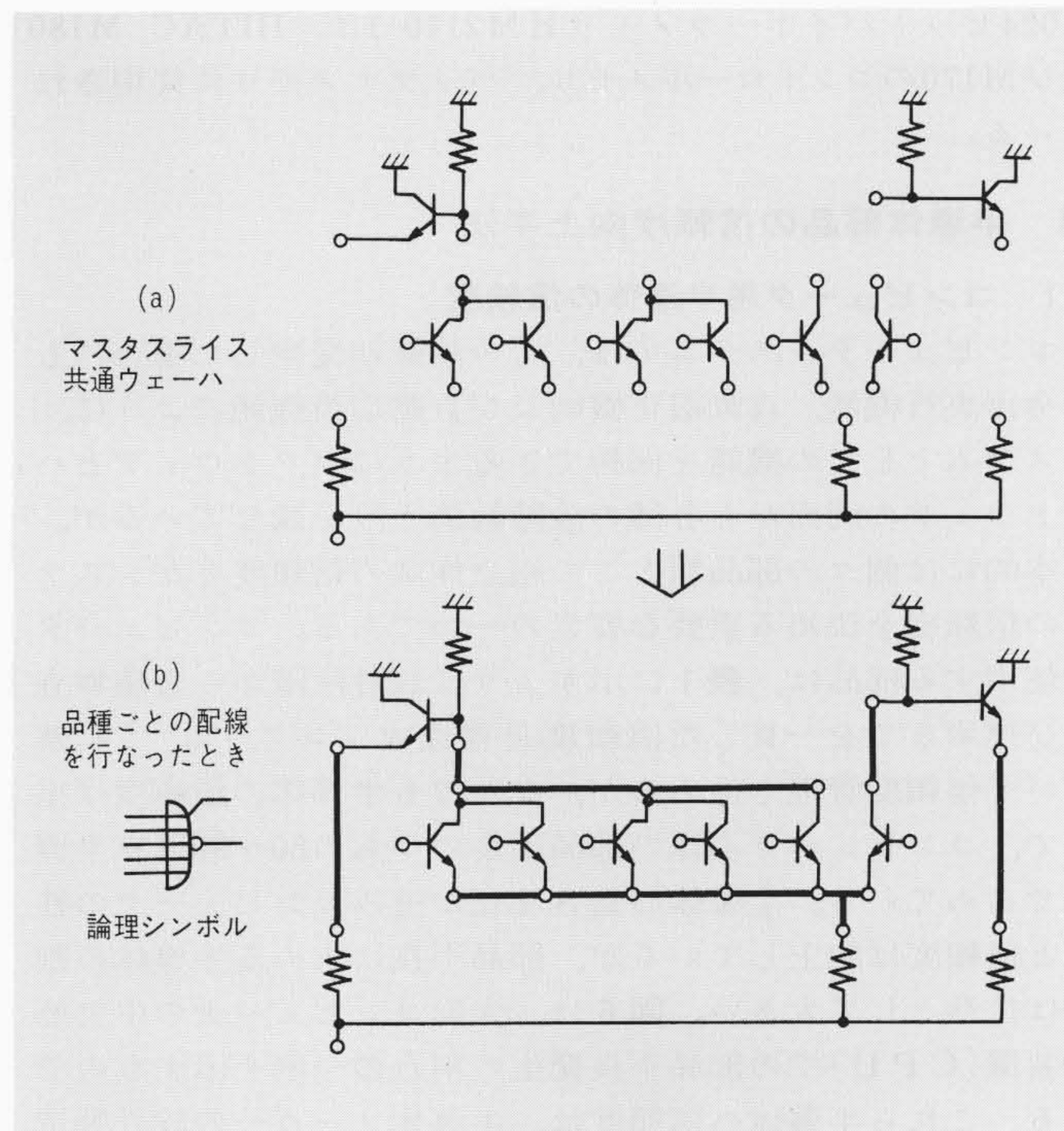


図4 マスタスライスLSIを用いた論理ブロックの構成 (a)はマスタスライス上に配置された素子群、(b)は素子間をAl配線で結線して作られた論理ブロックである。

ト~10ミリワット程度と小さいことである。したがって、大きなメモリ装置を構成しても選択されている素子の数はそのごく一部であるから、装置全体の消費電力を極めて小さく抑えることができ、信頼度も向上させることができる。

(2) レジスタメモリ、バッファメモリ用LSI

バイポーラメモリのほとんどはフリップフロップタイプのメモリセルを採用しており、回路技術の面ではMOSダイナミックメモリほどの多様性はないが、プロセス技術の面で酸化物分離法やファインパタン化、浅い拡散などの採用によって高速化、高密度化が進められている。性能の面では、ECL 256ビットメモリでアクセスタイム15ns(Max.)、ECL 1,024ビットメモリでアクセスタイム25ns(Max.)が量産レベルで最も速いものである。アクセスタイム25nsの日立製作所製ECL

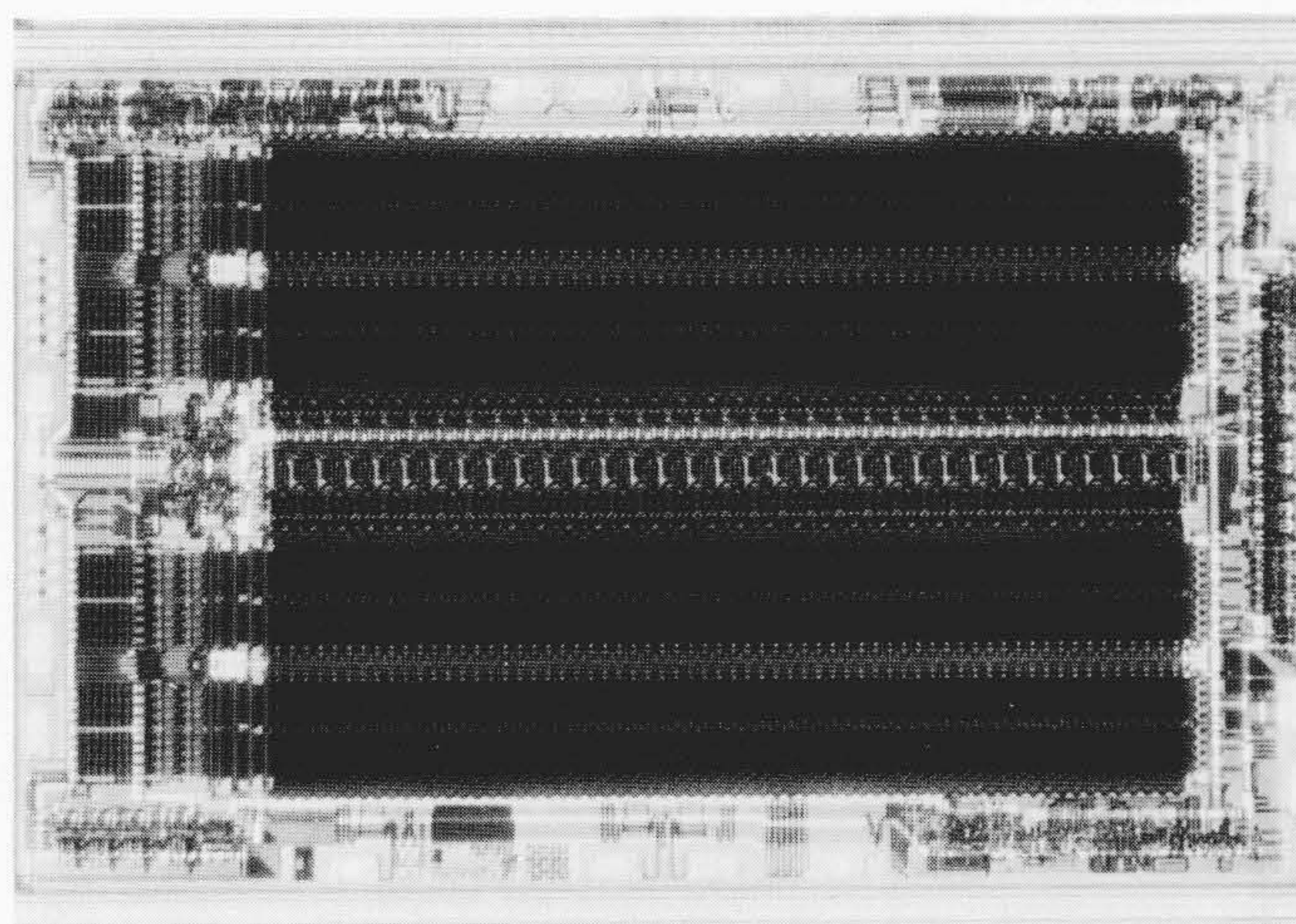


図5 N-MOS 16kビットメモリ(HM4716)のチップ アクセスタイム150ns, サイクルタイム375nsの1MOS/セルタイプである。

1,024ビットバイポーラメモリHM2110-1は、HITAC M180及びM170のコントロールメモリ、バッファメモリに使用されている。

5 半導体部品の信頼度向上手法

5.1 コンピュータ用半導体の信頼度

コンピュータシステムでは、万一故障が発生した場合にも命令再実行機能、自動訂正機能及び自動切換機能のように、システムとしての機能を保持できるようにソフトウェアとハードウェアの両面から各種の故障救済手段を講じているが、基本的には個々の部品類とこの組立作業の信頼度とがシステムの信頼度を決める重要な要素の一つである。コンピュータに使用する部品は、表1に示すように設計段階から製造検査及び運用までを一貫した信頼度目標達成プログラム^{1),2)}に基づいて信頼度管理を進めるが、なかでも半導体の信頼度は重要で、コンピュータ本体の部品不良のうちの80~90%を半導体で占めている。半導体のLSI化が進みコンピュータの性能と信頼度は向上しているが、部品不良に占める半導体の割合は依然として大きい。図6は、大形コンピュータの中央処理装置(CPU)での部品不良発生割合の一例を示すものである。これら半導体の信頼度は、半導体メーカーの設計製造技術及び品質管理に大きく依存することはもちろんであるが、これを使用する装置メーカーの半導体メーカーへのフィードバックを含めた信頼度保証活動によって一段と安定した高品質のものを得ることができる。

5.2 装置メーカーでの信頼度保証

半導体集積回路(IC)の不良原因は、従来、ICチップへのボンディング(接続)不良やICチップ上のアルミ配線のきずによる断線などが多かったが、半導体製造技術の進歩に伴い減少し、代わって高速化、高密度化及び大規模化するに従って多層配線による層間ショートやピンホール、ミクロンオーダーの異物による不良が相対的に増えている。これらの不良

品を加速して短時間に摘出する方法としては、温度による加速がよく知られているが、温度以外にも電圧、振動、衝撃等等及びこれらの組合せによるいろいろな加速方法がある。例えば、コンピュータの主記憶装置に大量に使われているN-MOS 4kメモリのゲートに用いられているシリコン酸化膜(SiO₂)が破壊(ブレイクダウン)するまでの時間t(秒)と加えた電界E_{BD}(MV/cm)との間に

$$E_{BD} = E_0 + at^{-\frac{1}{4}} \dots\dots\dots(1)$$

の関係があるといわれ³⁾、イオン汚染品に対しては電圧を加えることが重要な意味を持つてくる。

a, E₀(MV/cm)は定数で、温度あるいはシリコン酸化膜がナトリウムイオン(Na⁺)などに汚染されている度合により変わる。このようにして半導体に限らず、物の劣化は温度以外のストレスによっても加速され、劣化メカニズムによっては温度ストレスより電圧とか、機械的ストレスのほうが加速率が大きい場合もある。すなわち、部品は単一の劣化メカニズムだけではなく、異なった劣化メカニズムを持った集まりと考え、実使用状態で予想される様々なストレスに対し、工場内の各工程で最も効果的なストレスを加え、スクリーニングすることが必要である。

Mシリーズコンピュータでは、先に述べた一連の信頼度目標達成プログラムに基づき部品の信頼度を保証しているが、部品段階で短時間にすべての機能と高い信頼度を保証することは容易なことではなく、これをカバーするために図7に示すように部品、パッケージ(部品を基板に組み込んだユニット)の段階で、

- (1) 認定/評価試験(新規開発品、工程変更品に実施)
- (2) ロット検査(ロットごとに抜取りで実施)
- (3) スクリーニング/エージング(全数実施)

を効果的な方法で実施し、装置に組み込まれる前に実使用状態で、遭遇するほぼすべての条件(ストレス)に対する試験とスクリーニング/エージングを実施するとともに、得られた品

表1 コンピュータ部品の信頼度目標達成プログラム 新規部品をコンピュータに採用する場合、この手順により目標信頼度を達成する。

項 目	手 順 の 説 明
1. 予備設計段階	(1) コンピュータで使用する部品の目標故障率の設定 (2) 部品の適用方法の決定 (温度、電圧などのデレーティング) (3) 開発部品の決定、内外作部品の決定 (4) 外注部品メーカーに対する品質保証要求の作成 (5) 認定試験、寿命試験及びスクリーニングの計画
2. 詳細設計段階	(1) 部品メーカー選択(過去の実績及び工場審査) (2) 部品メーカーにおける品質保証試験計画の具体的打合せ (3) 認定試験、寿命試験の実施と故障品の分析フィードバック (4) 信頼度配分設計の見直し
3. 製造検査段階	(1) 受入検査の実施 (2) 各工程〔部品、パッケージ(Package)、装置〕での検査及びスクリーニングの実施 (3) 不具合品、故障品の分析とフィードバック
4. 運用段階	(1) フィールドデータの収集、分析とフィードバック (2) 故障品の解析とフィードバック

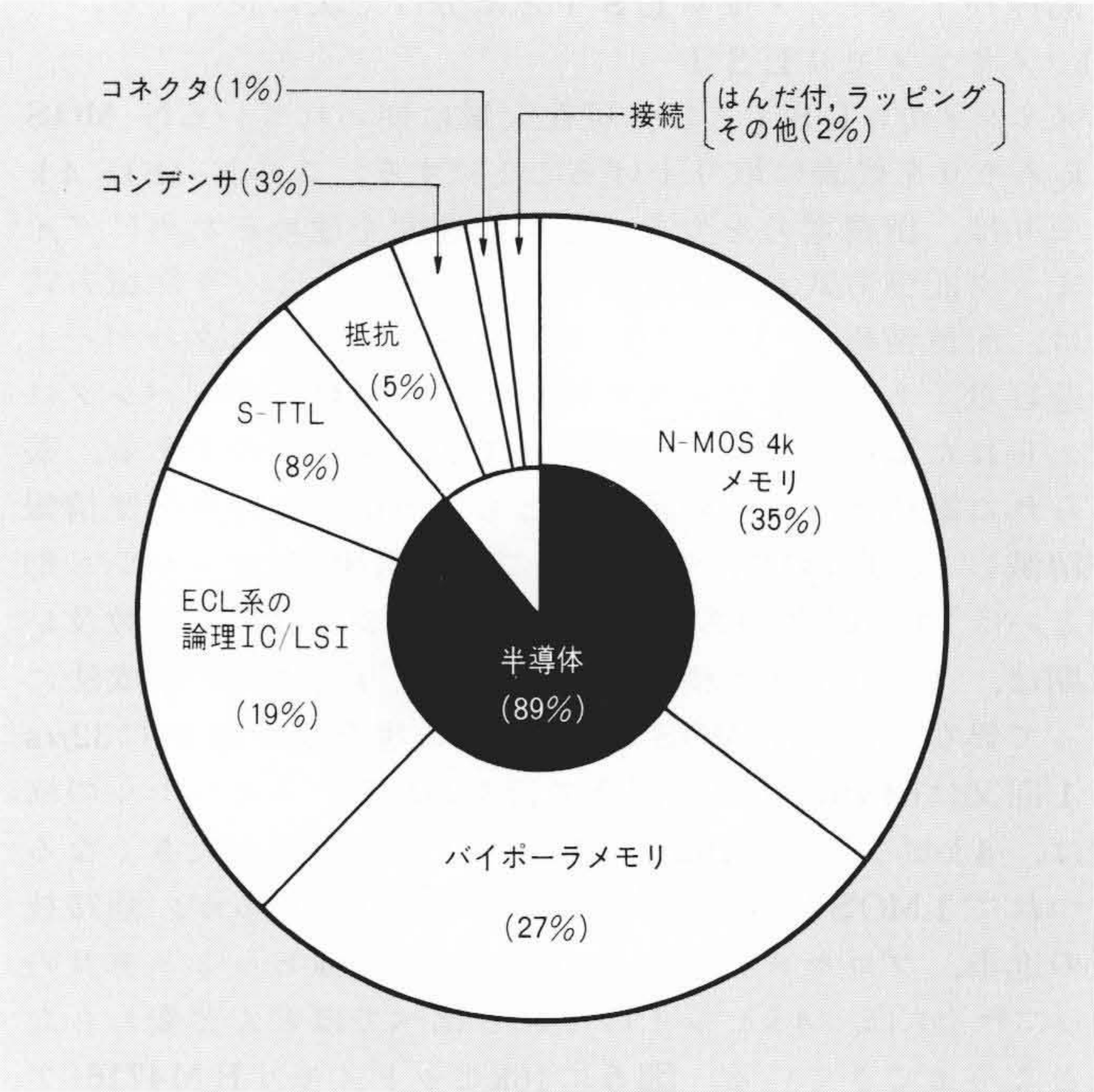


図6 大形コンピュータのCPU(記憶容量2MB)における部品不良発生割合 部品不良に占める半導体の割合を示すもので、この中でもLSI化したN-MOSメモリ、及びバイポーラメモリの割合が多い。

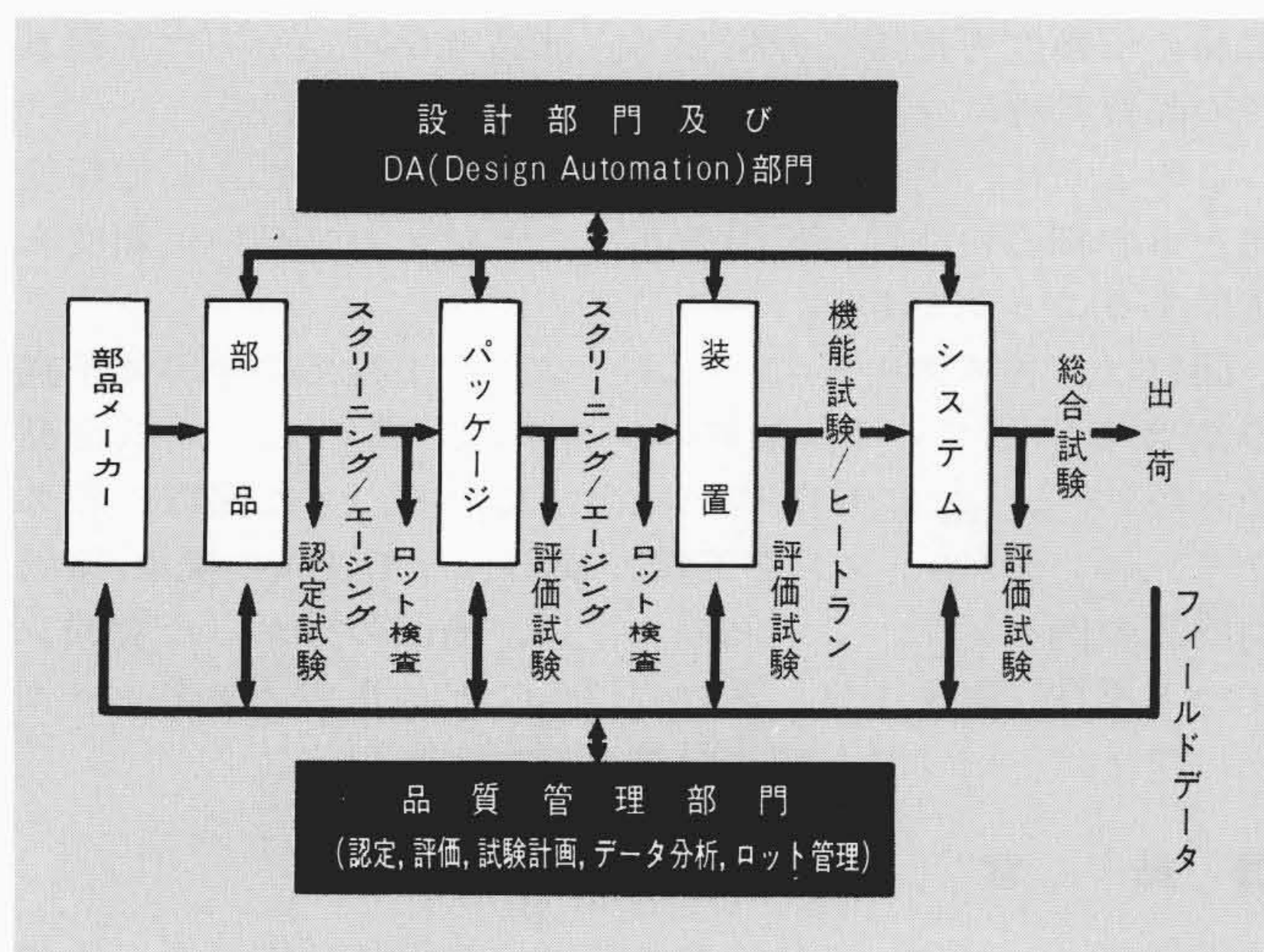


図7 コンピュータ用半導体の品質保証 各工程ごとに、スクリーニング/エージングあるいはヒートラン(長時間稼働試験)を行なう。



図9 寿命試験/エージング用設備 部品の認定、ロット保証及びエージングを行なう。

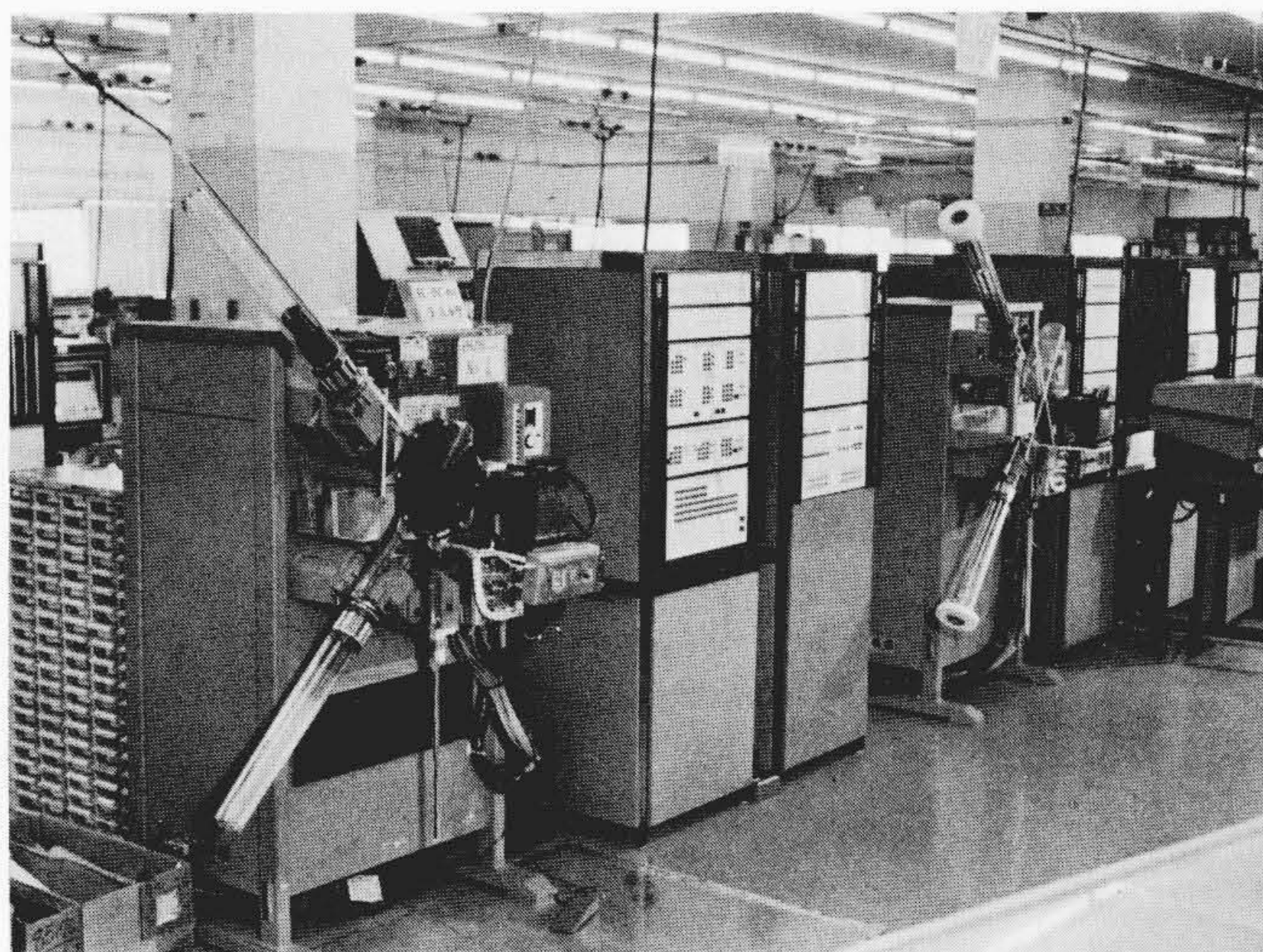


図8 半導体部品の検査/スクリーニング設備 半導体の直流特性、交流特性、温度/電圧マージンなどの全数検査を行なう。

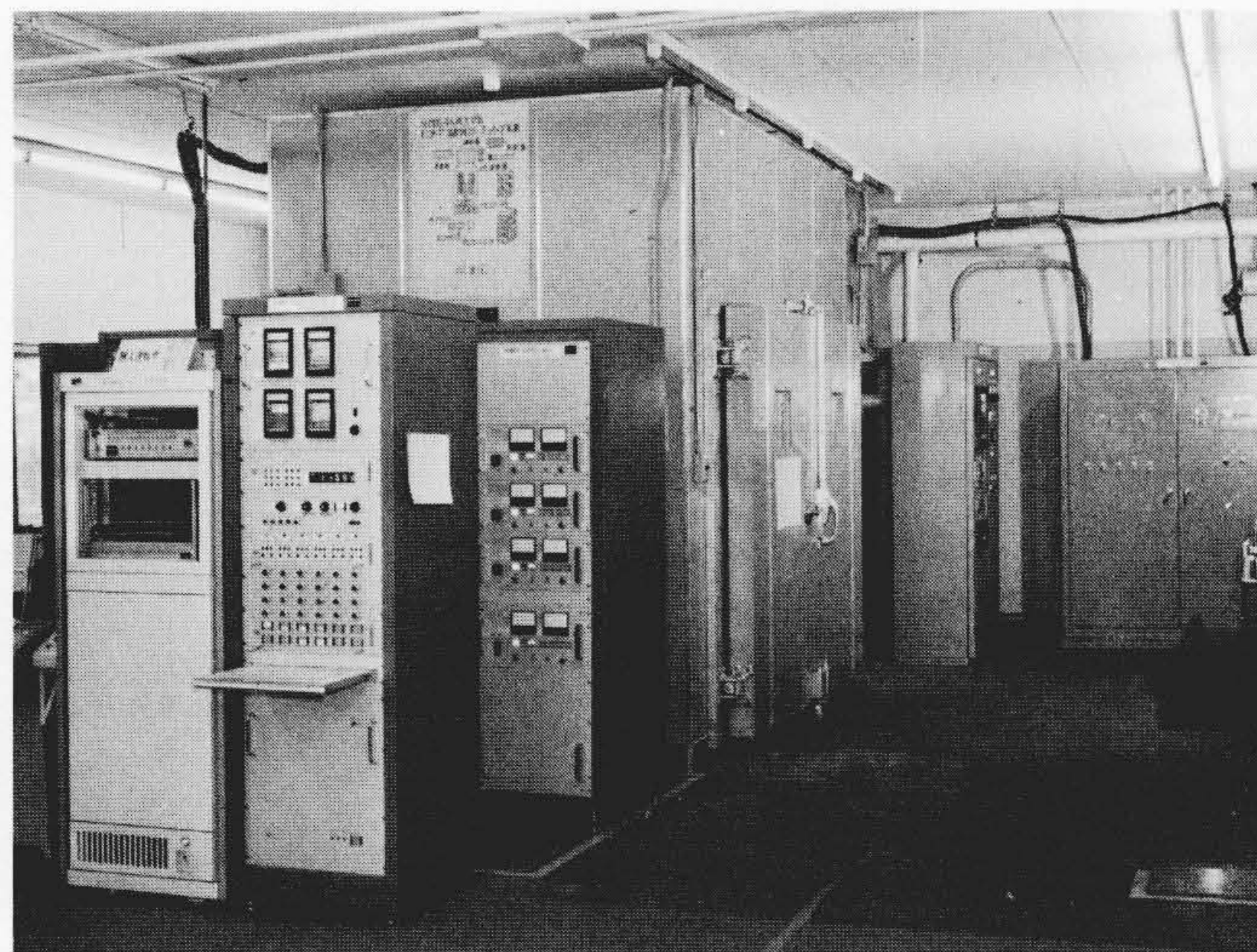


図10 MOSメモリパッケージのエージング設備 ミニコンピュータ(HITAC 10II)コントロールによるMOSメモリパッケージの全自動エージング装置を示す。

質情報を各部門にフィードバックし、極めて高い信頼度を保証している。

認定/評価試験は、新規開発品及び設計、製造関係に変更があった場合に実施し、所定の性能、信頼性を持っているかどうかを判定するもので、各種性能のマージン(余裕度)試験、寿命試験、限界試験、分解試験及び環境試験(耐湿試験、塩水噴霧試験、振動・衝撃試験等々)を時間をかけて慎重に行なう。

ロット検査は、ロットごとに所定のサンプルを抜き取り、外観、性能及びマージン試験を行なうが、主としてその工程でできた製品の製造品質が設計どおりのものであるかどうかを確認することが主な役目であり、迅速かつ精度の良い試験が必要である。スクリーニング/エージングは、該当する全部品に対し温度、電圧、電流、振動などのストレスを適切な範囲内で、単独あるいは重複して与え潜在欠陥を取り除き、次工程に欠陥を持ったものが一つでも流れるのを防ぐ役目を持っている。また、認定あるいはロット検査では得にくい多量の品質情報を得ることができる。スクリーニング/エージングを行なう上で特に重要なことは、高温及び低温での交流(AC)特

性、直流(DC)特性及び機能(Function)試験を能率よく正確に行なうことで、高度に自動化された高性能の設備と測定技術が要求される。前工程(部品)から後工程(装置)に進むに従って、他の部品との関係で強いストレスを加えられなくなるが、実用状態に近い複数のストレス(温度サイクル、振動、あるいは電圧等々)を同時に加えることが容易になる。どの工程でどのような条件でスクリーニング/エージングを行なうのが効果的かは、部品や製品の種類、数量にもより一概には言えないが、各工程で摘出した部品を徹底的に分析し、フィードバック(自工場内はもちろん半導体メーカーの品質管理部門へ)することにより常にスクリーニング/エージング条件の改良を行なうことが必要である。図8～10に部品レベルとパッケージレベルの検査/信頼度試験設備を示す。

装置、システム段階では、主として装置の機能とシステムとしてのハードウェア、ソフトウェアを含めた総合的な試験を行なう。ヒートラン(長時間動作試験)をはじめとする各種試験の延時間は製品によって異なるが、通常は100時間以上になっている。したがって、装置、システム段階での半導体

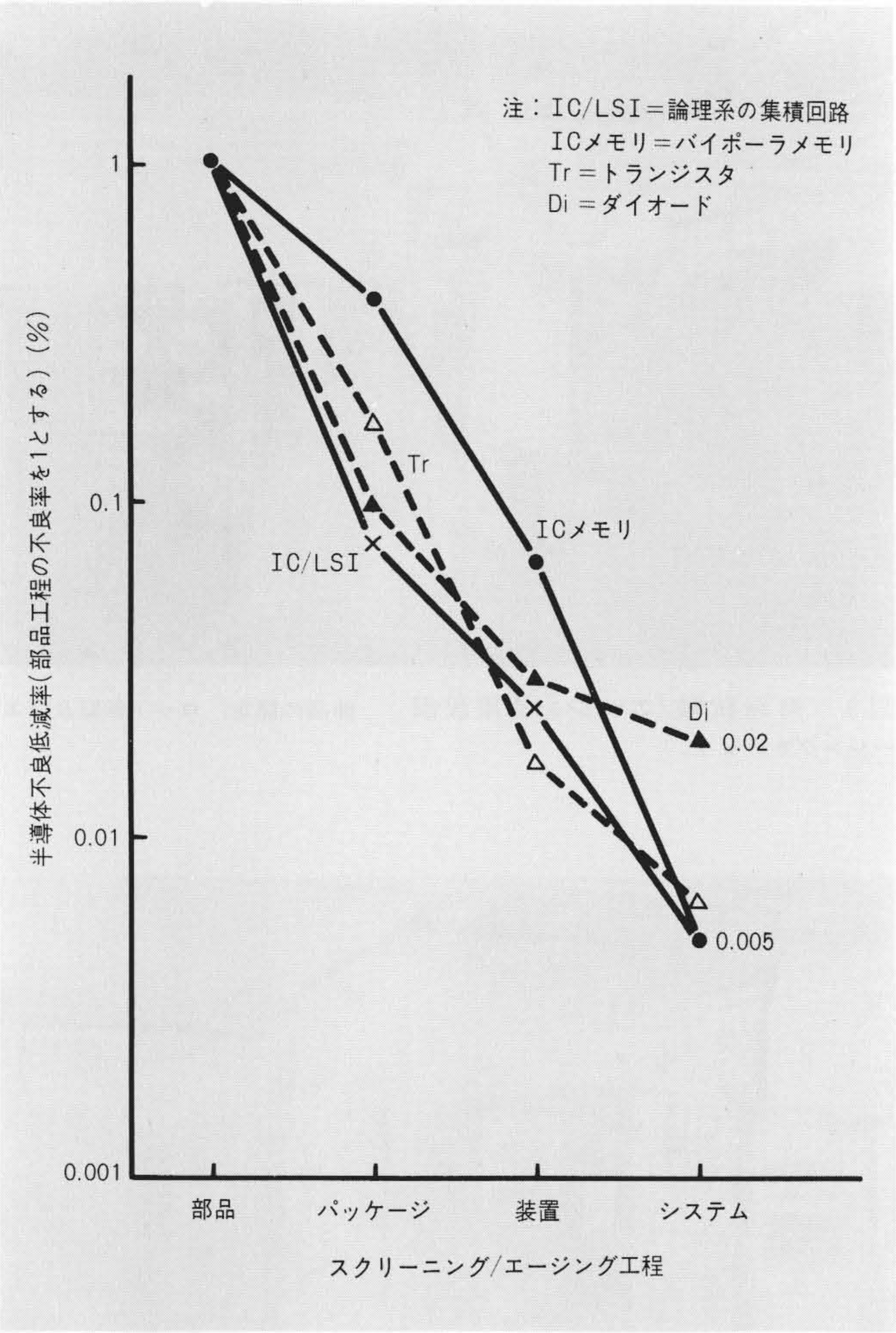


図11 各工程の半導体不良低減率 システム工程では、半導体不良が当初の $\frac{1}{50} \sim \frac{1}{200}$ に減少する。

部品の信頼度を把握し分析して、部品及びパッケージ工程までの品質管理にフィードバックを行なっている。

このように、コンピュータ製造の全工程にわたって信頼性向上への細心の注意と努力を払うことによって高い信頼度を確保することができる。

図11は、各スクリーニング/エージング工程での半導体不良の割合を示している。最終のシステム工程では、当初(部品受入時)の $\frac{1}{50} \sim \frac{1}{200}$ に不良率が減少している。また図12に各スクリーニング/エージング工程で摘出した不良品の現象/原因別内訳の例を示す。この例のように、原因の分かった層間ショート不良、耐圧不良、異物の混入などは半導体製造メーカーにフィードバックし根本対策を行なっている。

6 結 言

最近のコンピュータに使われている半導体について、そのLSI化の傾向を論理LSI及びICメモリに分類して述べ、更にその信頼性向上活動について紹介した。

コンピュータシステムの信頼性を高め、顧客の満足を得るためには、ハードウェアの信頼性を高めることがまず第一に必要であり、今後関係各位の御協力を得て、更に高信頼度のコンピュータ作りを目指して努力していきたいと考える。

参考文献

- 1) 村田：電子計算機の信頼性、日本機械学会誌 74, 633 (昭和46-10)
- 2) 電子協：大型電子計算機システムの信頼性に関する調査研究 (昭和48-3)
- 3) C. M. Osburn and S. I. Raider : The Effect of Mobile Sodium Ions on Field Enhancement Dielectric Breakdown in SiO₂ Films on Silicon, SOLID-STATE SCIENCE AND TECHNOLOGY pp. 1369~1376 Oct. 1973

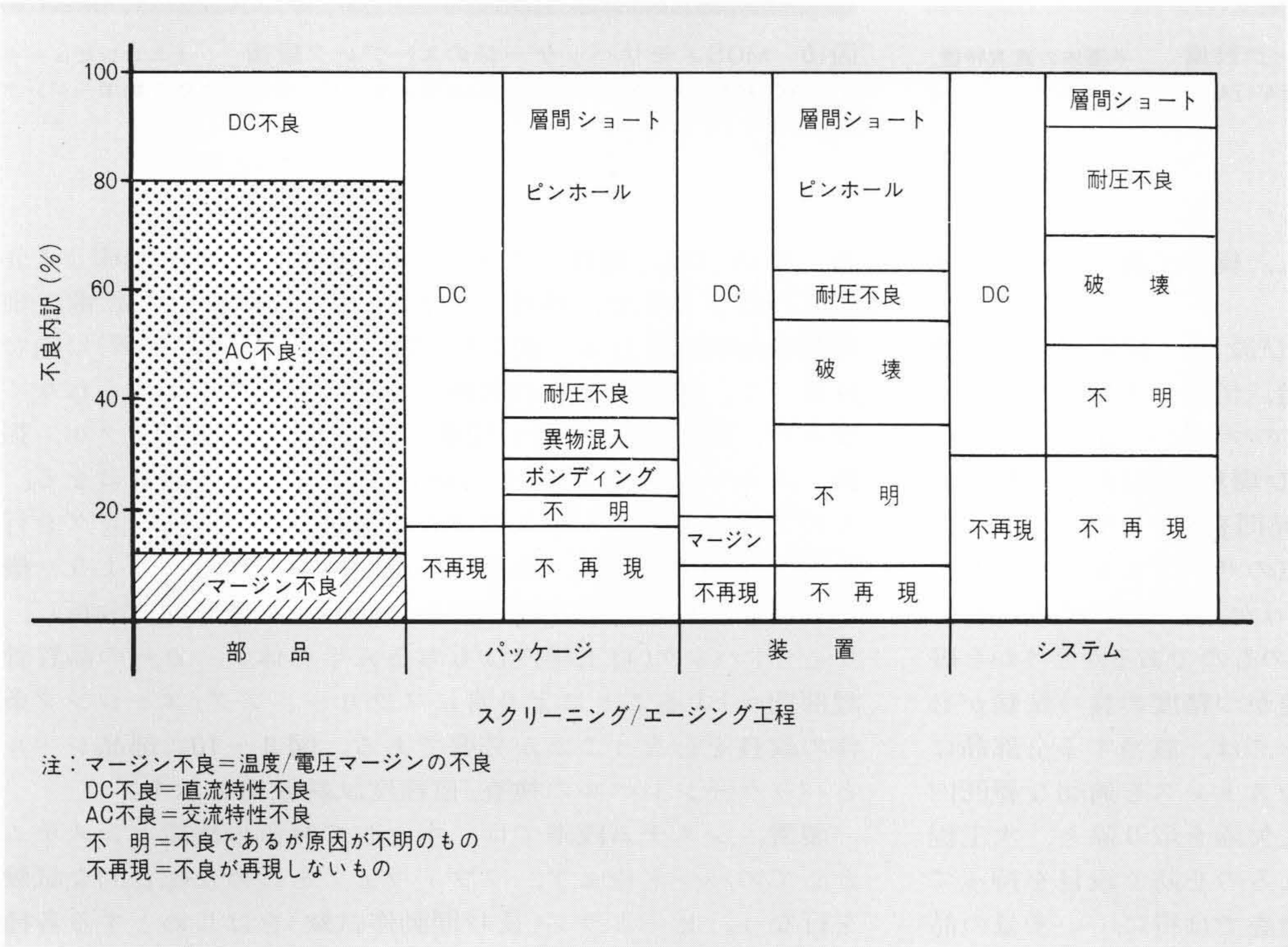


図12 各工程の不良品の現象/原因別内訳(高速ICの例) 集積回路は高速化、及び高密度化が著しく、多層配線にかかわる層間ショート不良が多い。