

HITAC M-180内蔵アレイプロセッサ

HITAC M-180 Integrated Array Processor

最近、大形技術計算の高速処理化のため、ベクトルや行列計算を高速演算処理する装置の必要性が高まっている。このたび日立製作所では、技術計算についてのこれまでの経験を踏まえて、大形電子計算機 HITAC M-180 に組み込む M-180 内蔵アレイプロセッサを開発した。

この内蔵形アレイプロセッサは、高速乗除算装置、専用ベクトル演算命令などをもち、高速ベクトル演算を行なうものであるが、単に高速処理化の面だけでなく使いやすさにも重点目標を置き開発した。性能上は、性能価格比を大幅に向上したばかりでなく、使いやすさの面では、内蔵形の利点を生かして、標準の高級言語仕様のプログラムのままでベクトル演算命令を使用できるという大きな特長をもつものである。

小高俊彦*	Odaka Toshihiko
柳田友厚*	Yanagita Tomoatsu
高貫隆司**	Takanuki Ryuji
梅谷征雄***	Umetani Yukio
河辺 峻***	Kawabe Shun
堀越 彌***	Horikoshi Hisashi

1 緒 言

最近、電子計算機システムの多様化及び大形化に伴い、総合的な性能価格比の向上と、使いやすさに対する要求は、一段と高まっている。

技術計算の分野では、科学技術の進歩に伴う計算の大形化傾向があり、これに伴い高速処理の要求が強い。一方、蓄積されたソフトウェアの財産も大きくなり、プログラムの互換性を保つことも重要な課題となっている。

このようなニーズに応ずるため、日立製作所では、高速演算装置としての内蔵アレイプロセッサ (Integrated Array Processor: 以下、IAP と略す) を開発した。この IAP は、HITAC M-180 (以下、M-180 と略す) 処理装置^{1), 2)} に付加機構として増設することができ、大形技術計算に伴うアレイ計算を高速処理する。使用上は高級言語 (FORTRAN) レベルでの互換性を保ち、標準言語仕様のまま使用することができる特長をもつ (図 1)。

2 開発の概要

技術計算の高速処理化を図る簡便法は、コンピュータに乗

算を高速演算処理する高速乗算処理機構を設けることである。特に、浮動小数点乗算の高速処理化が、技術計算の高速処理化に寄与するところが大きい。表 1 にその効果を示す。

同表は、連立一次方程式にコレスキー法を適用した場合の FORTRAN プログラムの核となる DO ループを実行する性能の向上比を、M-180 の高速演算機構 (High Speed Arithmetic: 以下、HSA と略す) の例で示したものである。M-180 HSA は、後述の 4.2 で述べるように乗算と除算を高速演算処理することができる。乗算の高速演算処理は、技術計算の局所的な高速化を図るものであるが、プログラム全体として平均的には 1.2 ないし 1.4 倍程度の性能向上が期待できる。

しかし、技術計算が大形化し、ベクトル演算や行列式の次元が大きくなると、これに対処して、一段と性能を向上させる手段が望まれる。このニーズに応ずるものとして、新たにアレイ処理方式を開発してファームウェアのベクトル命令を用意し、大次元のアレイ処理を一段と高速演算処理できる付加機構を開発し、M-180 に組込むことができるようにした。これを IAP と呼んでいる。



図 1 HITAC M-180 中央処理装置 1 台につき、最大 16 MB の主記憶装置、最大 16 台のチャネル装置でシステムを構成できる。

* 日立製作所神奈川工場 ** 日立製作所ソフトウェア工場 *** 日立製作所中央研究所

表1 M-180高速演算機構(HSA)の効果 技術計算プログラムの一
例(連立一次方程式)でのFORTRANの主要DOループについて、M-180ではHSA
により実行速度は1.5倍以上になる。

FORTRAN STATEMENT

核ループ

DO 170 I=1, NN I

X(NP-I, J)=X(NP-I, J) * P(NP-I)

DO 160 K=1, N2

X(K, J)=X(K, J)-A(M1+K) * X(NP-I, J)

CONTINUE

M1=M1-N2

N2=N2-1

170 CONTINUE

演算精度		短精度(32ビット)	長精度(64ビット)
項 目		浮動小数点	浮動小数点
最適化FORTRAN コンパイル後の DO 160 ループ 実行性能比	M-180 HSAなし	1	1
	M-180 HSAあり	1.5	1.7

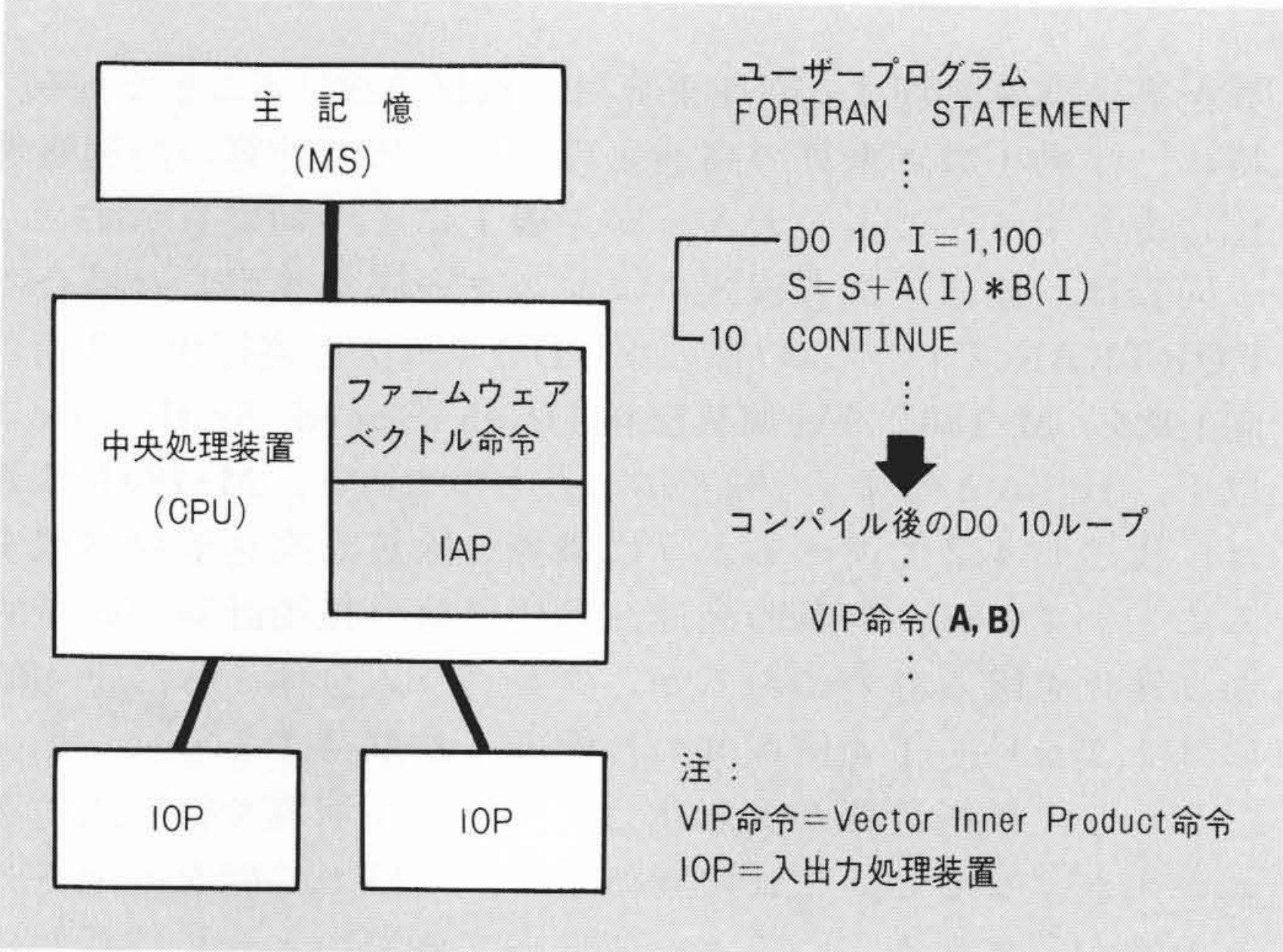


図2 内蔵アレイプロセッサ(IAP)の方式 IAPはCPU内に組み込まれ、FORTRANの標準言語仕様で書かれたプログラムでそのままベクトル命令を使用できることが特長である。

表2 ベクトル命令一覧 各オペレーションごとに、短精度(32ビット)と長精度(64ビット)の命令があり、精度変換命令を含み合計28命令ある。

No.	命令略称	命令名称	オペレーション
1	VME, D	Vector Move	$Z_i \leftarrow X_i$
2	VEAE, D	Vector Elementwise Add	$Z_i \leftarrow X_i + Y_i$
3	VESE, D	Vector Elementwise Subtract	$Z_i \leftarrow X_i - Y_i$
4	VEME, D	Vector Elementwise Multiply	$Z_i \leftarrow X_i * Y_i$
5	VEDE, D	Vector Elementwise Divide	$Z_i \leftarrow X_i / Y_i$
6	VECE, D	Vector Elementwise Complement	$Z_i \leftarrow -X_i$
7	VIPE, D	Vector Inner Product	$FPR \leftarrow FPR + \sum X_i * Y_i$
8	VSME, D	Vector Element Sum	$FPR \leftarrow FPR + \sum X_i$
9	VITRE, D	1st Order Iteration	$Z_{i+1} \leftarrow X_i + Y_i * Z_i$
10	VSMCE, D	Vector Element Sum with Complement	$FPR \leftarrow FPR - \sum X_i$
11	VIPCE, D	Vector Inner Product with Complement	$FPR \leftarrow FPR - \sum X_i * Y_i$
12	VSMAE, D	Scalar Multiply & Add	$Z_i \leftarrow Z_i + X * Y_i$
13	VSMSE, D	Scalar Multiply & Subtract	$Z_i \leftarrow Z_i - X * Y_i$
14	VCVDE	Convert Double to Single	$Z_i(\text{Single}) \leftarrow X_i(\text{Double})$
15	VCVED	Convert Single to Double	$Z_i(\text{Double}) \leftarrow X_i(\text{Single})$

注：FPR=浮動小数点レジスタ、VMEは短精度、VMDは長精度の演算命令

このIAPは、性能向上とともに、使いやすさを重点目標として開発し、以下に述べるようにプログラム作成上の容易さに特長をもたせている。図2にIAP方式の概要を示す。IAPは中央処理装置(以下、CPUと略す)の内部に組み込まれ、ファームウェアの専用ベクトル命令を28命令もっている。標準FORTRANで記述されたプログラムは、コンパイル時にベクトル命令に展開され、IAPにより処理される。

従来、アレイプロセッサは、独立な装置としてCPUに接続されることが多く、一般には、プログラム作成時にアレイプロセッサを意識して、CALL文を必要とし、それに伴う言語仕様の拡張を必要とした。このCALL文を必要とせずに使用できる点がM-180 IAPの使いやすさの特長である。これにより、これまでに蓄積されたプログラム財産も、再コンパイルするだけでIAPを使うことができる。

3 方式設計

3.1 概 要

IAP開発のねらいは、優れた性能価格比で、使いやすいアレイ処理装置を提供することであり、これらの目標を達成するために独特の内蔵方式を開発した。

汎用の処理装置に付加機構として増設するためには、アレイプロセッサの命令語の仕様、割込みの仕様などのアーキテクチャ面での結合性が良くなければならず、一方、論理構造の面でも接続性が良くなければならない。IAPの開発に際しては、これらの点に十分な考慮と工夫を施し、以下に述べるようなアーキテクチャ上の特長、及び論理構造上の特長をもたせている。

IAPをM-180に内蔵する上で、方式設計上特に次の点に留意して汎用処理装置との結合性を良くし、使いやすくした。

- (1) ベクトル演算命令の種類の厳選と標準化
- (2) Time Sharing System (TSS) の環境でも使用できる命令仕様
- (3) M-180の付加機構として接続可能な論理構造
- (4) 将来のベクトル演算命令種類の拡張性

以上の観点から、ベクトル演算命令の仕様、その中での汎用レジスタ(以下、GRと略す)、浮動小数点レジスタ(以下、FPRと略す)の使い方、割込みの受け付け処理方法などを決定した。

3.2 ベクトル演算命令

表2にベクトル演算命令一覧を示す。演算は13種類で、それぞれに短精度(32ビット)と長精度(64ビット)の浮動小数点演算命令があり(計26命令)、これに精度変換2命令を加え、合計28命令である。

図3にベクトル演算命令の形式を示す。命令はRS(Register Storage)形式であり全部のベクトル演算命令に対して一つのオペレーションコードを割り当てている。ベクトルオペレーションは、ベースレジスタの内容+変位アドレス((B)+D)により間接指定される。ベクトルオペランドは3オペランド形式であり、第2オペランドと第3オペランドを演算して、第1オペランドアドレスに書き込む。各ベクトルの先頭アドレスとベクトル要素間のインクリメントアドレスはVDT(Vector Descriptor Table)に示される。VDTは汎用レジスタR3の内容により示されるOAV(Operand Address Vector)の内容により指定される。

3.3 割込み処理

ベクトル演算命令の仕様を決める上で、特にマルチプログラム処理と、ベクトル命令実行中の外部割込みの取扱いを次

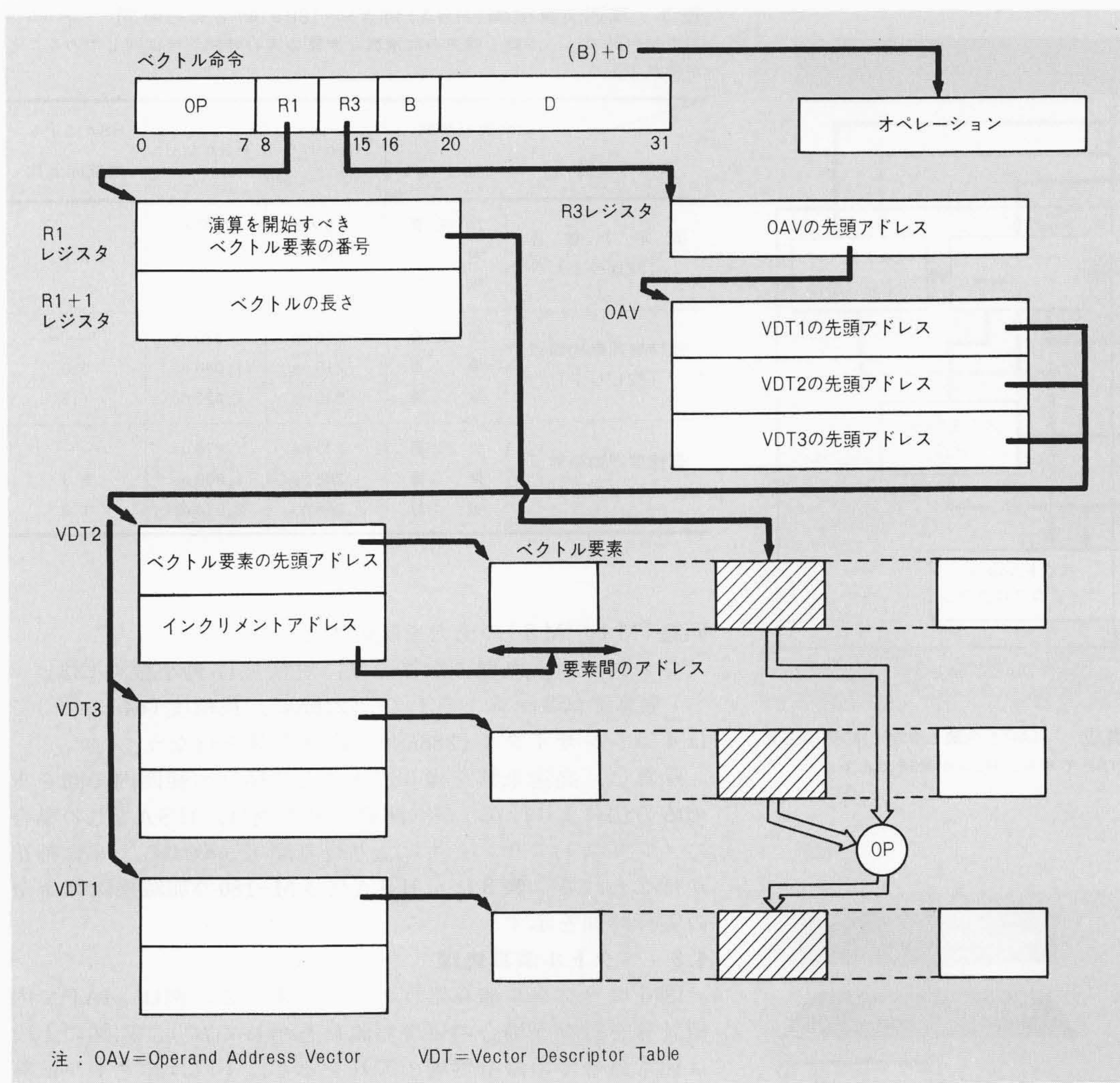


図3 ベクトル命令の形式
ベクトル命令は、RS形式である。
オペレーションは(B)+Dで指定され、ベクトルオペランドはVDTで指定される。

のように配慮した。

(1) マルチプログラムへの配慮

ベクトル演算は、GR、FPR及び主記憶だけを用いて行なう。GR及びFPR以外には、プログラム上で使用するレジスタはない。これにより、割込み発生後のプログラム切替え時には、通常のプログラム切替え時と同じく、GRとFPRの退避回復を行なえばよい。このように、ベクトル命令の実行によりマルチプログラム処理に影響を与えることはないようにした。

(2) 割込みの仕様

ベクトル演算命令の実行中に発生した外部割込みは、演算の途中で受け付けることができる。割込みを受け付けると汎用レジスタR1に演算を再開すべきベクトル要素の番号が残されて、そのベクトル演算命令の実行は中断される。

再度、このプログラムに戻ったとき、そのベクトル演算命令を実行すると、自動的に引き続くベクトル要素から演算を開始する。既に、M-180の標準命令となっているMVCL(Move Character Long)命令などで、これと同じ考え方の仕様を採用しており、ベクトル演算命令の仕様をこれらの命令に合わせたものである。

この配慮により、ベクトル演算命令の実行が、外部割込みの受付に影響を与えることなく、標準のM-180と同様に外部割込みが処理される。

以上の(1)、(2)のアーキテクチャ上の特長により、TSSなどのオンライン会話形処理のある環境でも、IAPの機能を生かし、ベクトル演算命令を十分に活用することができる。

4 論理構造

4.1 CPUの論理構造

図4に、IAPを内蔵したM-180 CPUの論理構成を示す。同図で一点鎖線で囲んだ部分がIAPである。標準のM-180 CPUにはこの部分はなく、高速バッファ記憶(BS)、アドレス変換機構、命令制御ユニット(IU)、演算処理ユニット(EU)及び標準命令用マイクロプログラムにより、命令を実行する。

IAPは、ベクトルアドレス制御部、ベクトルデータ制御部、HSA及びベクトル命令用マイクロプログラムから成る。ベクトルアドレス制御部は、規則的に配列されているベクトル要素のアドレスをあらかじめ計算し、主記憶からベクトル要素の先行読出しを行なうとともに、ベクトル要素数による演算回数の制御を行なう。ベクトルデータ制御部は、演算と並行して行なわれるオペランドの先行読出しバッファレジスタの制御及び演算結果の書込みバッファレジスタの制御を行なう。ベクトル命令用マイクロプログラムは、オペランドの読出し、書込み、EU及びHSAを並列に動作させてベクトル演算を行なう。

4.2 HSA

図5にHSAの論理構成を示す。このHSAは、固定小数点及び浮動小数点の乗算と、浮動小数点の除算とを高速処理することができる。同図は高速乗算を行なう8個のキャリーセーブアダー(CSA)群を示している。乗数は16ビットずつ1/2マシンサイクル(36ns)ごとに処理され、被乗数の倍数発生

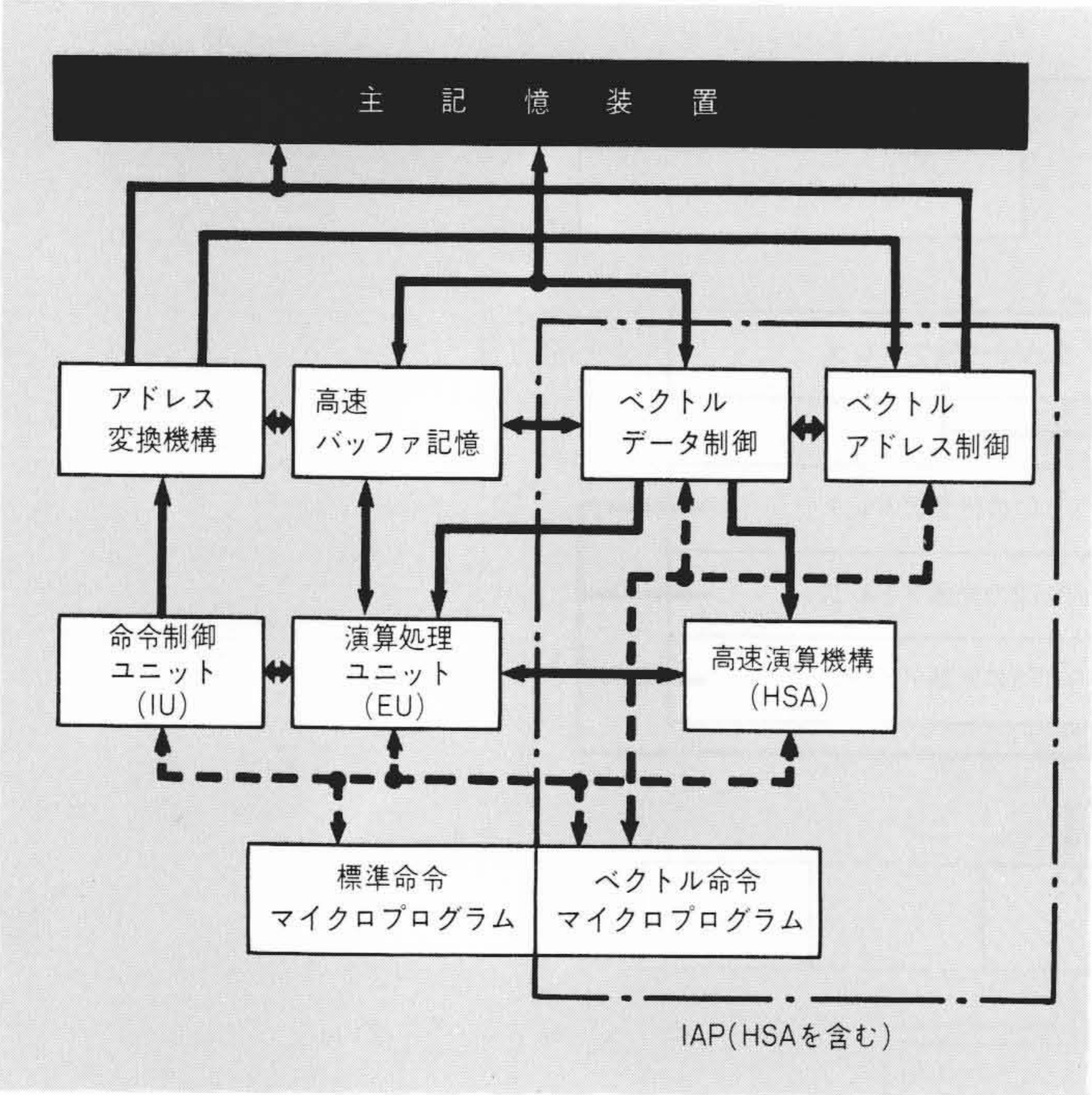


図4 IAPを内蔵したM-180の構成 IAPを内蔵したM-180処理装置の論理構成ブロック図を示す。右側がIAPであり、HSAが必須である。

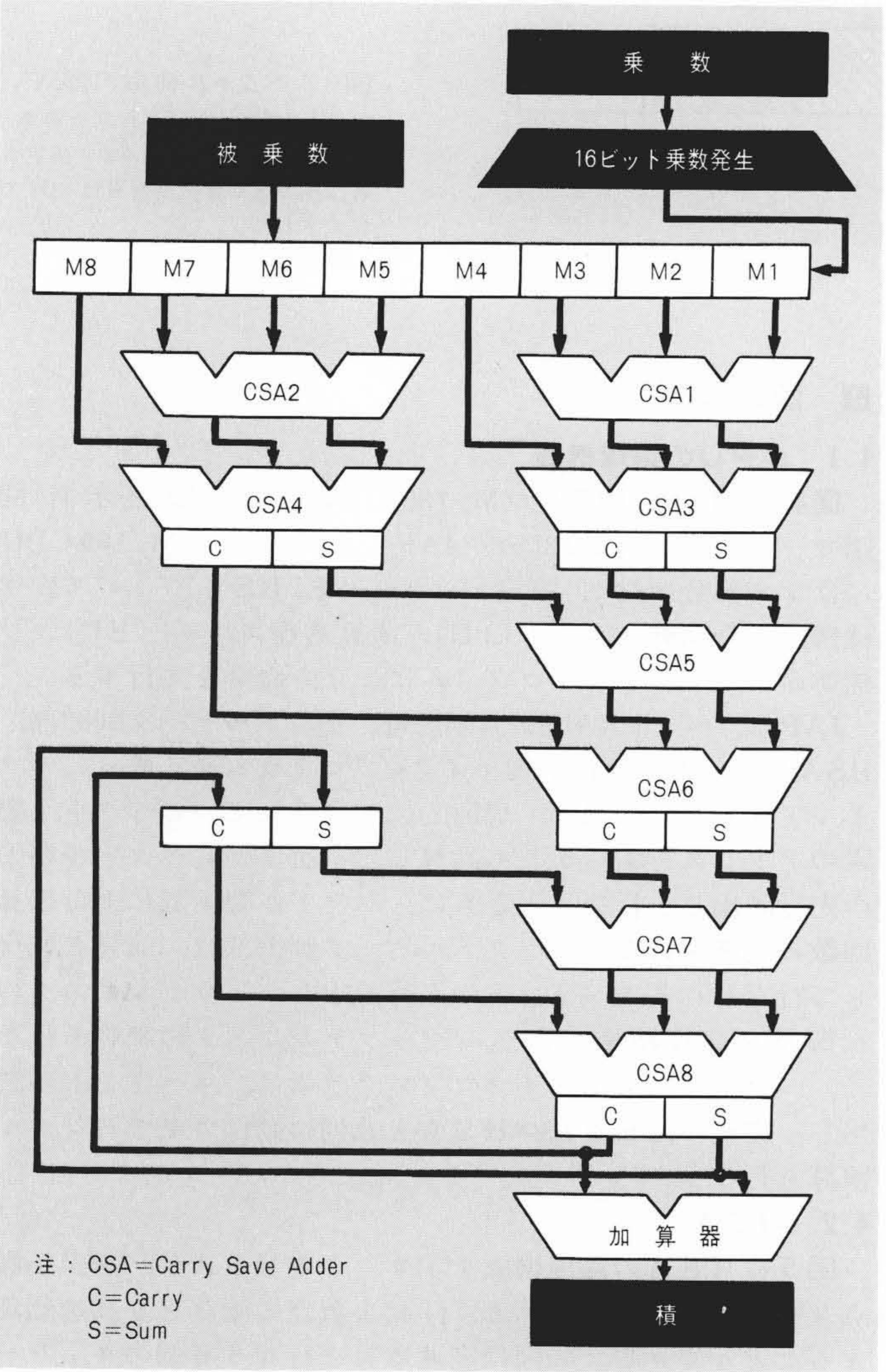


図5 HSAの乗算論理構造 16ビット処理を行なうHSAの乗算論理の構成を示す。

表3 高速演算機構(HSA)付きM-180の命令実行時間 HSA付きのM-180では、浮動小数点の加減算と乗算の実行時間がほぼ同じであることが特長である。

命令実行時間		HSAあり	HSAなし	HSAによる 性能向上比
命令の種類				
固定小数点 (32ビット)	加減算	81 ns	81 ns	—
	乗算	288 ns	756 ns	2.6
	除算	2,016 ns	2,016 ns	—
短精度浮動小数点 (32ビット)	加減算	270 ns	270 ns	—
	乗算	216 ns	1,080 ns	5.0
	除算	936 ns	1,422 ns	1.5
長精度浮動小数点 (64ビット)	加減算	270 ns	270 ns	—
	乗算	288 ns	1,800 ns	6.3
	除算	1,368 ns	2,574 ns	1.9

回路(M1～M8)の出力を制御する。

この16ビット処理の乗算器は、短精度浮動小数点(32ビット)乗算では3マシンサイクル(216ns)、長精度(64ビット)では4マシンサイクル(288ns)の高速乗算を行なう。

除算は、高速乗算を繰り返すことで精度の範囲内で商を求める方法により行なうが、演算結果の商は、HSAなしの場合のノンリストアリング法により得る商と一致するように補正が行なわれる。表3に、HSA付きM-180の加減乗除算命令の実行時間を示す。

4.3 ベクトル演算処理

図6にベクトル演算処理の例を示す。この例は、IAPで内積計算を行なう場合の処理の流れを示しており、同図の上段は通常命令での命令処理の流れを示し、下段はベクトル演算命令(VIP命令)での処理の流れを示す。

FORTRANで記述した内積計算ループ $S = S + X(i) * Y(i)$ を、可能な最も少ない数の命令列LD(Load Double), MD(Multiply Double), ADR(Add Double Register), BXLE(Branch on Index Low or Equal)で実行する場合、M-180でのパイプライン制御による命令処理は、同図の上段に示すように、E(Execution)ステージが連続するような流れとなる。乗算をHSAで、加算をEUで行なう。

一方、VIP命令での処理は、下段に示す流れとなり、i番目のベクトル要素 X_i, Y_i に着目すると、オペランドの読出し、 X_i と Y_i の乗算、その結果の浮動小数点レジスタへの加算処理が連続するような流れとなる。この浮動小数点レジスタへの加算を行なっているとき、並行して要素 X_{i+1}, Y_{i+1} の乗算を行ない、 X_{i+2}, Y_{i+2} の読出しを行なう。すなわち、i番目の要素の加算とi+1番目の要素の乗算とi+2番目の要素の読出しを同時に並列に行なう。これらの並列処理に要する時間は、上段のADR命令のEステージと同じである。

以上の処理の流れにより、VIP命令では、上段の通常命令ループ演算速度に比べ約4倍の処理速度をもつ。

図6の例に示すように、IAPでは演算処理動作を分解し、オペランド読出し、乗算(除算)、加算(減算)、オペランド書込みなどを並列処理することにより、高速処理を行なう。

5 半導体及び実装技術

IAPの実装技術は、標準のM-180と同じであり、論理素子としてECL(Emitter Coupled Logic)-10Kファミリーの小規模集積回路(SSI)、中規模集積回路(MSI)及び図7に示

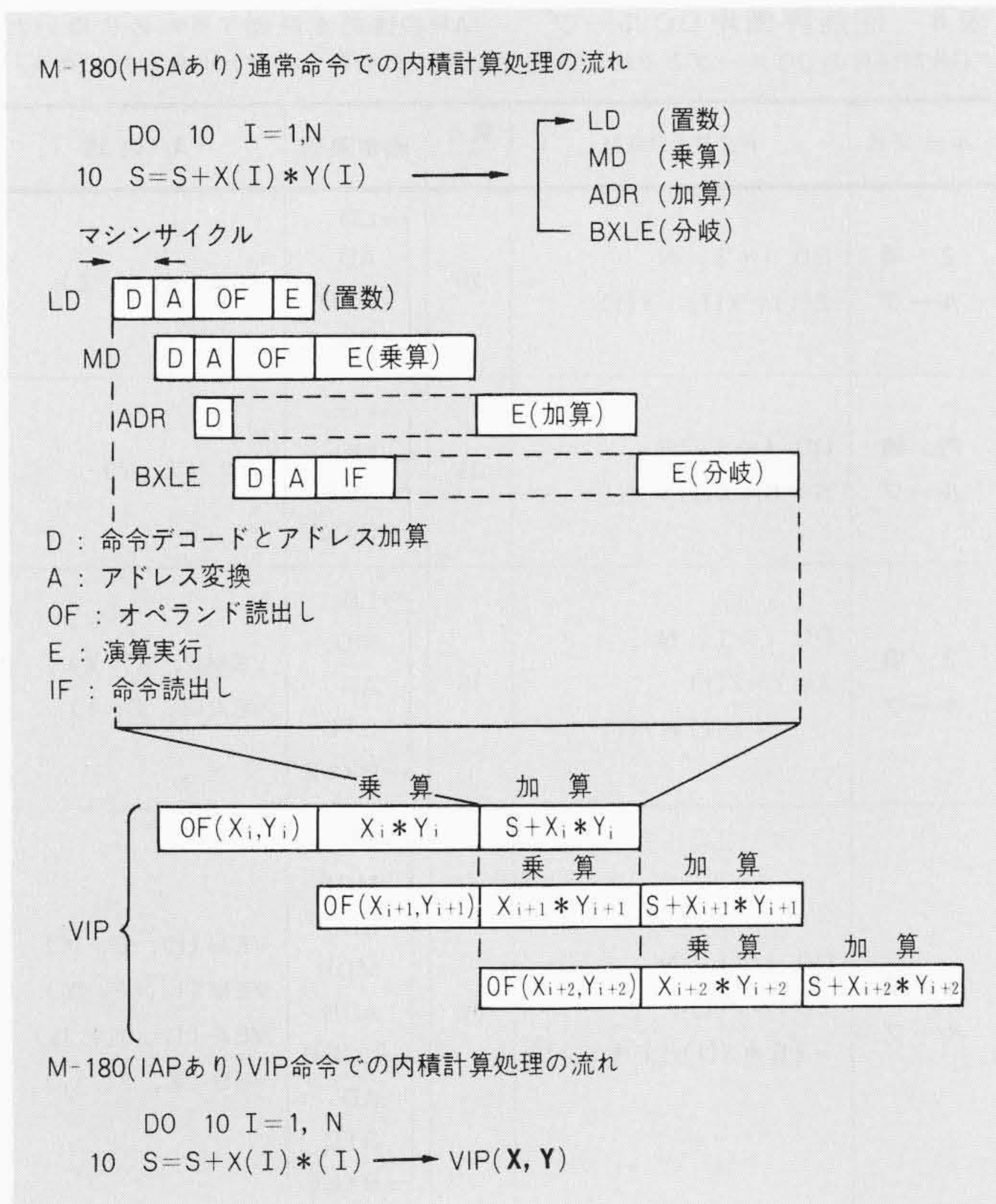


図6 ベクトル演算処理の流れ 内積計算例について、上半分に通常命令での処理の流れ、下半分にベクトル命令での処理の流れを対比させている。一要素の処理が4倍程度高速になることを示している。

す大規模集積回路(LSI)(100~200ゲート)を使用した^{1),2)}。このLSIは、SSI、MSIとの混用を前提に開発したものであり、HSA、IAPはこれを用いた高密度実装を行なっている。図8に、HSAの乗算論理を構成するプリントカードの外観を示す。標準のECL-10K SSI、MSIと混在させてLSIを実装している。図9にバックボード上に実装したプリントカードの外観を示す。プリントカードの基板は4層、バックボードは8層のものを使用している。

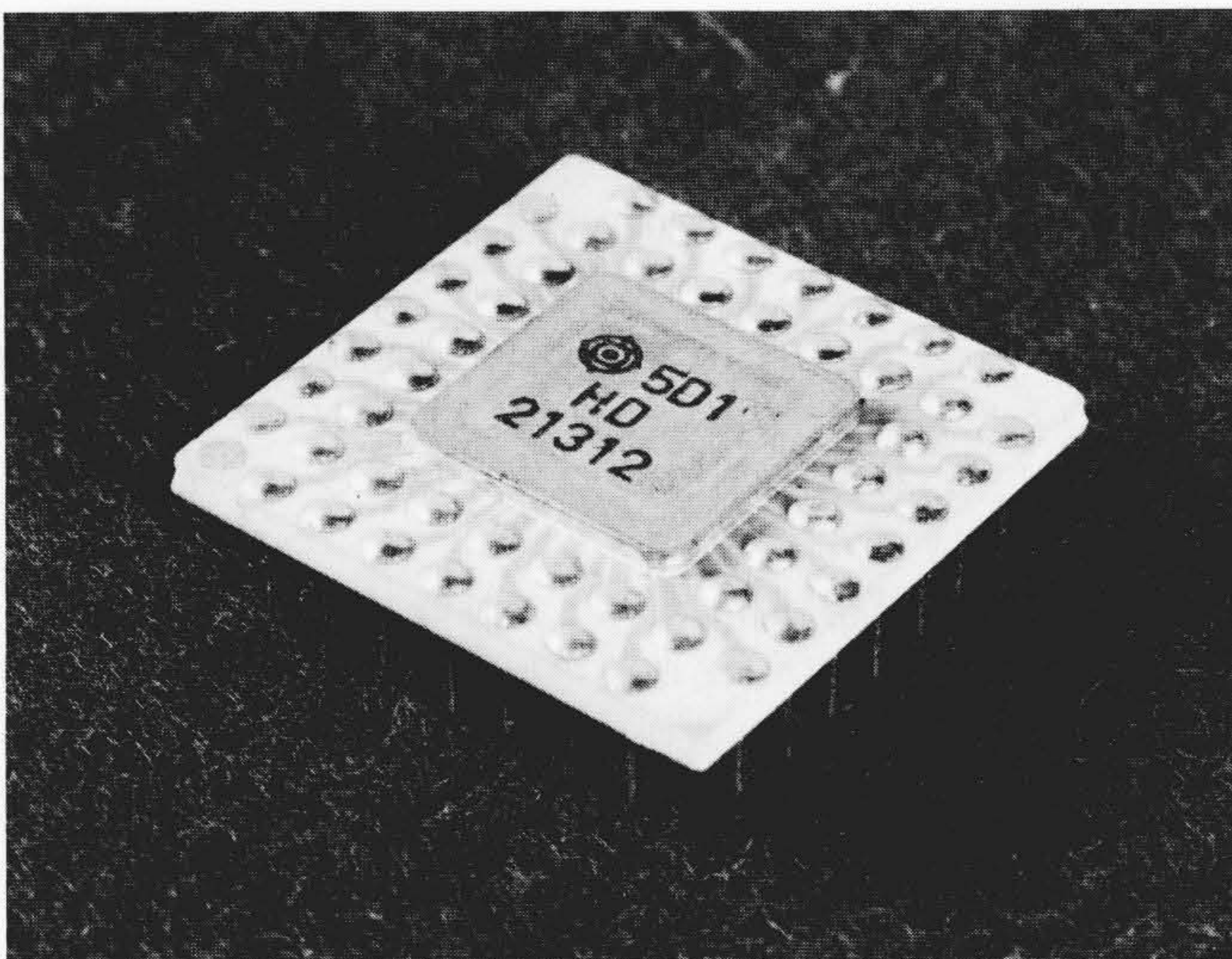


図7 高速LSIチップ 集積度は最大200ゲート、ピン数は52、グランドピン、電源ピンなどの配列をECL 10Kとの混在を前提に設計したLSIの外観を示す。

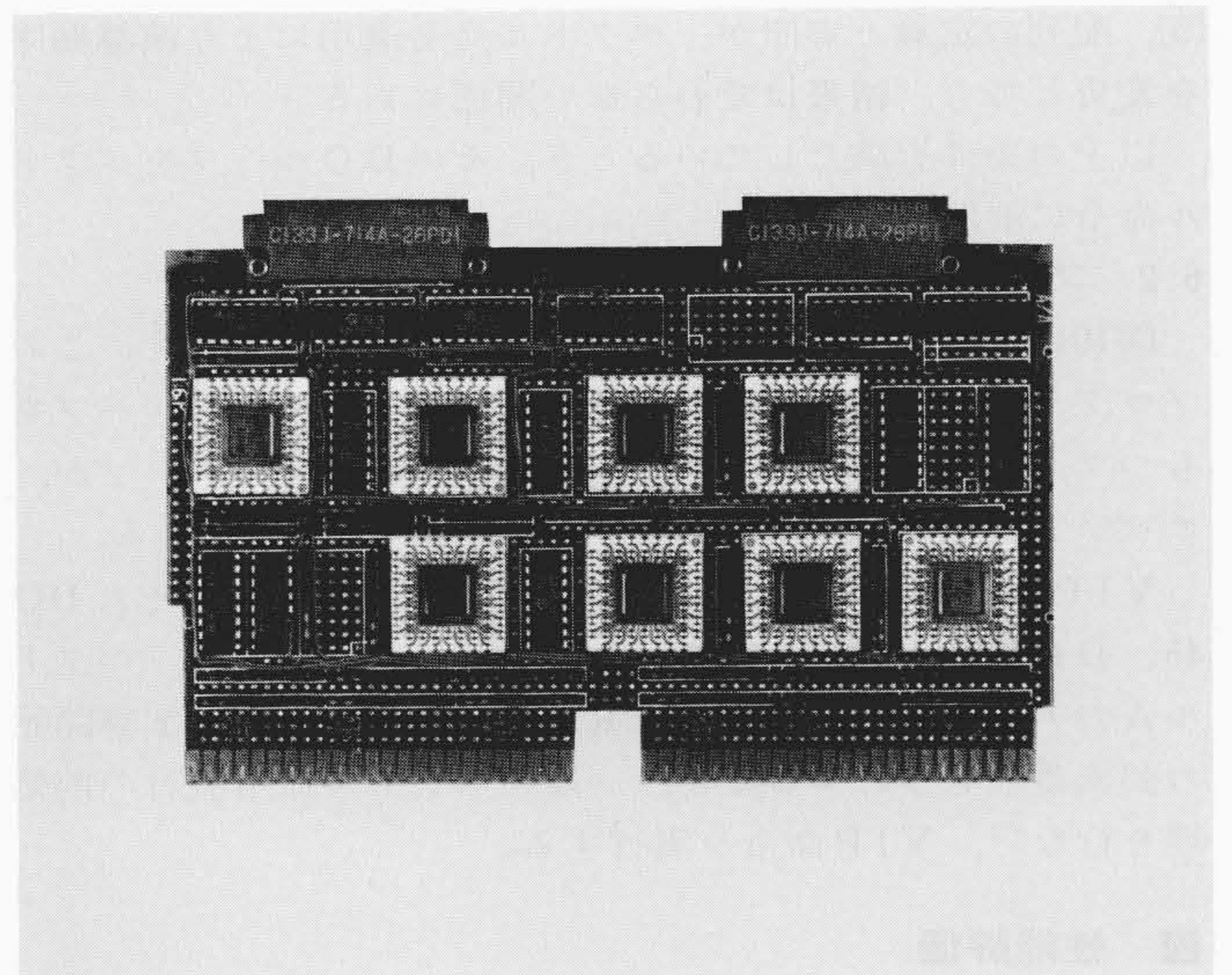


図8 LSIを実装したプリントカード 高速LSIを実装したHSA乗算論理のプリントカード(100mm×180mm)を示す。

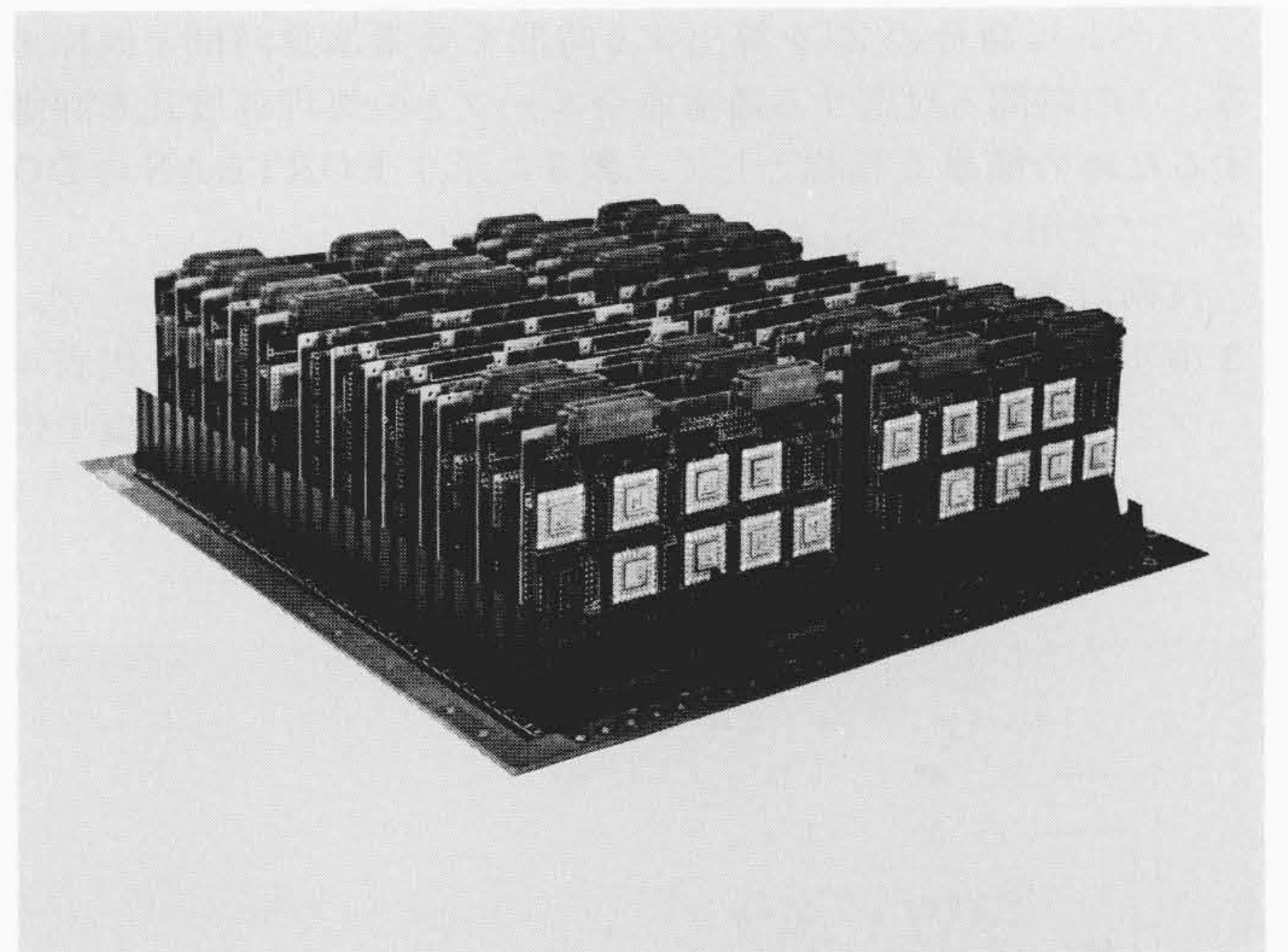


図9 バックボード上に実装したプリントカード 高速LSIを実装したプリントカードを、バックボード(420mm×460mm)上に実装したところを示す。

以上のような高密度実装により、短精度浮動小数点(32ビット)乗算を216ns、長精度浮動小数点(64ビット)乗算を288nsという高速で行なえるようにした。

6 ソフトウェアサポート

6.1 最適化FORTRANコンパイラ

IAPはVOS 2/VOS 3(Virtual Storage Operating System 2/Virtual Storage Operating System 3)最適化FORTRANコンパイラでサポートする。言語仕様は、標準のままよい。コンパイル時にオプション指定することにより、ベクトル命令を含むオブジェクトプログラムに展開される。

ベクトル命令に展開される部分は、最内側のDOループであるが、コンパイラは、次のような条件を調べてベクトル命令に展開可能かどうかを判断する。

- (1) ループ内の文は代入文とCONTINUE文のみ。
- (2) EQUIVALENCEされた変数、配列は参照のみ。
- (3) ユーザー定義関数の引用を含まない。
- (4) 添字式を除き実数形4バイト、8バイトの演算である。

(5) 配列の定義と参照が、ベクトル命令適用により演算順序を変更しても、結果は変わらない関係にある。

以上の条件を満たしているとき、そのDOループをベクトル命令に展開する。

6.2 プログラム例

図10にFORTRANプログラムのコンパイル例を示す。このプログラムは、最内側が内積計算形になる三重DOループをもつフィルタリングプログラムである。DO55のループが、オブジェクトプログラムのL55VIP命令に展開される。

VIP命令の外側のL45及びL50のループは、それぞれDO45、DO55のループに対応する。L50のループでは、ベクトルAのアドレスを更新してFPRを0に初期設定し、演算開始の要素番号を0にするなど、一連のベクトル命令実行の前処理を行ない、VIP命令を実行する。

7 性能評価

ベクトル命令の性能は、ベクトルの一要素の演算結果Ziを算出する時間により評価できる。すなわち、通常命令のループでZiを算出する時間と、ベクトル命令でZiを算出する時間の比率が、ベクトル命令による性能向上度を表わす。

ベクトル命令のZiを算出する時間を要素演算時間と仮称する。この時間と対応する通常命令ループとの処理速度比を評価するための簡単な指標として、表3に示すFORTRANのDOループを用いてみる。

技術計算のDOループを大きく2項ループ、内積ループ、3項ループ、4項ループの4種類に分類し、これらを代表ループとする。4項ループ以上のものは、簡単のため4項で代

表4 性能評価用DOループ IAPの性能を評価するために用いたFORTRANのDOループとそれに対応する通常命令列とベクトル命令列である。

ループ名	FORTRAN	重み %	通常処理	IAP処理
2 項ループ	DO I=1, N Z(I)=X(I)+Y(I)	20	LD AD STD BXLE	VEA (X, Y, Z)
内 積ループ	DO I=1, N S=S+X(I)*Y(I)	35	LD MD ADR BXLE	VIP (X, Y)
3 項ループ	DO I=1, N Z(I)=Z(I) +X(I)*Y(I)	15	LD MD AD STD BXLE	VEM(I, X, Y) VEA(Z, Z, I)
4 項ループ	DO I=1, N Z(I)=Z(I) -(E*X(I)+F*Y(I))	30	LD MDR LD MDR ADR LCDR AD STD BXLE	VEM(I ₁ , E, X) VEM(I ₂ , F, Y) VEA(I ₁ , I ₁ , I ₂) VES(Z, Z, I ₁)

表させて重みづけを与え、それぞれのループに対応する通常命令列のループとIAP処理のベクトル命令列とを定めたものである。

表4の通常命令列のループ演算時間と、ベクトル命令列の要素演算時間とを比較し、速度向上比に重みづけをして加えた値を、IAP処理の速度向上率と考えて評価してみた。ベクトル要素が連続したアドレスに配列されている場合、IAP処理速度は、HSAありの通常命令処理に比べ、短精度浮動小数点演算では2.2~2.4倍、長精度では1.6~2.3倍という結果を得た。

実際のプログラム例では300元の連立一次方程式にコレスキー法を適用した長精度のプログラムで4.3倍、300元の固有値問題にハウスホルダバイセクション法を適用した長精度のプログラムで1.8倍などの結果を得ている。

8 結 言

以上述べたように、M-180IAPは、技術計算の性能向上のための新しい方式として、使いやすいアレイプロセッサとして開発したものである。性能面では、性能価格比を大幅に向上させるとともに、一方、最適化FORTRANコンパイラのサポートにより、標準言語仕様のままで使えるという所期の目的をほぼ達成することができた。

今後、各種の技術計算に適用し、性能評価データの蓄積とそのフィードバックによる改良に努力を重ねてゆく考えである。開発に当たり、終始適切な御指導と御協力をいただいた関係各位に対し、深く謝意を表わす次第である。

参考文献

- 1) 曾我ほか：HITAC M-170/180処理装置，日立評論57，773（昭50-9）
- 2) 高橋ほか：M-180の概要，日経エレクトロニクス，p. 121（1975-12・15）

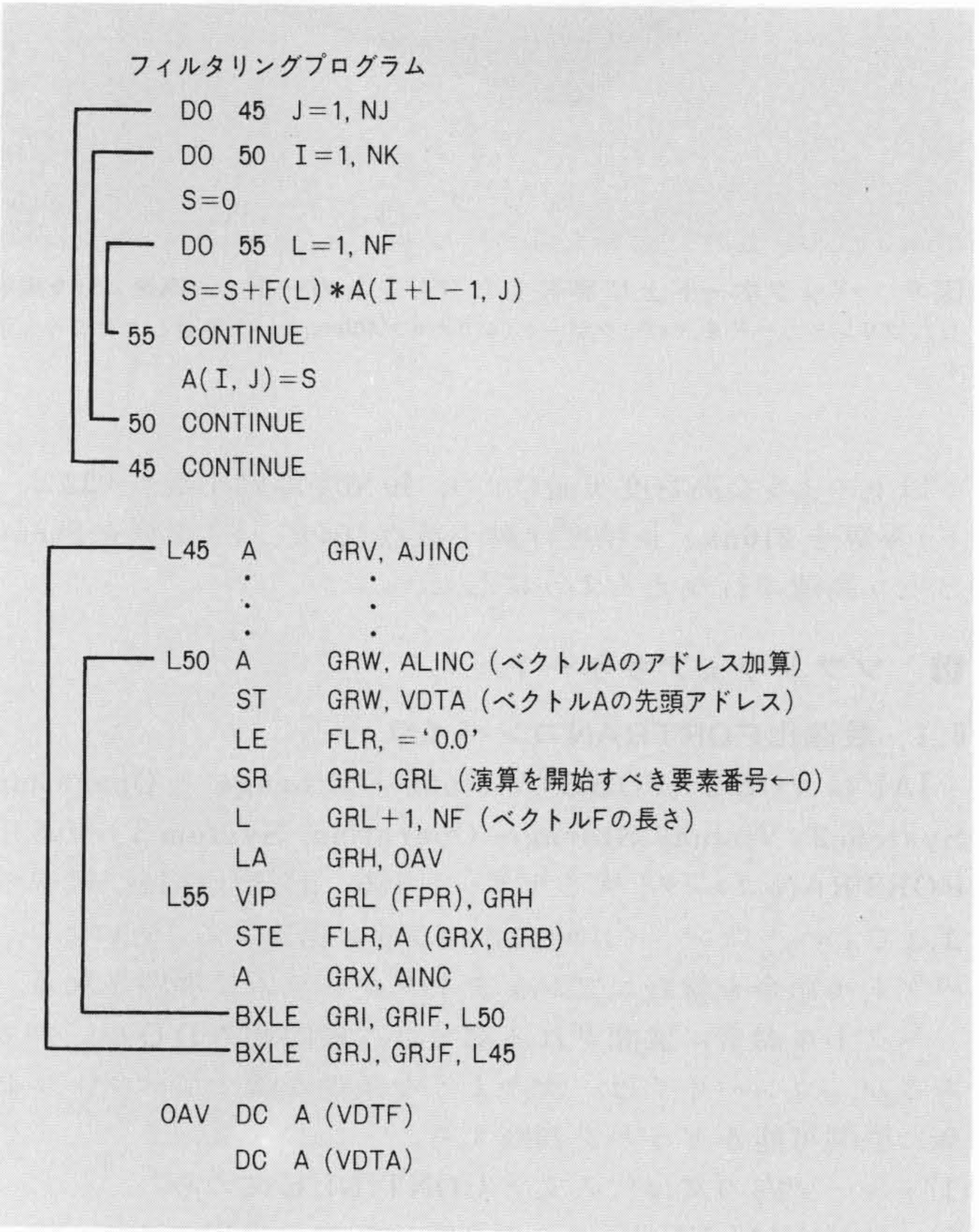


図10 プログラム例 FORTRANの三重のDOループ例と、そのDOループをコンパイラがベクトル命令を用いて展開したオブジェクトプログラムの例である。L55のVIPがベクトル内積命令である。