

最近の電力用半導体スイッチング素子

New Power Semiconductor Switching Devices

近年、チョッパやインバータ装置に電流しゃ断機能をもったスイッチング素子が使用されるようになり、ゲートターンオフサイリスタに対するニーズが高くなっている。

最近日立製作所で製品化された高性能ゲートターンオフサイリスタと新しく開発された静電誘導サイリスタについて、その構造及び動作の特長を定性的に述べ、主な電気特性について紹介する。

従来のゲートターンオフサイリスタの製造プロセスで使われていた金ドーピングを省略し、その代わりpエミッタ接合を短絡した新形ゲートターンオフサイリスタは、オン電圧が低く動作温度が高いという利点をもつ。また、静電誘導サイリスタはスイッチングが速く破壊しにくいという利点があり、電力用スイッチング素子として有望である。

八尾 勉* Yatsuo Tsutomu
 岡村昌弘** Okamura Masahiro
 和島幸一*** Wajima Kōichi

1 緒言

電力制御用半導体素子としては、これまで主としてサイリスタが使われてきた。しかし、最近になって装置のマイクロコンピュータ制御などによる高効率・省電力化や小形・軽量化が活発に進められるようになり、半導体素子に対するニーズも新しい局面を迎えている。

その一つは、制御信号によってオン・オフ動作ができるいわゆるスイッチング素子である。従来この種の素子としてパワートランジスタがあるが、耐圧が低い、過電流に弱いなどの難点があった。そこで、GTO(ゲートターンオフ)サイリスタが急に脚光を浴びるようになり、著しい進歩改良が進められている。また、同様な機能の素子として静電誘導サイリスタが発表された。性能面でGTOサイリスタをしのぐものがある。

この論文では、これら最近の新しいスイッチング素子及びその新技術について紹介する。

2 高性能GTOサイリスタ

GTOサイリスタは、二つのエミッタ層を備えたpnpnサイリスタの一種なので、トランジスタに比べて過電流に強い性質があり、小面積の半導体チップで大きなパルス電流を制御できるという利点がある。このように機能的に有利な素子であり、その可能性が早くから論じられ¹⁾ながら、開発のペースが通常サイリスタやトランジスタより遅れた理由の一つは、製造技術上の問題であった。正、負のゲート信号によりターンオンとターンオフの二つの相反した動作を行なうため、素子の構造やキャリアのライフタイムなどを高精度で制御する技術が要求されたからである。また、性能面でも、オン電圧、動作温度、スイッチング破壊などに改善すべき幾多の問題があった。

GTOサイリスタをターンオフさせるには、素子の中に蓄積された電子や正孔などの過剰キャリアを素早く外部に排除することが必要である。これには、負のゲート電流としてゲート回路に引き抜く作用と電子・正孔が再結合により消滅する作用の二つが関与する。前者では、ゲートからのキャリアの

引抜きに不均一があると、局所的な電流集中によりターンオフ失敗を起こし、破壊する危険がある。このため、GTOサイリスタの内部構造は、ゲートとカソードが複雑に入り組んだ微細パターンになっており、横方向の特性バランスを保つよう工夫されている。最近になって、大容量GTOサイリスタ^{2),3)}が実現され始めた理由の一つに、このような技術の進歩が挙げられる。

一方、蓄積キャリアの再結合による消滅を速める手段として、従来、金のドーピングが行われてきた。高速サイリスタ

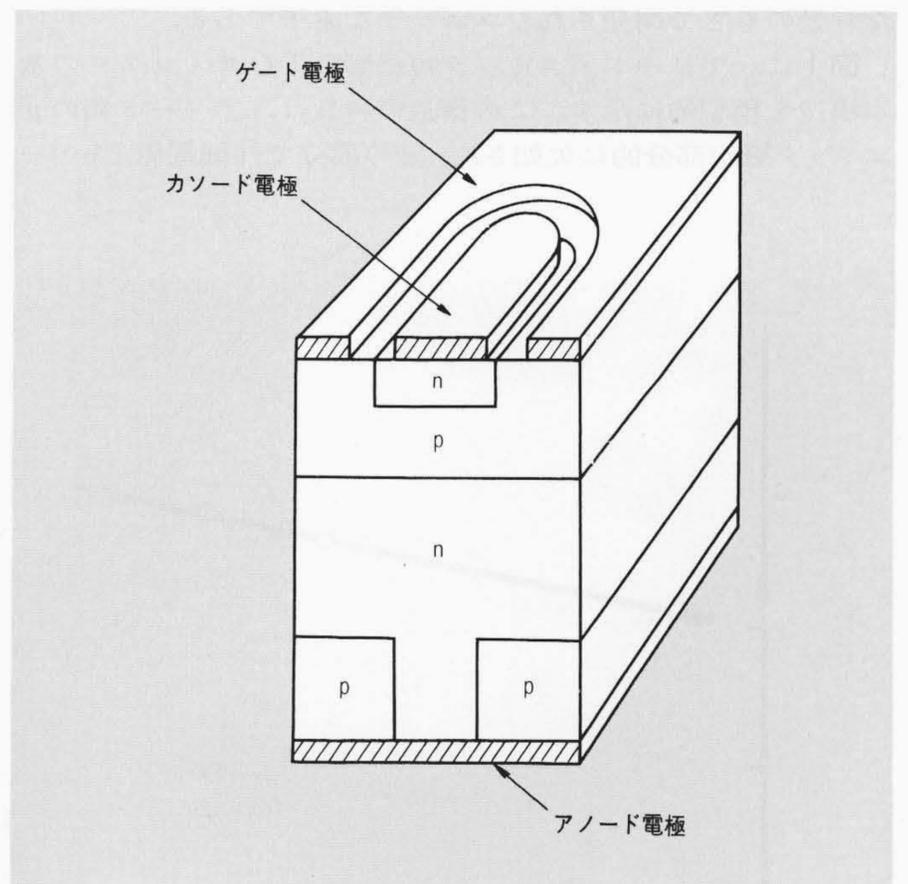
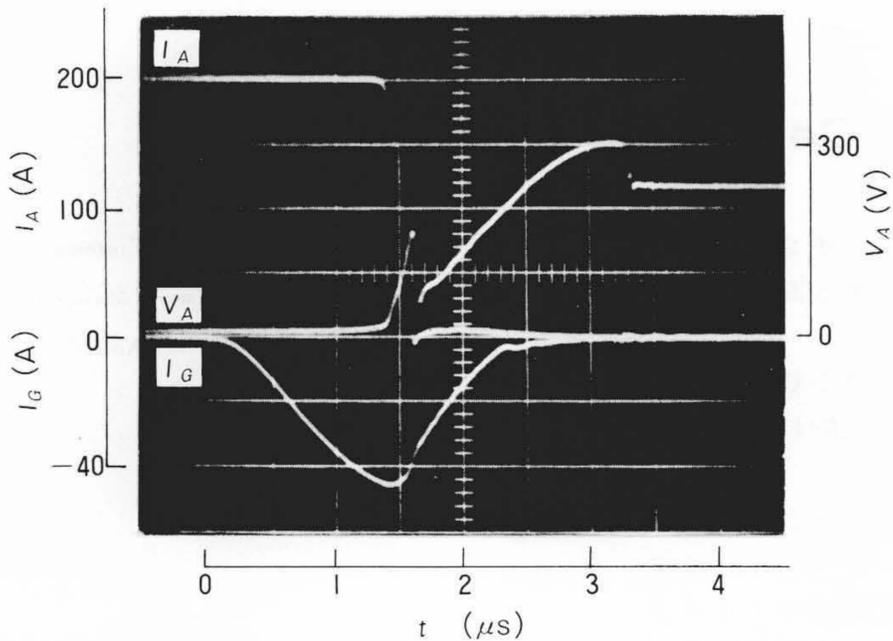


図1 アノード・エミッタ短絡形GTOサイリスタの基本構造
 pエミッタ接合がアノード電極で短絡されている。実際の素子では、シリコン単結晶の中にこの基本単位が多数配列されている。

* 日立製作所日立研究所 ** 日立製作所日立研究所 工学博士 *** 日立製作所日立工場



注：略語説明

- IA (アノード～カソード間に流れる電流)
- VA (アノード電圧)
- IG (ゲート電流)

図2 ターンオフ動作波形 200Aのアノード電流をゲート電流40A(ターンオフ利得5), ターンオフ時間1.5μsでしゃ断できる(125°C)。

タのターンオフ時間の短縮の手法と同じである。しかし、この金のドーピングは電流通電時のオン電圧を高くし、高温での阻止状態のリーク電流の増大やターンオフ性能の低下など、GTOサイリスタの使用上限温度を低くするという特性上のデメリットを伴うばかりでなく、製造プロセスでも特性ばらつき、歩留まり低下の大きな原因となっていた。これは、シリコン単結晶への金の拡散が、結晶の欠陥や不純物の存在によって著しく不均一になりやすいという性質によるものである。

アノード・エミッタ短絡形GTOサイリスタ⁴⁾は、このような背景のもとで開発されたユニークな素子である。

図1に、アノード・エミッタ短絡形GTOサイリスタの基本構造を模型的に示す。この構造の特長は、アノード側のpエミッタ層が部分的に欠如され、その部分で外部電極とnベ

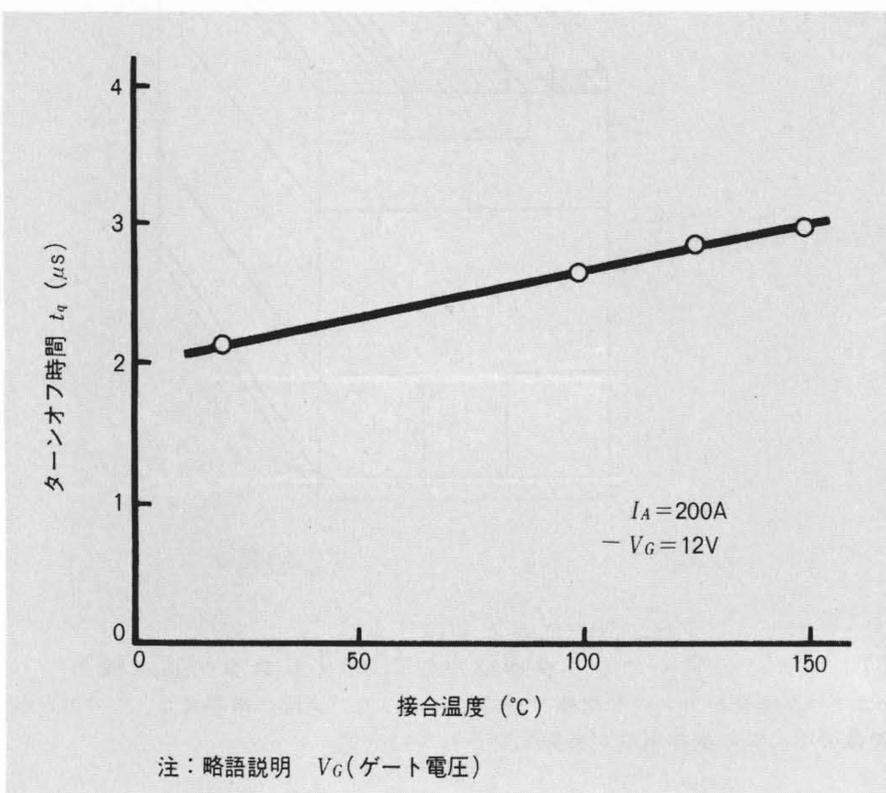


図3 ターンオフ時間の温度変化 金ドーピング形GTOサイリスタに比べて温度変化が小さく、優れた高温性能が特長である。

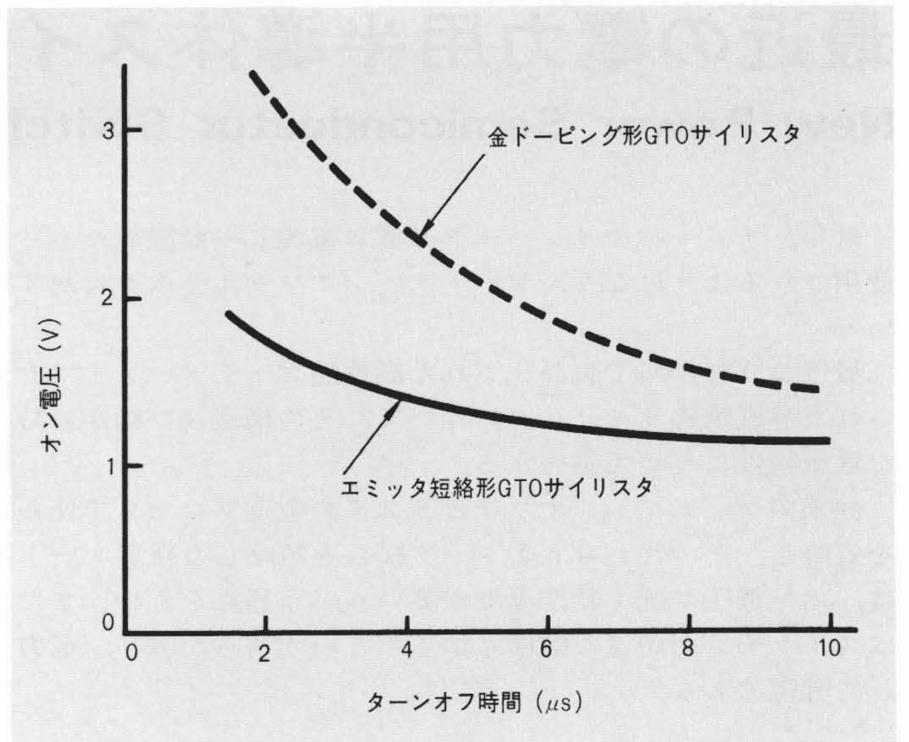


図4 ターンオフ時間とオン電圧の関係 金なし、エミッタ短絡GTOサイリスタは、従来のGTOサイリスタに比べてオン電圧が低い。

ス層が接触している点である。金のドーピングは施さない。実際の素子では、シリコン単結晶の中に同図で示した基本単位が多数配列されている。この構造のゲートターンオフ動作に及ぼす効果を概説すれば次のようになる。(1)蓄積キャリアの抑制：pエミッタ接合が短絡されているので、通電時にpエミッタからの正孔の注入が抑制され、必要以上のキャリアの蓄積を避けることができる。この効果は電圧阻止能力の回復を速めるだけでなく、ターンオフ動作を行ないやすくする。(2)キャリアの引出し：ベース層中に蓄積されたキャリアは、ゲートによって引き抜かれるだけでなく、短絡部分を通してアノードに引き出される。この効果によって、蓄積キャリアの消滅が促進され、ターンオフ時間が短縮する。以上述べたように、エミッタ短絡はターンオフ性能にとって効果的であるが、その反面、過度の短絡はターンオン性能を損ねることもあり得るので、エミッタパターンの最適設計⁵⁾が必要である。

図2に、アノード・エミッタ短絡形GTOサイリスタのターンオフ動作波形の一例を示す。200Aの負荷電流をターンオフ時間1.5μs、ゲート電流40A(ターンオフ利得5)でしゃ断できた。図3はターンオフ時間の温度変化を示すものである。125°Cの高温でもターンオフ時間の増加は少なく、金ドーピングの場合と異なり、キャリアライフタイムに依存しないエミッタ短絡形の特長が発揮されている。また、図4はターンオフ時間とオン電圧の相関関係を比較し示したものである。金なしエミッタ短絡形により、オン電圧が著しく低減される。

図5にブロッキング電圧の温度変化の一例を示す。金ドーピング形GTOサイリスタは、高温になると内部で電子・正孔の発生が激しくなってリーク電流が増大し、100°C以上ではブロッキング電圧は著しく低下する。これに対して、金のドーピングを施さないアノード・エミッタ短絡形GTOサイリスタは、高温でのリーク電流の増加は少なく、125°C以上の温度でも高いブロッキング電圧を保持するという有利な特性を持っている。

図6に主な新形GTOサイリスタの外観を、表1にそれらの主要特性を示す。

アノード・エミッタ短絡形GTOサイリスタの特長をまと

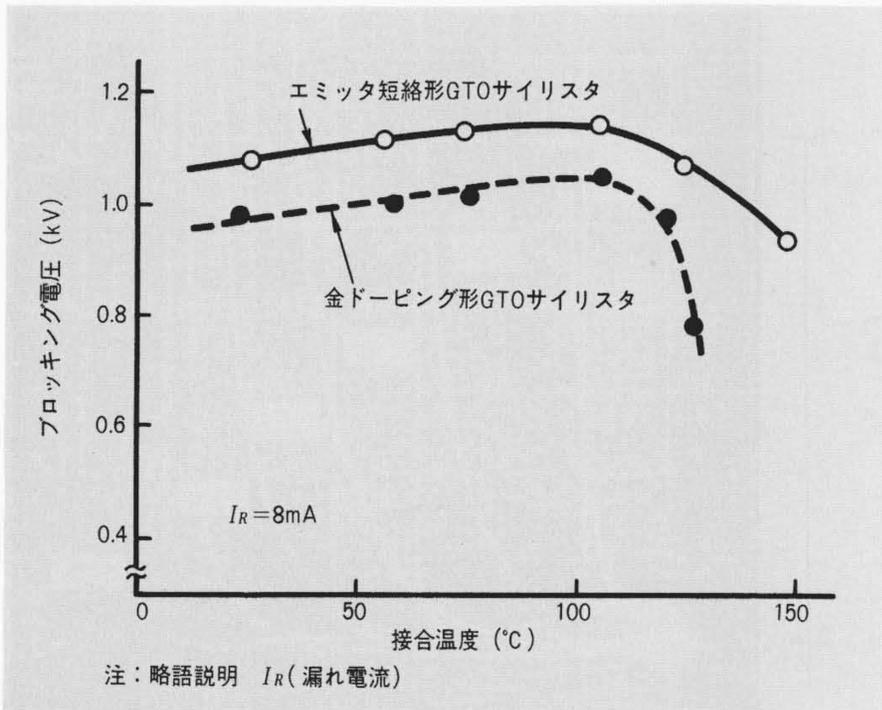


図5 ブロッキング電圧の温度変化 金ドーピングを省略したエミッタ短絡形GTOサイリスタは、高温でのリーク電流が少なく、125°Cの最大動作温度が保証される。

めると次に述べるようになる。(1)低いオン電圧, (2)高い接合動作温度, (3)金ドーピング省略による動作の均一化・大電流化の実現, (4)特性ばらつき低減による歩留まり向上などである。このように新形GTOサイリスタは、スイッチング素子として非常に優れた特長をもっているため、装置の新しい要求に十分応ずることができるであろう。

3 静電誘導サイリスタ

静電誘導サイリスタは、静電誘導トランジスタ(SIT)のファミリデバイスとして昭和50年に西沢教授(東北大学)らによって発表された⁶⁾。

図7に、静電誘導サイリスタの基本構造を示す。pnn⁺で構成されるダイオードの両サイドにp形ゲート層が設けられている。S(スイッチ)が開るとき単なるダイオードとして動作し

表1 アノード・エミッタ短絡形GTOサイリスタの主要な電気特性 最大動作温度が125°C, オン電圧2.0V以下, ターンオフ時間約3.0μsの特性が特長である。

項目	特性	記号	単位	形式			測定条件
				GT07V	GP01V	GL01V	
尖頭阻止電圧	V_{DRM}	V	600	600	800	$V_G = -5V$	
平均順電流	$I_{T(DC)}$	A	7.5	30	150	$T_c = 80^\circ C, 50/60Hz$ $duty = \frac{1}{2}$	
繰返し可制御電流	I_{TCM}	A	15	60	300	—	
1サイクルサージ電流	I_{TSM}	A	40	240	1,200	1ms, 通電	
ゲート逆阻止電圧	V_{GRM}	V	15	15	15	—	
順電圧降下	V_{TM}	V	<2.3	<2.0	<2.0	$I_{TM} = I_{TCM}$	
ゲート点弧電流	I_{GT}	mA	<50	<400	<3,000	$V_D = 12V(DC)$	
dv/dt耐量	dv/dt	V/μs	>400	>400	>400	$T_j = 120^\circ C, V_{GR} = -5V$ $V_D = \frac{1}{2} \times V_{DRM}$	
ターンオン時間	t_{GT}	μs	3.0	3.0	3.0	—	
ターンオフ時間	t_{GQ}	μs	3.0	5.0	7.0	$T_{TM} = I_{TCM}$ $V_D = \frac{1}{2} \times V_{DRM}$	
ターンオフ利得	G_{off}	—	4~5	4~5	4~5	—	
動作温度	T_j	°C	-40~125	-40~125	-40~125	—	

アノード~カソード間に電流が流れる。これをターンオフさせるには、Sを閉じてゲート~カソード間に逆電圧を印加する。蓄積されたキャリアがゲート層を通して掃き出されたあと、両方のゲート接合から空乏層が伸び、それが連結されると素子は完全にターンオフする。このように、静電誘導サイリスタはnormally-onのデバイスである点が他のスイッチング素子と違い、制御方法も異なる。しかし、スイッチング動作が速く、破壊しにくいなどの優れた性能がある^{7),8)}。

日立製作所は、静電誘導サイリスタの高耐圧、高速化の可能性に着目し、2.5kV, 100Aの大容量素子を試作した⁹⁾。図8に試作素子の外観を、図9, 10にそれぞれ電圧阻止特性及びターンオンオフ動作波形の一例を示す。耐電圧はゲート電圧(V_G)によって変化するが、 $V_G = -10V$ で3,000Vのアノード電圧を阻止できる。また、500Aのアノード電流をゲート電

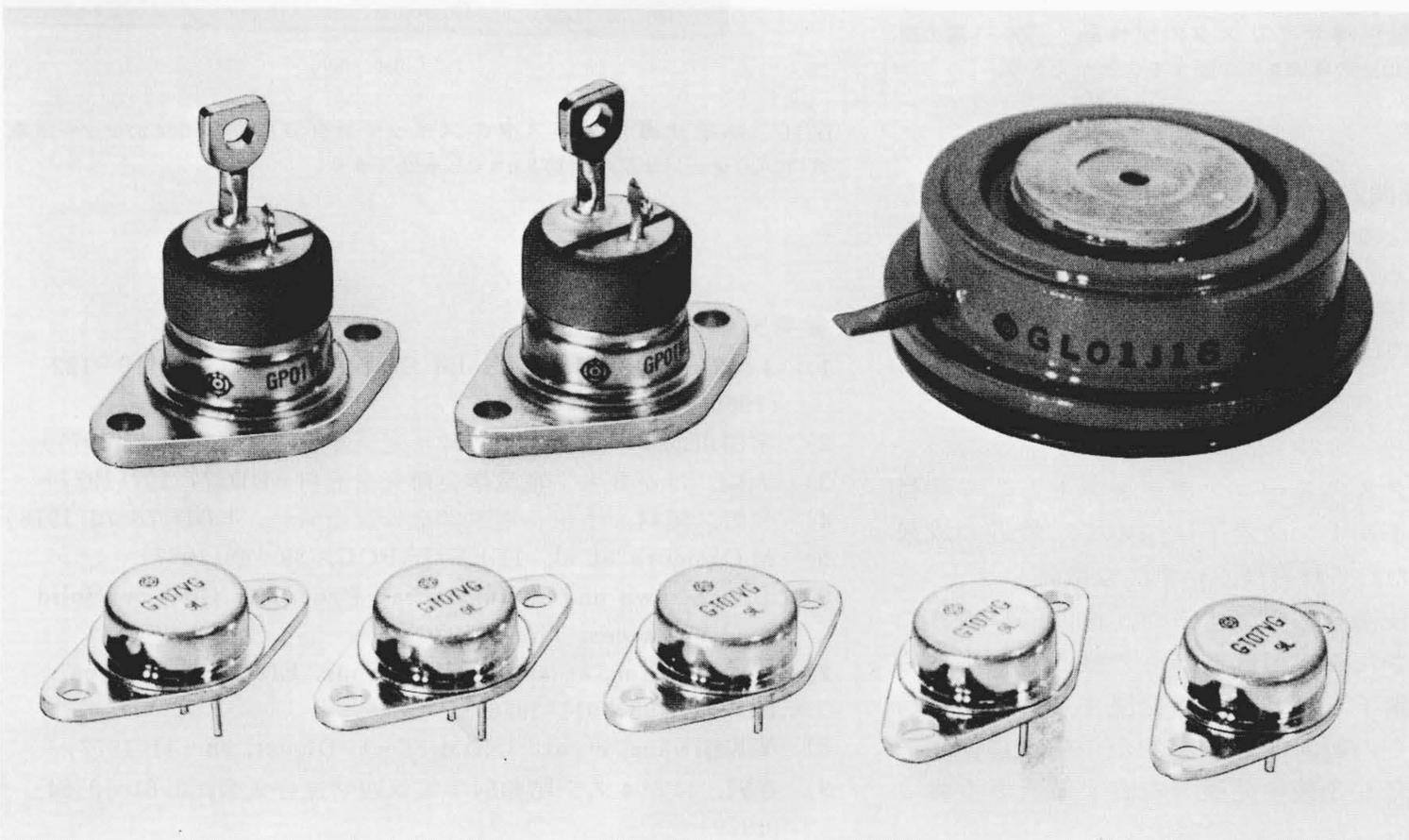


図6 アノード・エミッタ短絡形GTOサイリスタ パッケージの外観は普通サイリスタと同じで、数アンペアから数百アンペアの素子がそろっている。

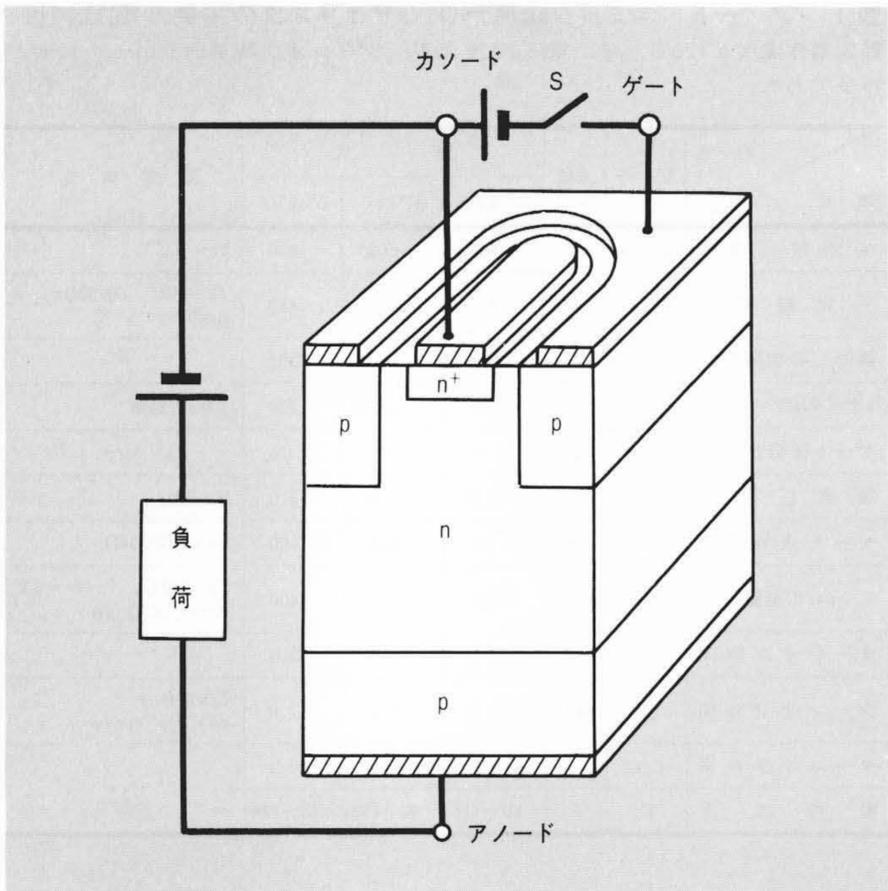


図7 静電誘導サイリスタの基本構造 S(スイッチ)を閉じると、p形ゲート層間に空乏層が広がり、電流通路がしゃ断される。

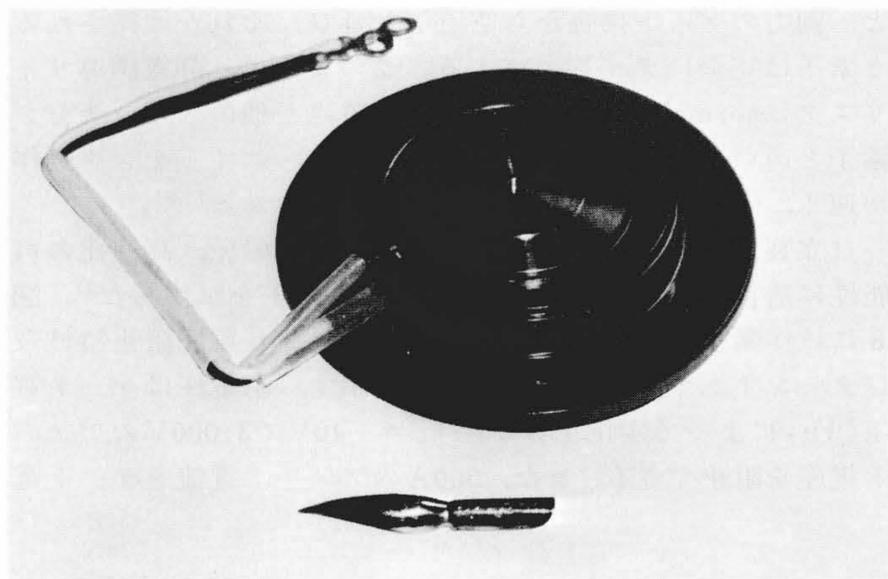


図8 2.5kV, 100Aの静電誘導サイリスタの試作品 ゲート層の耐圧は100V以上あり、最大500A以上の電流をしゃ断することができる。

流130A, ターンオフ時間約5 μ sでしゃ断でき、動作温度も150 $^{\circ}$ Cまで許容できることなどを確認することができた。これによって、静電誘導サイリスタの高耐圧・大電流への可能性が実証され、今後、チョップパやインバータなどへの効果的利用が期待される。

4 結 言

パワーエレクトロニクスのキーコンポーネントとして注目される二つの新しいスイッチング素子について、最近の成果の一部について紹介した。これらは、いずれも微細パターン・デバイスで高度な製造技術を必要とするが、性能的に優れた特長をもち、今後予想される応用部門からの厳しい要求にも十分応じられる半導体素子として大きく発展することが期待される。同時に、これらの新素子を効率的かつ手軽に使用できる応用回路技術の開発も今後の発展を左右する大きな鍵となるであろう。

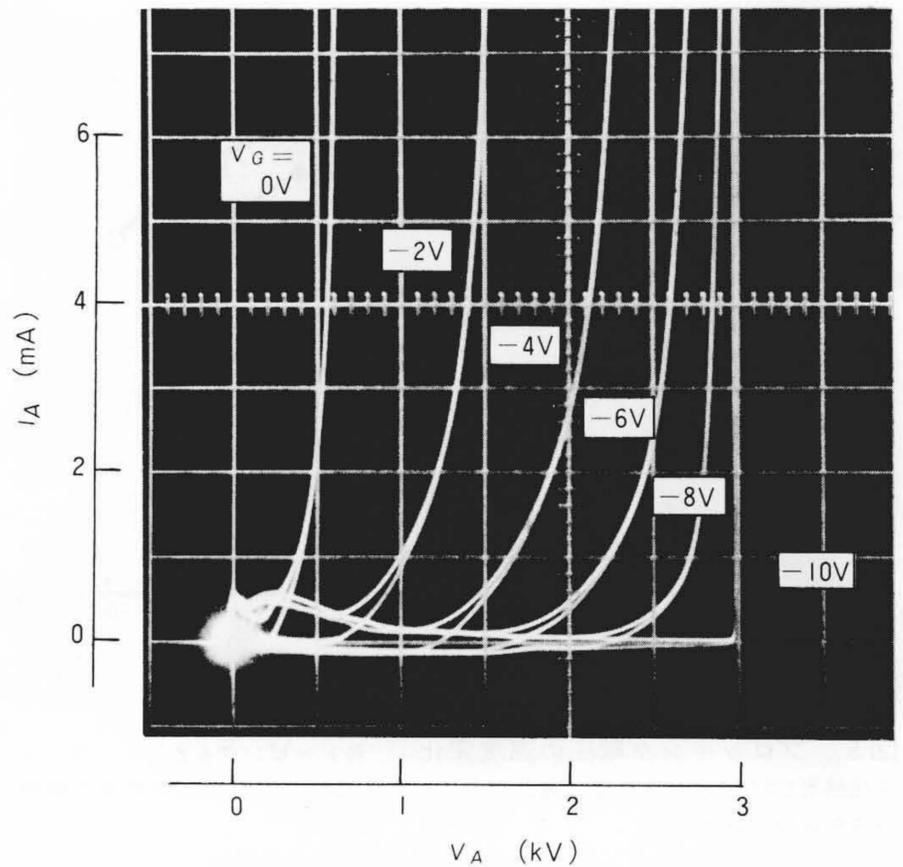


図9 試作静電誘導サイリスタの阻止特性 ゲートに印加する逆電圧によって阻止電圧が変化する。-10Vの低いゲート電圧で3,000Vの高電圧がブロックできる。

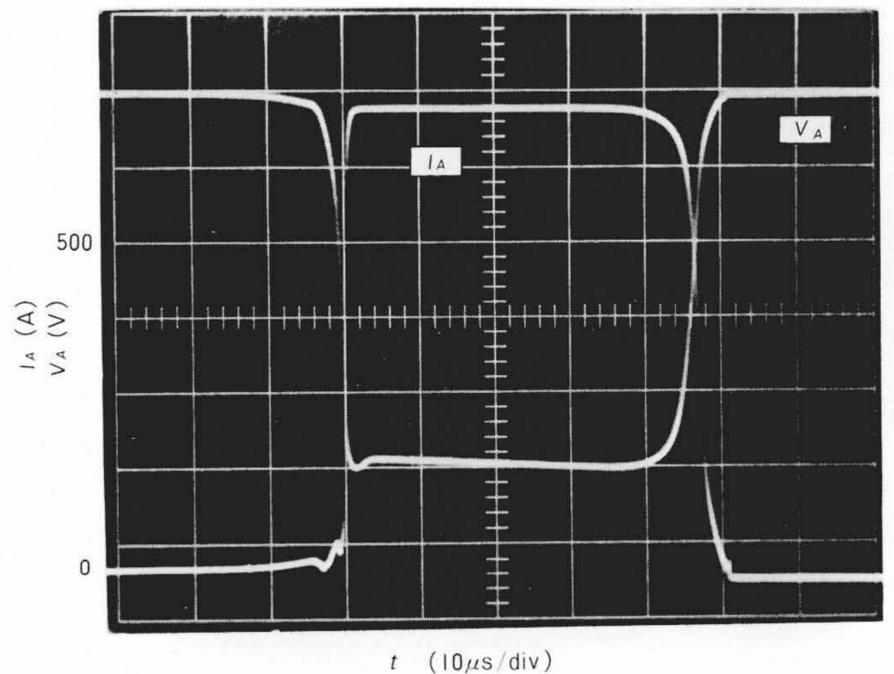


図10 静電誘導サイリスタのスイッチング波形 500Aのアノード電流130A, ターンオフ時間約5 μ sでしゃ断できる。

参考文献

- 1) J.M.Goldey, et al. : Solid State Electron., 3, 119~122 (1966)
- 2) 宇田川, ほか4名: 昭和52年電気学会全国大会, 649(1977)
- 3) 大橋, ほか3名: 電気学会研究会資料EDD-77-107(1977)
- 4) 長野, 岡村, 小川: 電気学会研究会資料, EDD-78-74(1978)
- 5) M.Okamura et al.: IEEE/ISPC, 39~49(1977)
- 6) J.Nishizawa and K.Nakamura: Proc. 8th Conf on Solid State Devices, Tokyo(1976)
- 7) D.E.Houston, et al.: IEEE, Trans. Electron Devices, ED-23, 905~911(1976)
- 8) Y.Kajiwara, et al.: IEDM. Tech. Digest, 38~41(1977)
- 9) 寺沢, ほか4名: 昭和54年電気四学連合大会, 3-61~3-64 (1979)