

HITAC M-200H汎用超高速処理装置

HITACHI Computer System HITAC M-200H Processor

HITAC M-200Hは、超高速処理装置への市場要求にこたえて、日立製作所の技術を結集して開発した現時点で世界最高速の汎用処理装置である。高速化を図るために、方式に工夫を加えるとともに、最新のLSI、ICメモリなどの半導体及び実装技術を使用し、論理方式と実装のバランスをとり、性能価格比の向上、信頼性の向上などに努めた。

また、近年、増大しつつあるオンライン処理、データベース、コンピュータネットワークなどの要求に適合するよう、処理の高速化とともに機能の充実を図った。仮想記憶方式のソフトウェアシステムと、新たに開発した高性能の周辺装置などとともに、多様なシステムを構成することができる。

中沢喜三郎* Nakazawa Kisaburô

堀越 彌** Horikoshi Hisashi

小高俊彦*** Odaka Toshihiko

1 緒 言

近年、システムが大規模化し、多様化するに伴い、バッチ、オンライン、会話処理などの異なる処理形態を組み合わせ、効率よく処理しようとするシステムが増加し、データベース、コンピュータネットワークなどのシステム機能の拡充が強く要求されている。

他方では、大規模システムに必要な処理の高速化、科学技術の進歩に伴う技術計算の高速化、更には価格性能比の向上への要求が一段と高まっている。

HITAC M-200H(以下、M-200Hと略す。)は、これらの要求に適合するために、新たに開発した超高速処理装置である。多重仮想記憶システムのソフトウェア、高性能の周辺装置、インテリジェント端末などとともに、多様化するシステム機能への要求にこたえ、また、最新のハードウェア技術と論理方式の工夫に基づく高速化により、高速処理の要求にこたえようとするものである。

図1にM-200H処理装置の外観を示す。

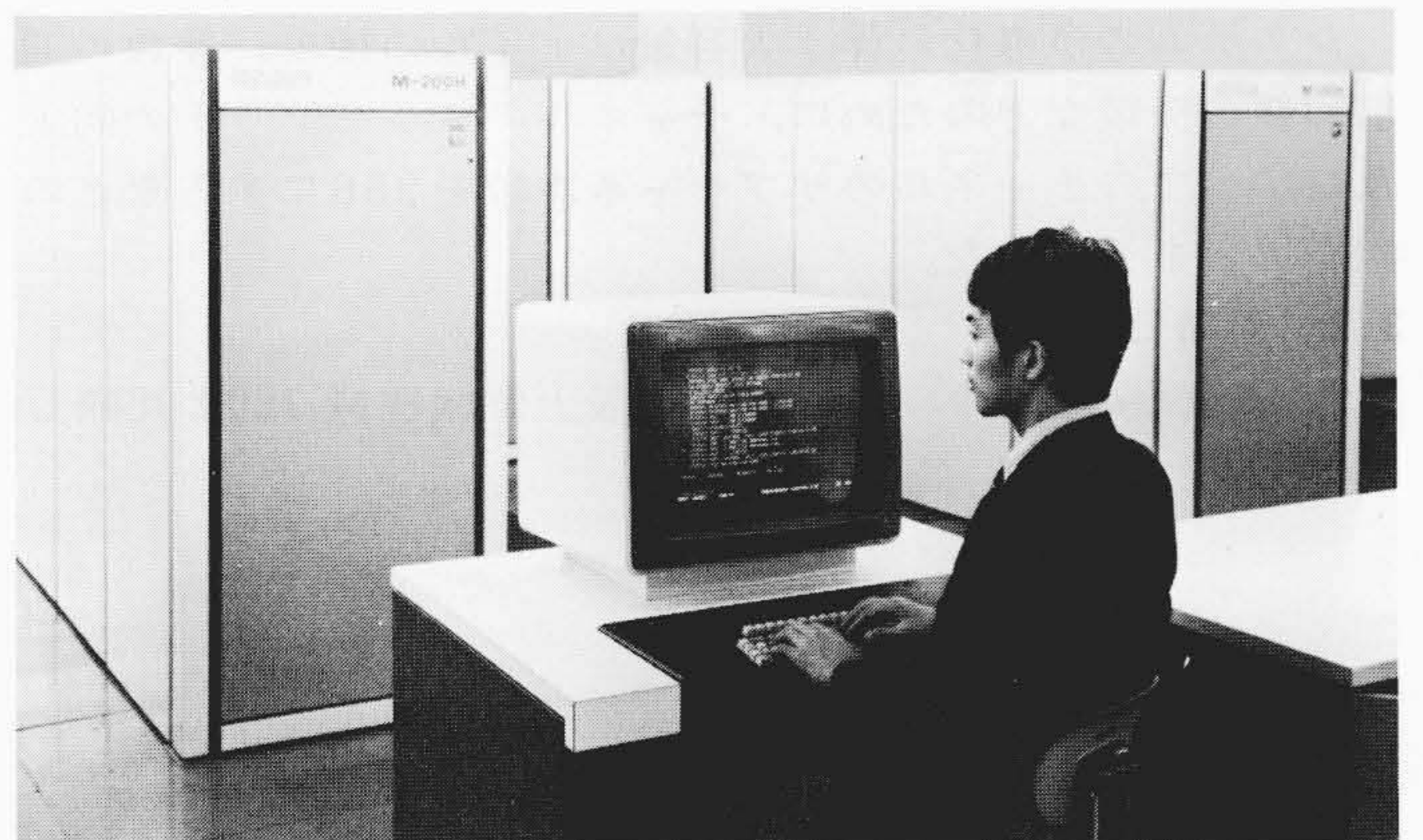


図1 HITAC M-200H処理装置の外観 中央処理装置1台につき、最大16MBの主記憶、最大16台のチャンネルでシステムを構成できる。

2 開発の概要

(1) M-200Hの位置付け

M-200Hは、Mシリーズ処理装置の最上位機種であり、汎用機として世界最高速のものとして位置付けることができ、HITAC M-180¹⁾(以下、M-180と略す。)の2.5ないし3倍の処理能力をもつ。

M-200Hシステムは、Mシリーズのソフトウェア、周辺装置、端末のほとんどをシステム構成品としてもつことができる。なかでも、新しい周辺装置であるH-8523MSS(Mass Storage System:大容量記憶装置)、H-8595大容量高速ディスク駆動装置(317MB/スピンドル)、H-8197高速ノンインパクトプリンタ(15,200行/分)、H-8195漢字プリンタなど、及び高度なスケジューリング機能をもつ多重仮想記憶システムのVOS 3(Virtual Storage Operating System 3:バーチャルストレージオペレーティングシステム3)とにより構成されたシステムは、多様化するユーザーニーズにより良く適合できると考えている。

(2) 高速処理

論理方式上、パイプライン方式の強化、分散化したマイク

ロプログラム制御、64kBの大容量バッファ記憶、主記憶のインタリーブの拡張(8/16ウェイ)、高速乗除算機構などの工夫を行ない高速化を図った。

(3) 最新のハードウェア技術

論理回路の大部分に、チップ当たり最大550ゲートのLSIを使うなど、5.に述べる最新のハードウェア技術を使用した。

(4) システム構成の拡張性

最大4台までの密結合マルチプロセッサ構成を可能とし、それぞれのBPU(Basic Processing Unit:演算処理装置)ごとに最大16チャンネルを接続可能とし、多様なシステム構成の要求に柔軟にこたえられるようにした。

付加機構として、技術計算のベクトル、行列演算を高速処理するIAP(Integrated Array Processor:内蔵アレイプロセッサ)²⁾、VMS(Virtual Machine System)の性能を向上させるVMA(Virtual Machine Assist)機構など特長のあるものを用意した。

(5) 操作性、保守性の向上

SVP(Console Service Processor)2台を、BPUごとに接続し、それぞれに20インチ大形カラーディスプレイを用意した。2台中1台は保守用コンソールとして使用でき、診断プログラムの処理や遠隔保守動作を可能とし、保守性を向上

* 日立製作所神奈川工場 工学博士 ** 日立製作所中央研究所 *** 日立製作所神奈川工場

させた。

(6) ソフトウェアサポート

オペレーティングシステムは、実績のあるVOS 3 及びVOS 2を使用することができる。また、VMSを使用することができる。

3 基本仕様

3.1 システム構成

M-200H のシステム構成例を図 2 に示す。M-200H 処理装置はBPU, MS (Main Storage：主記憶装置), IOP (Input Output Processor：入出力処理装置), SVP から成る処理装置複合体である。BPU, IOP 及びSVPは、それぞれ書込み可能な制御記憶をもち、システムの機能を分担しつつ独立に動作することができる。

最大16MBのMS, 1台のBPU当たり最大3台のIOP及び2台のSVPによりシステムを構成する。CH(Channel：チャンネル)は、IOP内に組み込まれ、IOP 3 台に対しそれぞれ6台, 6台, 4台まで接続することができる。

システムの多様化に伴う大容量ファイルの接続, 多数の通信回線の接続などのために、チャンネルのスループットの向上及びすべてのチャンネルのサブチャンネル数を256にするなどの機能拡張を行なった。

3.2 概略仕様一覧

表 1 に概略仕様を、これまでの最上位機種M-180と比較して示す。

表 1 HITAC M-200Hの概略仕様 Mシリーズの最上位機種として、Mシリーズとの互換性を保つとともに、多様化するユーザーニーズにこたえ、諸機能を拡張した。

No.	項 目		M-200H	M-180
1	命 令	形 式	6 種 (RR, RX, RS, SI, SS, S)	
		長 さ	2, 4, 6 (バイト)	
		数	195	
2	デ ー タ	形 式	固定小数点, 浮動小数点 論理データ, 可変長論理データ	
		長 さ	半語 (2バイト), 語 (4バイト), 倍語長, 4 倍語長, 最大256バイト可変長, 最大16MB可変長	
3	モ ー ド		基本モード/拡張モード	
4	割 込 方 式		6 レベルPSW 切換方式	
5	記 憶 保 護		主記憶とプロセッサキーの一致チェック方式 キーは4ビット/2kB, 読出し保護あり。	
6	タ イ マ		タイム オブ デイ クロックとその比較割込み機構 CPUタイマ, インタバルタイマ	
7	仮想記憶	論理アドレス セグメントサイズ	24ビット 64kB	
		ページサイズ	2kB又は4kB	
		アドレス変換バ ッファ対	256×2	128×2
8	主 記 憶	最大容量 (MB)	16	
		増設単位 (MB)	2	1
		インタリーブ バイト×ウェイ (マルチプロセ ッサ)	8×8 (8×16)	8×4 (8×8)
		容量 (kB)	64	同 左
9	バッファ 記 憶	制 御 方 式	セットアソシティブ	同 左
		ブロックサイズ (バイト)	64	32
10	C H	最大 I O P 数	3	2
		C H 種 類	バイトマルチプレクサ ブロックマルチプレクサ	同 左 同 左 セレクタ
		最 大 C H 数	16	
11	密結合マルチプロセッサ最 大台数		4	2
12	主 な 付 加 機 構		VMA機構 内蔵アレイプロセッサ マルチプロセッサ機構 ハードウェアモニタ 統合ディスク制御装置	同 左 DOS/EDOS エミュレータ

注：略語説明 VMA (Virtual Machine Assist)
DOS/EDOS (Disk Operating System/Extended
Disk Operating System)

4 論理構造

4.1 演算処理装置

(1) 論理構造の特長

論理方式面での具体的な性能向上策の主なものは、次に記すとおりである。

- (a) SCU (Storage Control Unit：記憶制御ユニット), IU (Instruction Unit：命令制御ユニット), EU (Execution Unit：演算ユニット)らを独立に動作できるユニットとし、並列に動作させる高度なパイプライン制御
- (b) 代表的な命令 (Load, Add, Compare 命令など) を実行する流れを、デコード, アドレス変換, オペランド読出

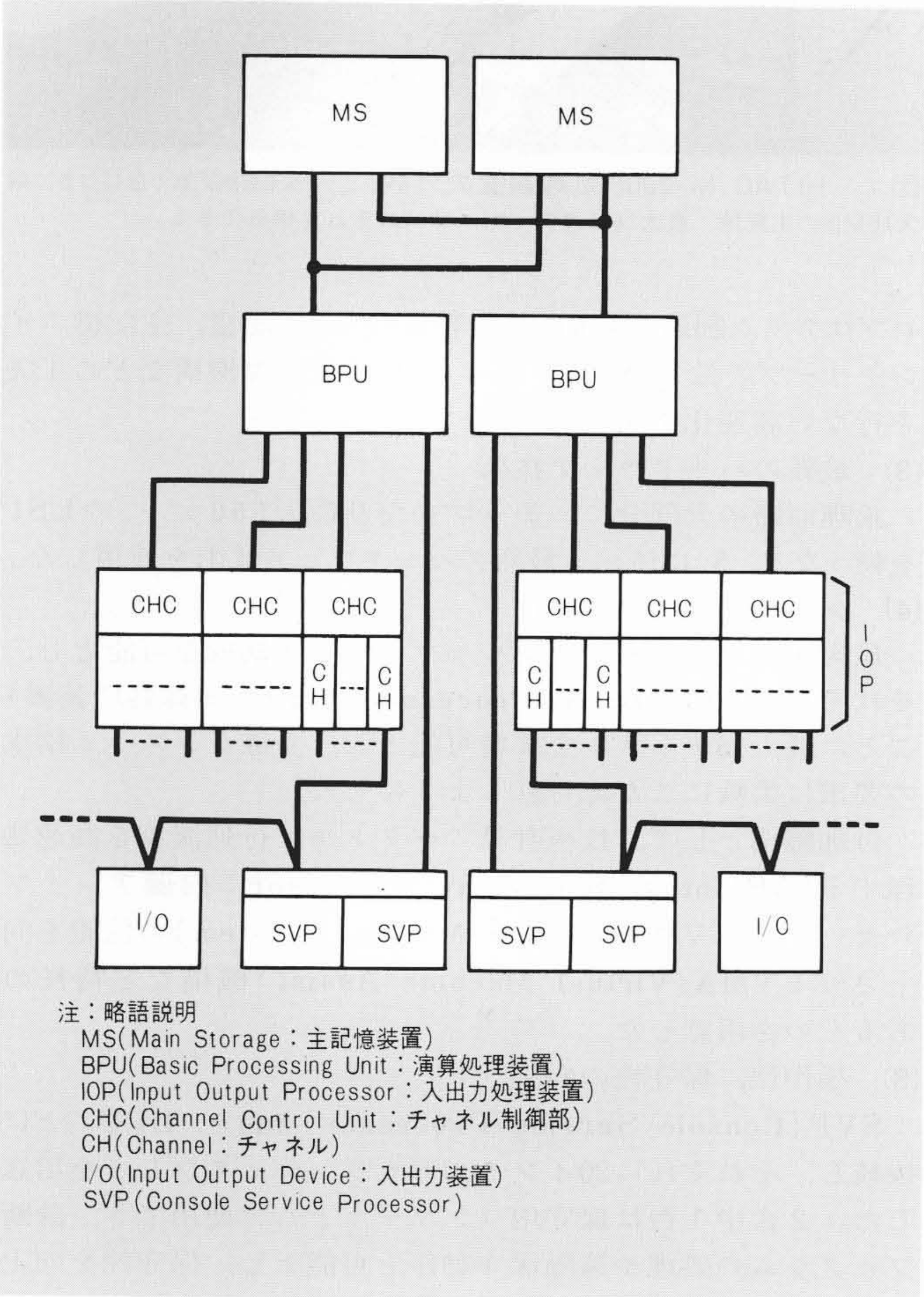
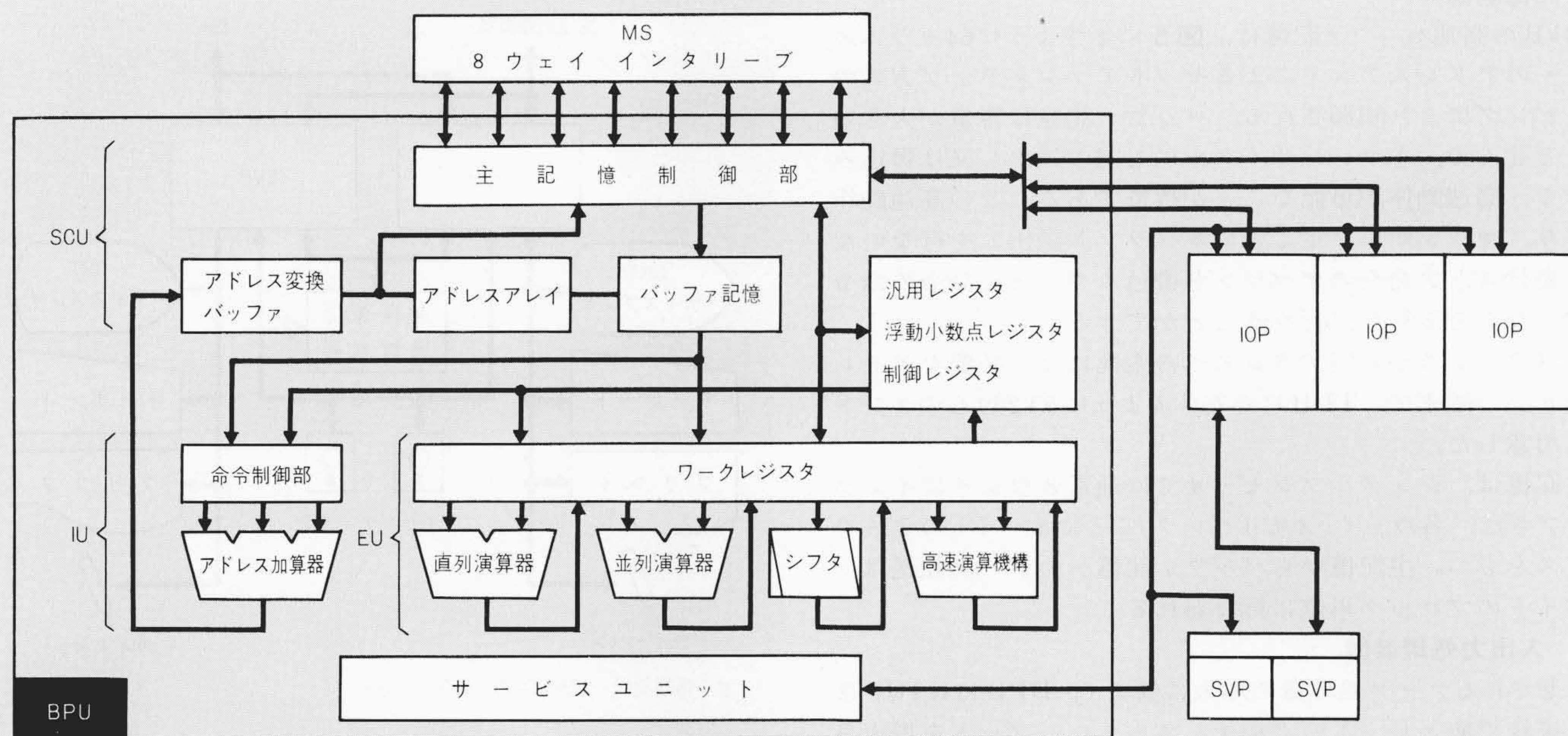


図 2 HITAC M-200H 処理装置のシステム構成 2 台の密結合マルチプロセッサの場合のシステム構成例である。最大 4 台までの密結合マルチプロセッサを構成することができる。



注：略語説明

SCU (Storage Control Unit：記憶制御ユニット)

IU (Instruction Unit：命令制御ユニット)

EU (Execution Unit：演算ユニット)

図3 HITAC M-200H処理装置の論理構成 データの流れを中心に、概略論理構成を示す。

し及び実行とし、それらの1マシンサイクルピッチのパイプライン制御

(c) 主記憶装置の8ウェイ又は16ウェイインタリーブ制御による主記憶の実効的な高速化

(d) 512(256×2)対のTLB (Translation Look-aside Buffer：アドレス変換バッファ)レジスタによるアドレス変換の高速化

(e) 64kBの高速バッファ記憶と、その64カラム×16ローのアドレスアレイによる高速制御

(f) 制御記憶を分散させてもち、制御論理を高速化させることによる演算の高速化

(g) 高速演算機構(高速乗除算機構)の標準装備

(h) IAP付加機構での演算パイプライン制御

図3に、M-200Hの論理構造の概略ブロック図を示す。以下、主な論理ユニットの要点について概説する。

(2) 命令制御ユニット

命令の読出し、実行の準備をするIUは、SCU、EUと独立に動作し、EUに解読後の命令とそのオペランドを1マシンサイクルピッチに送出することができる。図4に示すように、1マシンサイクルで実行を終了する2進加算などの代表的命令の連続する場合には、4命令をオーバーラップ制御することができる。このパイプラインの流れを乱さぬよう、高速バッファ記憶は、1マシンサイクル内でオペランドの読出しと命令の読出しとの2回の読出しができるようにした。また流れを乱す分岐命令の成否予測、分岐先命令の先取り方式などに特に留意し、流れの乱れる場合の高速処理を図った。

(3) 演算ユニット

演算の制御は制御論理を簡明にし、また機能拡張性をもたせるなどのためマイクロプログラム制御方式とし、演算の高速化を図るため、演算幅は64ビット長を基本とした。演算器の主なものは、直列加算器、並列加算機、シフタ、乗除算器などであり、演算器の種類と機能を増強し、命令の演算処理

に要するマシンサイクル数を小さくすることを図った。使用頻度の高い命令は、専用の論理回路を設けて高速化などしている。

マイクロプログラム制御により、ソフトウェアの一部のファームウェア化、マイクロ診断プログラムの用意など、特長ある機能を備えている。

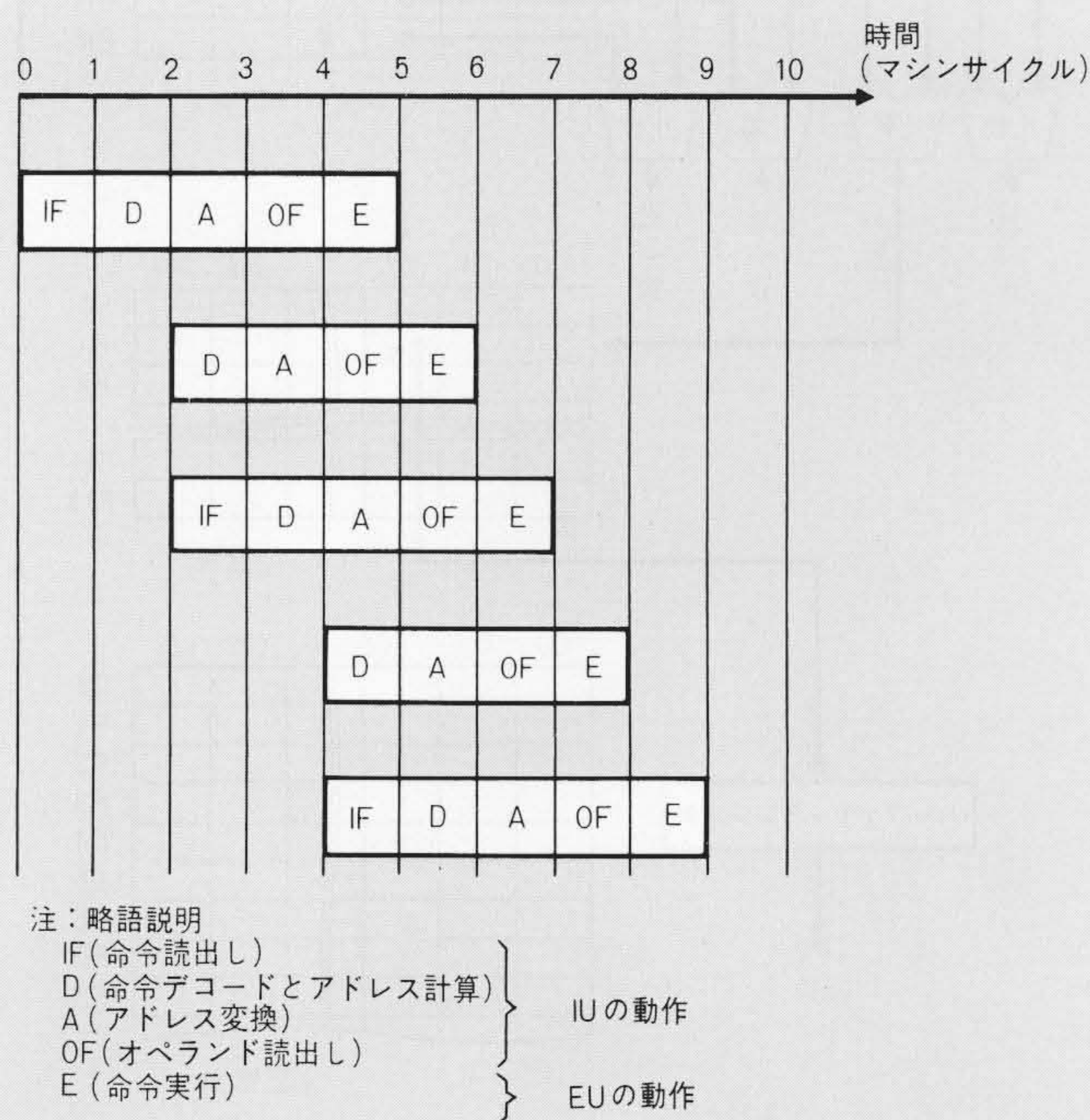


図4 HITAC M-200Hの先行(パイプライン)制御 2進加算などの代表的な命令が連続した場合のパイプラインの流れを示す。

(4) 記憶制御ユニット

64kBの高速バッファ記憶は、図5に示すように64カラム×16ローのアドレスレイによるセットアソシアティブ方式のマッピングにより制御される。バッファ記憶は容量が大きいことと並んで、 $\frac{1}{2}$ マシンサイクルに1回の読出し又は書込みを行なう高速動作が可能ながことが特長である。この高速動作により、マシンサイクルごとのオペランド読出しを行ないながら先行ストア命令のオペランド書込みや、後続命令の命令先取りなどを並行して行なうことができる。

論理アドレスから実アドレスへの変換には、必要なアドレス対が高い確率で、TLBに存在するように512対ものエントリを用意した。

主記憶は、シングルプロセッサでは通常8ウェイにインターリーブされ、各ウェイ(メモリバンク)ごとに8バイトのデータデプスをもつ。主記憶からバッファ記憶へのデータ転送は、64バイトのブロック単位に行なわれる。

4.2 入出力処理装置

予想されるデータ処理量の増大に備えて、BPUにはIOP 3台を接続可能とし、トータルチャネルスループットを増大させた。また、すべてのブロックマルチプレクサチャネルとバイトマルチプレクサチャネルは、256のサブチャネルをもち、MSSの接続あるいは多数の通信回線の接続に備えた。1BPU当た

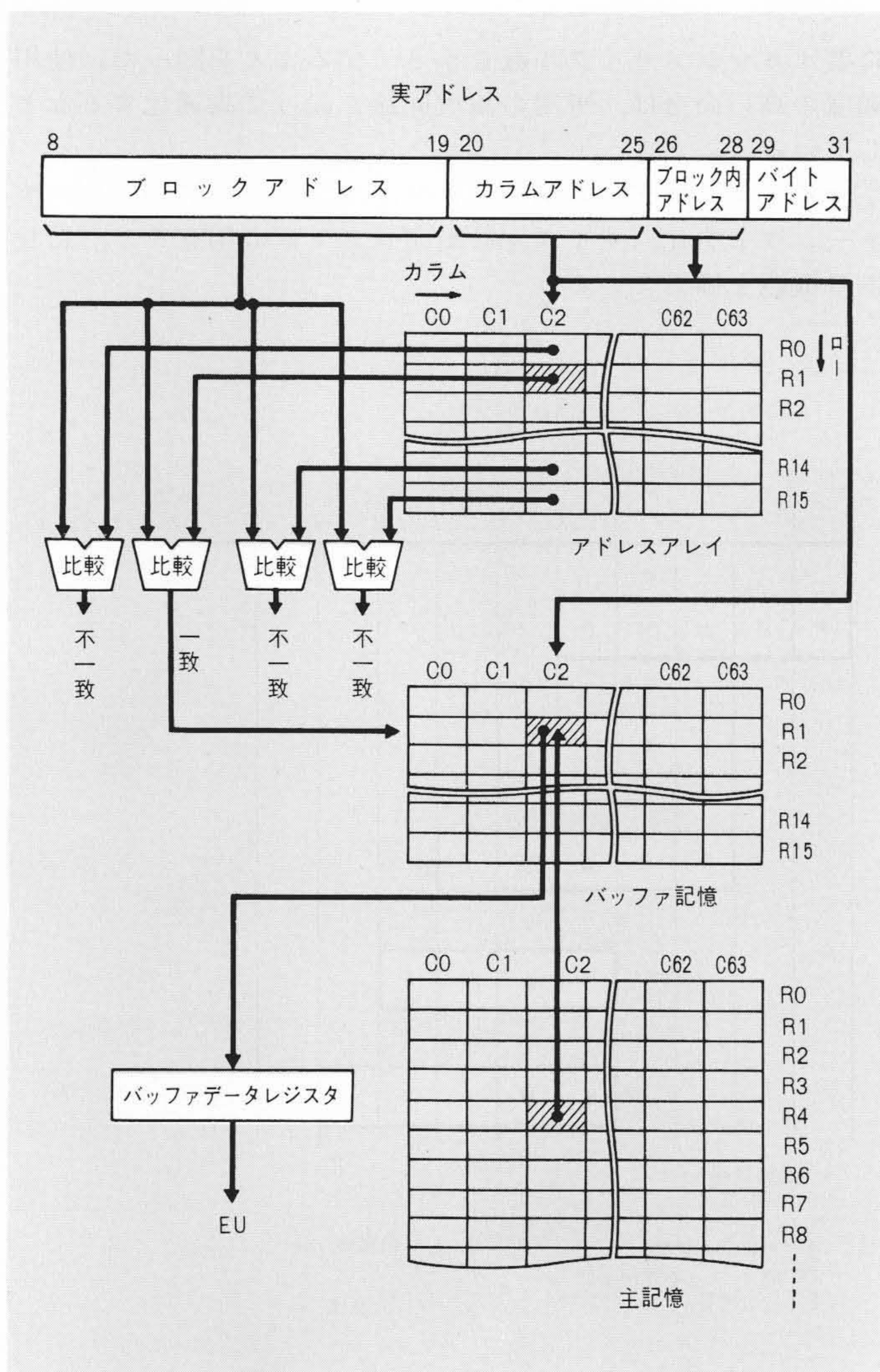


図5 バッファ記憶のセットアソシアティブ方式のマッピング
主記憶とバッファ記憶及びアドレスレイの対応付けと記憶参照方法を示す。

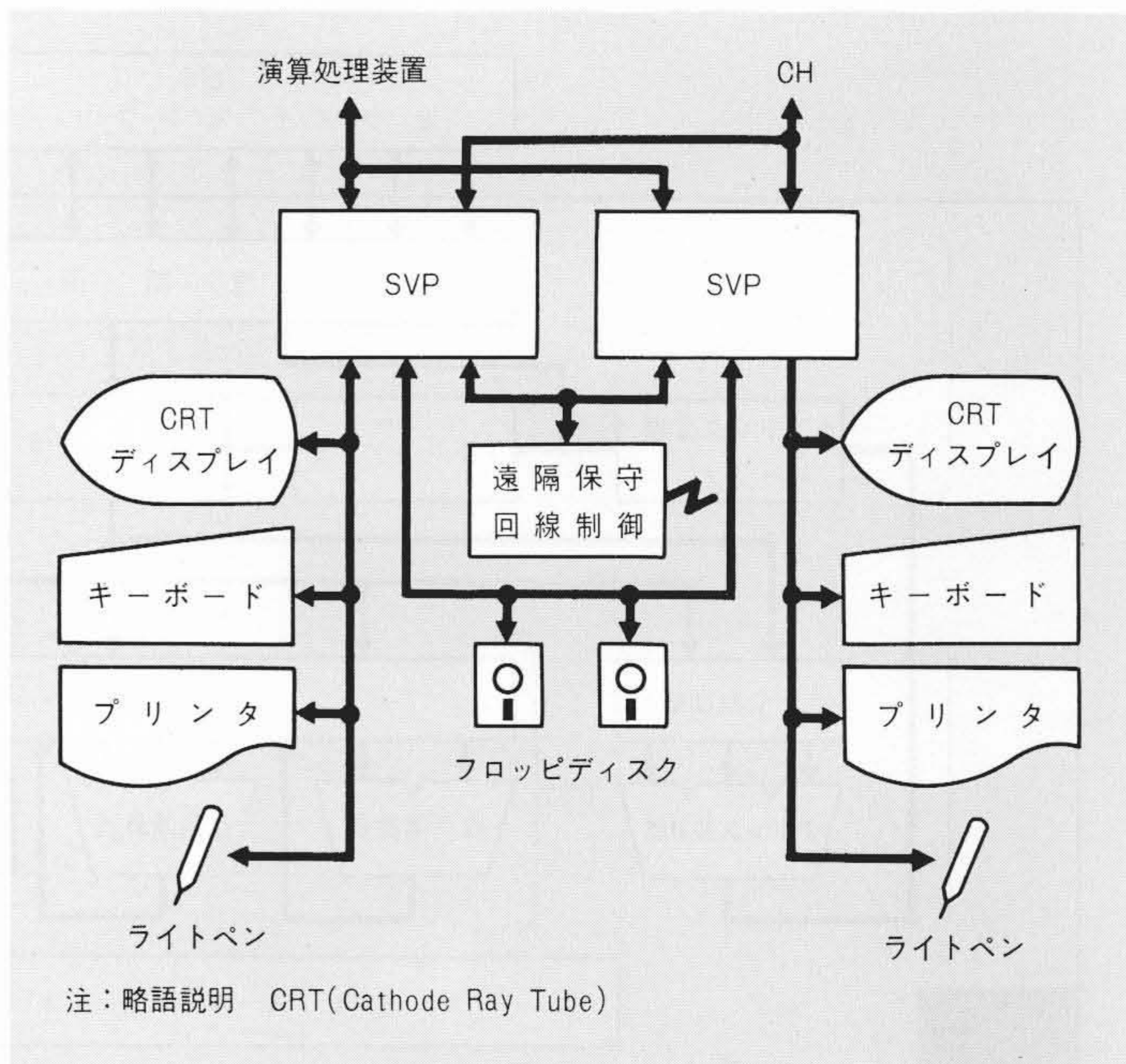


図6 サービスプロセッサの構成 独立に動作できる2台のプロセッサから成り、それぞれにCRTディスプレイ、キーボード、プリンタなどが接続されている。

り最大1,440回線接続することができる。

4.3 コンソールサービスプロセッサ

2台のSVPがBPUに接続され、それらは独立に動作できるプロセッサである。2台のSVPは、図6に示すような構成をしており、それぞれがCRT(Cathode Ray Tube)ディスプレイ、キーボード、プリンタ、ライトペンをもつことができ、2台で共通に使用するものとして2台のコンソールファイル、遠隔保守用通信回線などがある。

SVPは、オペレータズコンソールとしての機能のほかに、保守用コンソールとしての機能、それに関連する遠隔保守機能、及び今後増大を予想される省力化運転、無人化運転のニーズに適合できるような機能をもつプロセッサである。

5 ハードウェア技術

M-200Hに使用している高性能ハードウェア、すなわち、回路の伝送遅延時間の少ないハードウェアを実現するためには、多くの新しい技術が必要になってくる。

まずハードウェアそのものを構成する技術として、

- (1) 論理LSIをはじめとする半導体技術
- (2) これらの半導体を高密度に実装するための基板、コネクタなど実装技術
- (3) 高密度に実装された素子への給電、冷却方法などに新技術が要求される。

更にLSI、基板などに含まれる論理ゲート数は、従来技術と比べ大幅に増加しているため、これらを短期間に、誤りなく、かつ効率よく実現するためには、幾つかの支援技術が必要になってくる。例えば、

- (1) LSIを含む数十万ゲートに及ぶ論理をあらかじめチェックするシミュレーションシステム
- (2) 超高速を保証するための論理パス回路遅延チェックシステム
- (3) 高密度LSI、基板などの自動配置配線システム
- (4) LSI、基板などを検査するための検査データ自動作成シ

表2 HITAC M-200H処理装置の主要ハードウェア技術
M-200Hの主要なハードウェア技術について、従来機種M-180と比較し示す。

機 種		M-200H	M-180
項 目			
LSI	ゲート数	MAX. 550	MAX. 130
	回路速度電力積(比)	0.3	1
	ピン数	108	52
	平均電力(W)	3.3	1.8
MSI SSI	ゲート数	3~70	4~70
	回路速度(ns)	0.75	2.0
	ピン数	24	16
	電力(W)	0.1~0.8	0.1~0.6
ロジック インメモリ素子	メモリビット数	3,000	—
	ゲート数	470	—
バイポーラ メモリ素子	メモリビット数	1kビット	1kビット
	アクセスタイム(ns)	7	35
パッケージ (プリントカード)	層数	10	4
	格子ピッチ(mm)	1.91	2.54
プラッタ (バックボード)	層数	14	8
	格子ピッチ(mm)	2.54	2.54

システム及び検査システム
などである。

M-200Hのハードウェアは、このような多くの新しい技術によって開発されたものである。

本章では、このうち前者のハードウェアを構成する技術について主なものを紹介する。

表2に、M-200Hの主要なハードウェア技術を、従来技術と比較して示す。

5.1 半 導 体

(1) 論理LSI

図7に論理LSIの外観を示す。M-200Hのために最新の半導体技術を駆使して開発された高速ECL(Emitter Coupled Logic)LSIである。

約2cm平方のLSIに従来機種の基板(17cm×10cm)の1.5枚分に搭載された論理ゲート以上のものが集積されている。

M-200HではこのLSIを論理構造の主要な部分に約80種、1,000個使用している。

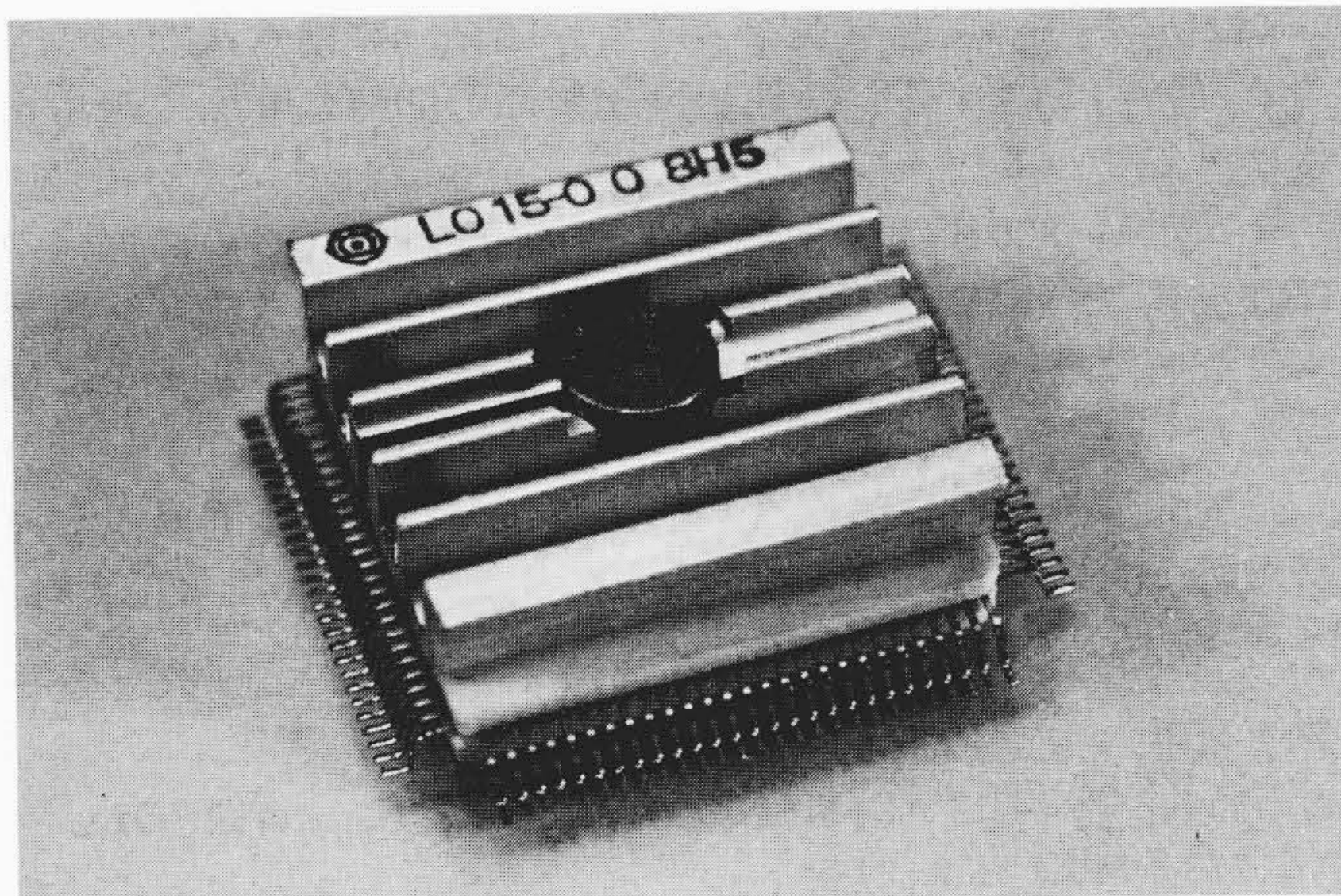


図7 論理LSI 最大550ゲートの集積度をもった108ピンの高速LSIの外観を示す。

(2) ロジックインメモリ(Logic In Memory)素子

M-200Hの最も特長的な半導体で、一つのチップ上に約3,000ビットの高速バイポーラメモリと470ゲートの論理回路が混在収容されたLSIである。

これは、バッファ記憶のアドレスを制御するアドレスアレイや、TLBなどに使用されている。これにより、バッファメモリのスループットは従来機種に比べマシサイクルの比だけでなく、論理的にも約2倍に強化されている。

(3) SSI・MSI

複雑なBPUの論理ではすべてをLSIで作ると、特殊な制御論理などではゲートピン比率の点、及び論理の非標準性の点からLSIの集積度が下がってしまうので、相対的にコストアップになってしまう。M-200Hではこのような論理部分をSSI、MSIで実現している。この方法は、全体をLSIで実現する方法に比べ、バランスのとれた設計を可能とし、これまで一貫して採用してきた方式である。

このSSI、MSIはサブナノセカンドECLファミリとして実用化されたもので、今後の高速論理素子の標準品になるものと考えている。

5.2 基 板

M-200Hでは実装密度を上げるため、パッケージ(プリントカード)、プラッタ(バックボード)と呼ぶ2種類の基板を組み合わせた3次元実装法をとっている。図8にM-200Hの架構を示す。

このような3次元実装法は、プラッタに直接LSIを取り付ける2次元実装法(平面実装)に比べ、

- (1) 大幅に集積度が向上する。
 - (2) したがって、プラッタ枚数が少なくて済むのでプラッタ間の接続信号数も少なく、かつ短いという優れた特長がある。
- 一方、次のような問題点も生ずる。

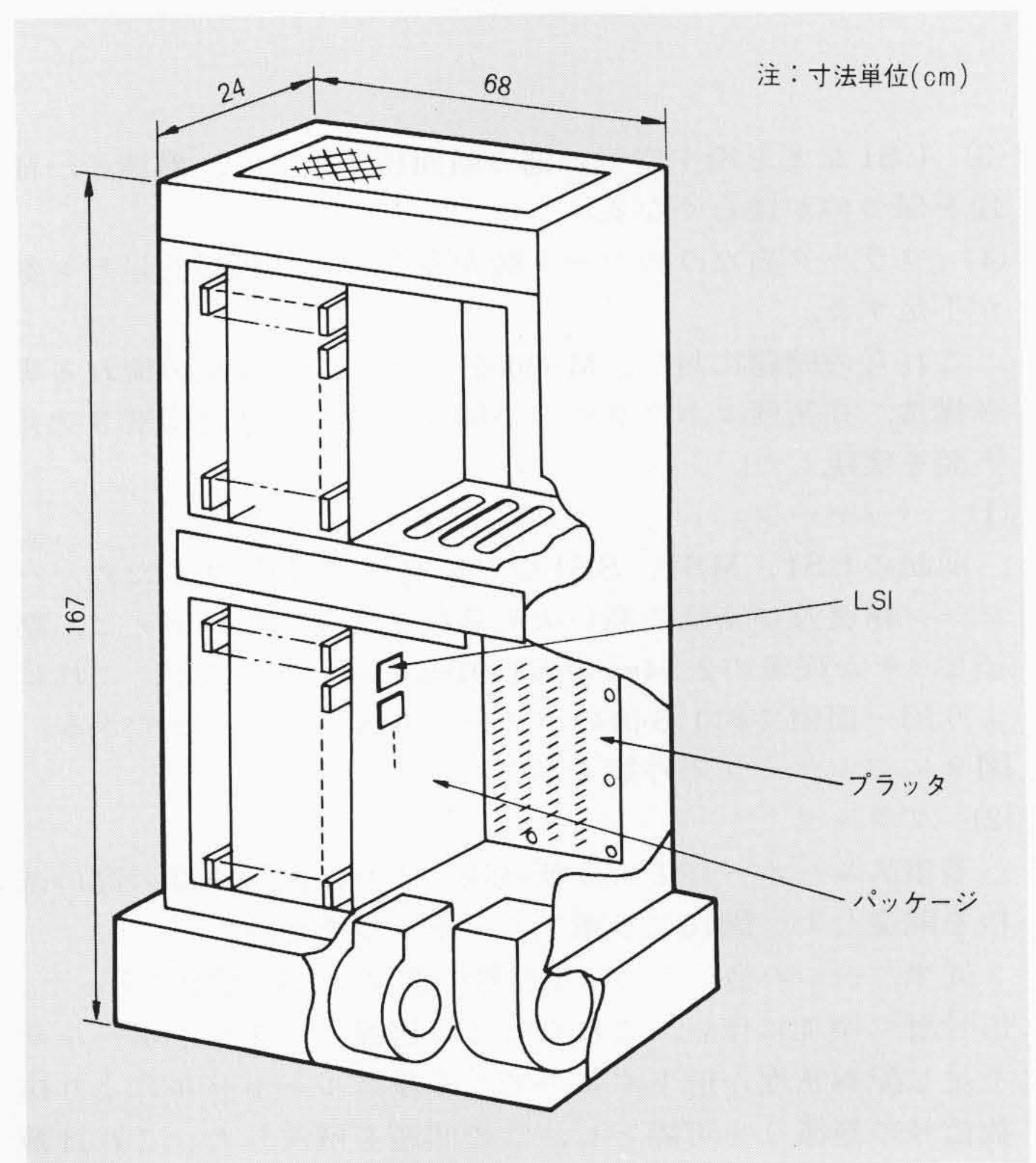


図8 HITAC M-200Hの架構 LSIはパッケージに搭載し、このパッケージを更にプラッタに実装するという3次元実装法をとっている。

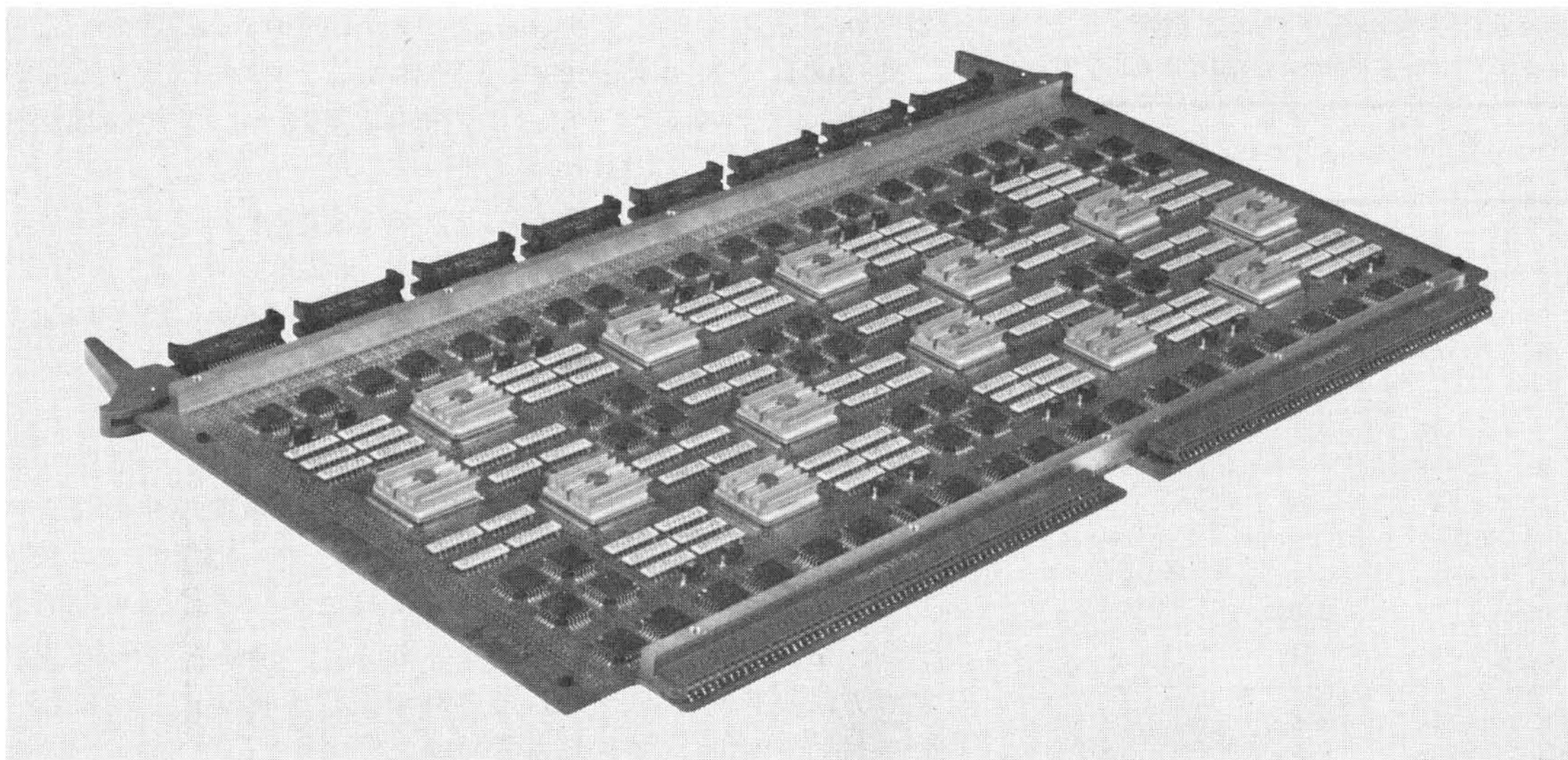


図9 LSIを搭載したパッケージ 10層の導体層から構成され、LSI、MSI、SSIなどが搭載されている。

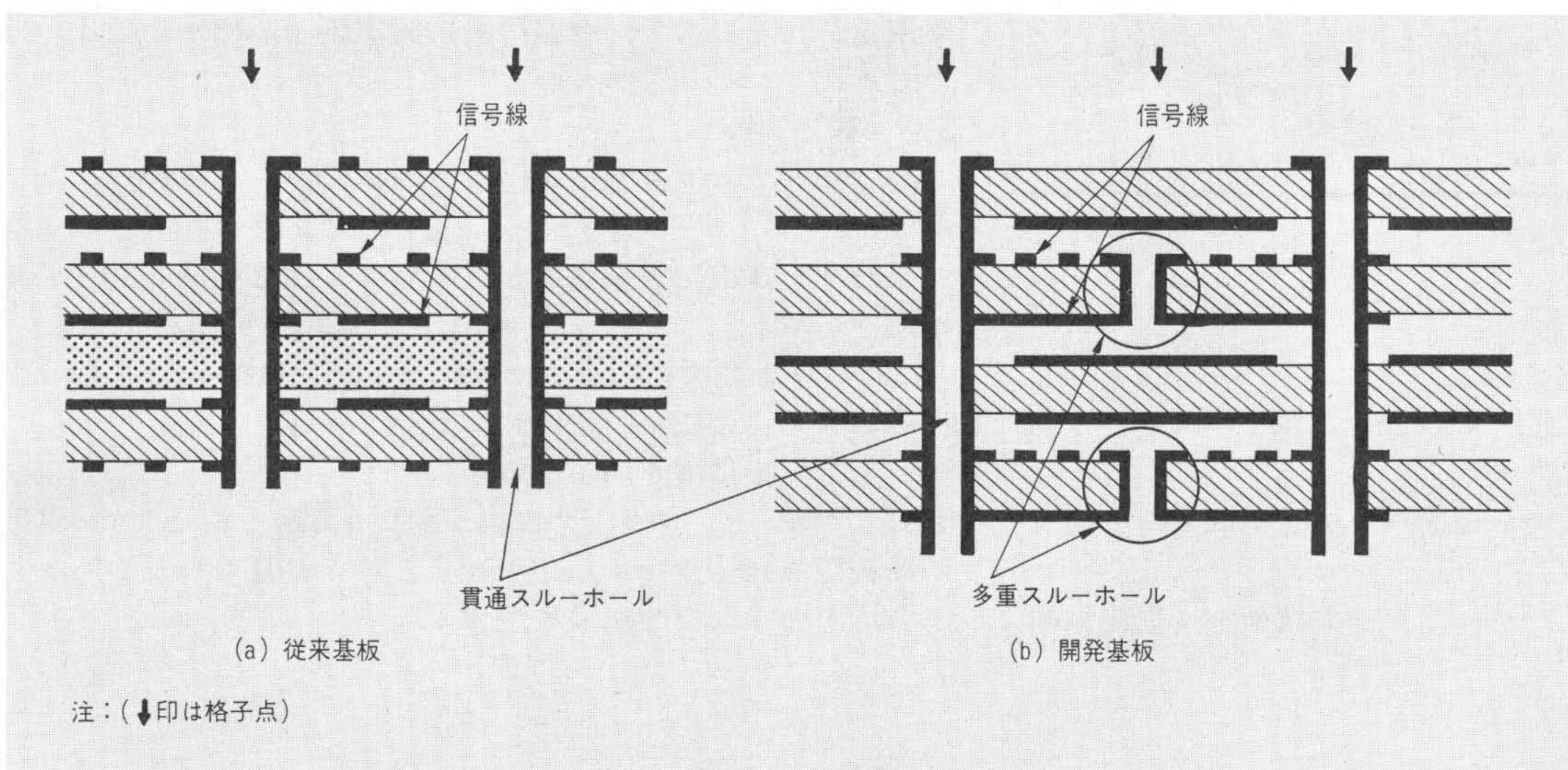


図10 多重スルーホール
従来基板では貫通スルーホールにより、1格子点では1信号だけの層渡りができた。多重スルーホールを用いると、1格子点で複数の信号の層渡りが可能である。

(3) LSIなどを冷す空気の通る断面積が大きく、風速の一様性を保つのが難しくなる。

(4) プラッタ当たりのゲート数が多いため、相対的にピン数が不足する。

これらの問題に対し、M-200Hでは、均一な風の流れる実装構造、高密度コネクタなどの開発を行ない、高密度3次元実装を実現した。

(1) パッケージ

前記のLSI、MSI、SSIなどを高密度実装するため、パターン精度及び密度の高い大形基板を開発した。例えば、格子ピッチが従来の2.54mmから1.91mmになっているが、これにより同一面積で約1.8倍のパターンを入れることができる。

図9にパッケージの外観を示す。

(2) プラッタ

多重スルーホールという新技術により、配線密度の高い基板を開発した。図10に多重スルーホールを示す。

従来、一つの格子点では1信号の層渡りだけ可能であった。信号層の増加に伴い、これだけでは層渡りのスルーホールが不足し配線密度が低下するので、多重スルーホールにより複数信号の層渡りを可能とし、この問題を解決した。これは薄板小径穴あけなどの化工プロセス技術の開発によって可能となった技術である。

6 結 言

以上述べたように、M-200Hは半導体を中心とした最新ハードウェア技術の採用と、これらの特長に合わせた論理方式によって実現された世界最高速の汎用処理装置である。紙面の都合で紹介できなかったが、M-200Hを開発するため、シミュレーションシステム、デザインオートメーションシステムなど、多くの開発支援システムが開発、整備された。

これらのシステムは、他の関連製品の開発にも広く適用することができる。

今後、M-200Hは次々と出荷されるが、これらの出荷後の保守支援にいつそうの努力を払うとともに、引き続きシステムの改善に努め、ユーザーの要求、期待にこたえるように努力したい。

この装置の開発に当たり、終始適切な御指導、御協力をいただいた多くの関係各位に対し深く謝意を表わす次第である。

参考文献

- 1) 曾我，外：HITAC M-170/180処理装置，日立評論，57，773～780（昭50-9）
- 2) 小高，外：HITAC M-180内蔵アレイプロセッサ，日立評論，60，451～456（昭53-6）