

HITAC M-240H処理装置の開発

Hitachi Computer System HITAC M-240H Processor

近年のコンピュータシステムの進歩は著しく、コンピュータ処理の社会的重要性の高まる中で、中央処理装置の性能、信頼性、設備条件などに対する要求は、一段と厳しいものになってきている。HITAC M-240Hは、こうした市場からの要求にこたえるため、最新の論理方式、ハードウェア技術を駆使して開発した最新鋭の汎用処理装置であり、床面積 0.96m^2 と従来にない小形化した筐体にHITAC M-160 IIの3～4倍の処理能力を実現した。

本稿では、HITAC M-240Hの開発思想、論理方式及びハードウェア技術の特長、並びに開発に当たって使用した論理検証技術に関して述べる。

酒井寿紀* *Toshinori Sakai*

門脇吉彦* *Yoshihiko Kadowaki*

1 緒言

近年、データベース、分散処理などのシステム機能の拡充と多様化が進むに伴い、新しいシステムづくりに適合する処理装置の開発が要求されている。

HITAC M-240H(以下、M-240Hと略す。)は、これらの市場ニーズをバランスよく満たす目的で開発しており、処理性能、信頼性、操作性などの大幅な向上を図るとともに、総合的な性能価格比を改善している。HITAC M-200H¹⁾のハードウェア技術を改良した最近のLSI技術を駆使することによって、M-240Hはオフィスコンピュータ並みの大きさを実現する一方、改良された仮想記憶方式のソフトウェア、最新の高性能周辺装置などを中心に、従来の大規模システムに匹敵する新しいシステム構成の中核となる処理装置として十分能力を発揮できる。

図1にM-240Hの外観を示す。

2 開発思想

(1) M-240Hの位置付け

M-240Hは、HITAC Mシリーズ(以下、Mシリーズと略す。)処理装置の一員として開発した最新鋭の汎用処理装置で、HITAC M-160 II(以下、M-160 IIと略す。)の3ないし4倍の処理能力をもつ。

M-240Hシステムで最新の周辺装置であるH-8598大容量ディスク(1,260Mバイト/スピンドル)、H-8197高速ノンインパクトプリンタ(15,200行/分)、H-8172/8196漢字プリンタ、T-560/20VDT(Video Data Terminal)システム、高度なスケジューリング機能をもつ多重仮想記憶システムのVOS 3(Virtual-storage Operating System 3)などから構成されるシステムは、より多様化するシステムの要求によく適合できると考えている。

(2) 処理能力の向上

チップ当たり最大1,500ゲートのLSIをはじめとする最新のハードウェア技術を使用し、内部演算速度の高速化を図るとともに、32kバイトの大容量バッファ記憶、命令先行制御など論理方式の工夫により処理能力を向上させた。

(3) システムの多様化に対する適合

(a) 多重仮想記憶システム

今後システムからの要求機能が高度化するに従い、多重



図1 HITAC M-240H処理装置の外観 中央処理装置1台につき、最大8Mバイトの主記憶、最大8台のチャンネルでシステムを構成できる。

仮想記憶システムの採用が増大してくると思われる。この多重仮想記憶システムの高速化のために、TLB(Translation Lookaside Buffer: アドレス変換バッファ)の容量、機能の強化及び多重仮想記憶システム高速化のためのファームウェアであるシステム拡張機構を用意した。

(b) システムの拡張性

MS(Main Storage: 主記憶装置)容量8Mバイト、チャンネル数8台まで拡張を可能とした。

また、システムの拡張、移行手段として有効なVMS(Virtual Machine System)の性能向上を図るファームウェアVMA(Virtual Machine Assist)機構、及びエミュレータ機構を用意した。

* 日立製作所神奈川工場

(4) 操作性、信頼性及び保守性の向上

BPU(Basic Processing Unit:演算処理装置)とは独立したプロセッサであるSVP(Console Service Processor)により、操作性、信頼性及び保守性を向上させた。特に信頼性、保守性の向上としては、SVPが独立プロセッサである利点を活用して、SVPによるBPUの障害に対する自動回復制御、自動障害箇所指摘、遠隔保守制御などの機能をもたせた。

(5) コンパクト化

近年のコンピュータシステムに対するコンパクト化の要求に応ずるため、最新のハードウェア技術を使用し、オフィスコンピュータ並みの床面積0.96m²を実現した。更に、処理装置に各種入出力制御機構を内蔵可能とし、内蔵の入出力制御機構に対してもSVPから保守制御を可能とした。

(6) ソフトウェアサポート

オペレーティングシステムは、VOS 3、VOS 2 及びVMSを使用することができる。

3 概略構成

3.1 システム構成

M-240Hのシステム構成例を図2に示す。M-240Hは、BPU、MS、チャンネル、SVPから成り、MSは最大8Mバイト、チャンネルはバイトマルチプレクサチャンネル2台とブロックマルチプレクサチャンネル6台の合計8台まで接続可能である。このほか、M-240Hには、IDC(Integrated Disk Controller:統合ディスク制御機構)2台と各種の入出力装置を制御可能なIPC(Integrated Peripheral Controller:統合入出力制御機構)を内蔵可能である。

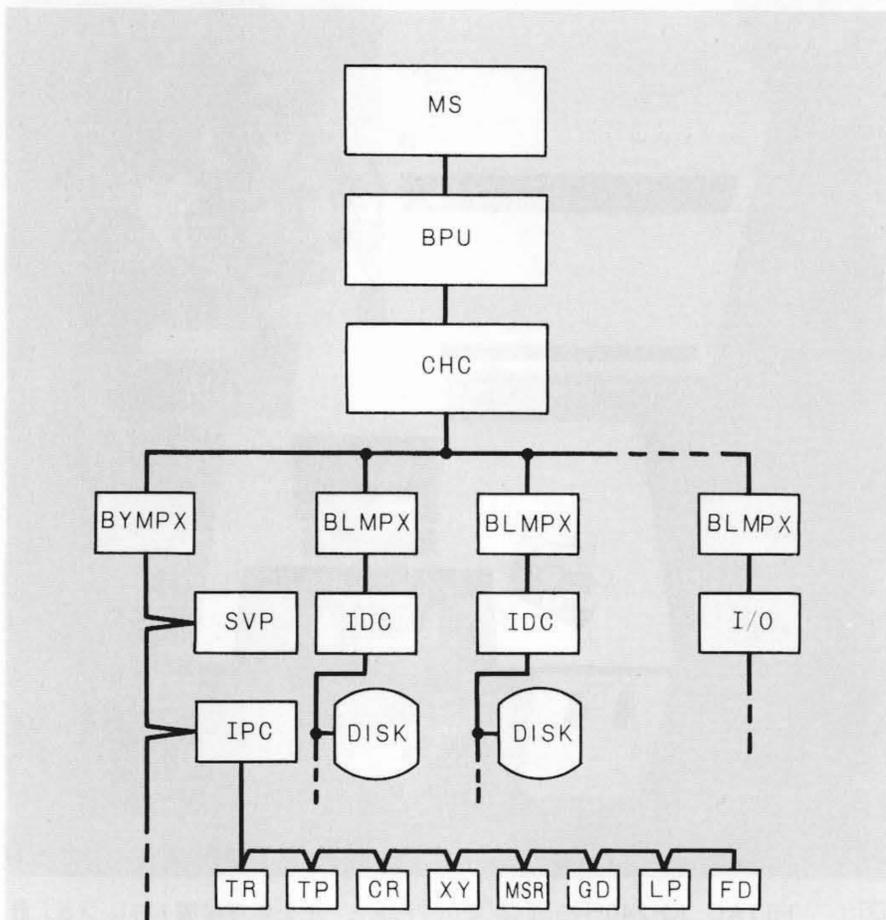
3.2 概略仕様一覧

表1に、M-240Hの概略仕様を、M-160IIと比較して示す。システムの多様化に備えて、VMA機構、システム拡張機構及

表1 HITAC M-240Hの概略仕様 Mシリーズの中形機種として、Mシリーズとの互換性を保つとともに、多様化するユーザーニーズにこたえ諸機能を拡張した。

No.	項目	M-240H	M-160II
1	命令形式	6種(RR, RX, RS, SI, SS, S)	
	命令長さ	2, 4, 6(バイト)	
	命令数	191	190
2	データ形式	固定小数点, 浮動小数点論理データ, 可変長論理データ	
	データ長さ	半語(2バイト), 語(4バイト), 倍語長, 4倍語長, 最大256バイト可変長, 最大16Mバイト可変長	
3	モード	基本モード/拡張モード	
4	割込方式	6レベルPSW切換方式	
5	記憶保護	主記憶とプロセッサキーの一致チェック方式 キーは4ビット/2kバイト, 読出し保護あり。	
6	タイマ	タイムオブディタロックとその比較割込み機構, CPUタイマ, インタバルタイマ	
7	仮想記憶	論理アドレスセグメントサイズ ページサイズ	24ビット 64kバイト 2kバイト又は4kバイト
		アドレス変換バッファ対	256×2 128
8	主記憶	最大容量(Mバイト)	8 4
		増設単位(Mバイト)	2 0.5
		インタリーブ バイト×ウエイ	8×2 8×1
9	バッファ記憶	容量(kバイト) 制御方式 ブロックサイズ(バイト)	32 セットアソシアティブ 32 なし
10	チャンネル	チャンネル種類	バイトマルチプレクサ ブロックマルチプレクサ 同左 同左 セクタ
		最大チャンネル数	8 6
		トータルチャンネルスループット(Mバイト/秒)	16 5.5
11	主な標準機構	DOS/EDOS エミュレータ VMA機構 システム拡張機構	同左 なし
12	主な付加機構	統合ディスク制御機構 統合入出力制御機構	同左

注: 略語説明 M-240H (HITAC M-240H)
M-160II (HITAC M-160II)
VMA (Virtual Machine Assist)
DOS/EDOS (Disk Operating System/Extended Disk Operating System)



注: 略語説明

- MS(Main Storage:主記憶装置)
- BPU(Basic Processing Unit:演算処理装置)
- CHC(Channel Control Unit:チャンネル制御部)
- BYMPX(Byte Multiplexor Channel)
- BLMPX(Block Multiplexor Channel)
- SVP(Console Service Processor)
- IDC(Integrated Disk Controller:統合ディスク制御機構)
- IPC(Integrated Peripheral Controller:統合入出力制御機構)
- I/O(Input Output Device:入出力装置)
- TR(Tape Reader)
- TP(Tape Punch)
- CR(Card Reader)
- XY(XY Plotter)
- MSR(Mark Sheet Reader)
- GD(Graphic Display)
- LP(Line Printer)
- FD(Floppy Disk)

図2 HITAC M-240H処理装置のシステム構成 SVP, IPC及びIDCによるシステム構成例である。最大BYMPX 2チャンネル, BLMPX 6チャンネルを接続することができる。

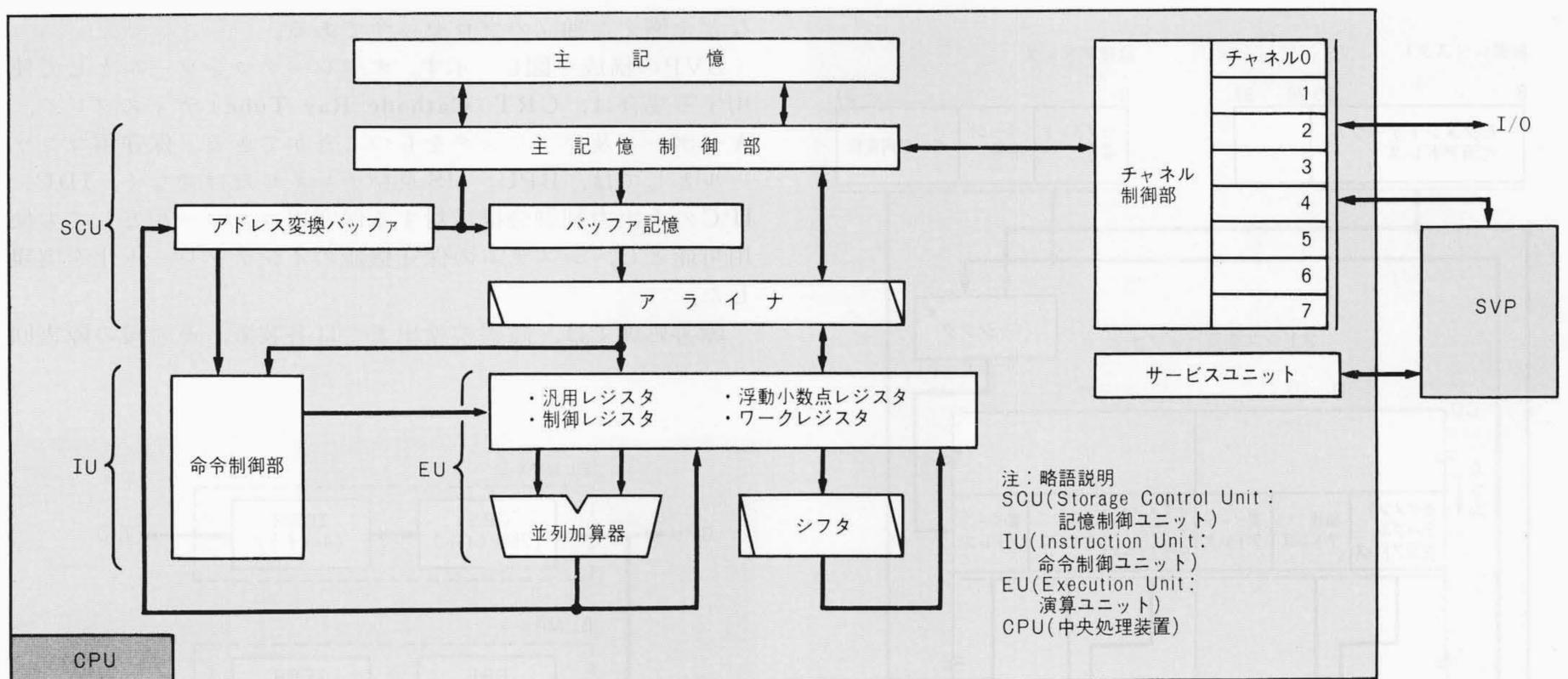


図3 HITAC M-240H処理装置の論理構成 データの流れを中心に、概略論理構成を示す。

びエミュレータは標準機構とした。また、ブロックマルチプレクサチャンネルは、すべてデータストリーミング機構を標準機構として備え、チャンネルスループットを向上させた。

4 論理構造

4.1 演算処理装置

(1) 論理構造の特長

図3に、M-240Hの論理構造の概略ブロック図を示す。論理方式面での具体的な性能向上策の主なものは、次に述べるとおりである。

- (a) EU(Execution Unit: 演算ユニット), IU(Instruction Unit: 命令制御ユニット), SCU(Storage Control Unit: 記憶制御ユニット)にユニットを分割し、それらを効率良く動作させるマイクロプログラム制御
- (b) 後続命令の読出しと解読を、命令の実行と並行して行なう効率の良い命令先行制御
- (c) 主記憶装置の2ウェイインタリーブ制御による主記憶の実効的な高速化
- (d) 32kバイトの高速バッファ記憶と、512カラム×2ローのアドレスレイによる高速制御
- (e) 512(256×2)対のTLBによるアドレス変換の高速化

(2) 演算ユニット

演算の制御は、制御論理を簡明にして機能拡張性を容易にするため、マイクロプログラム制御とした。演算ユニットは、32ビットの並列加算器、32ビットのシフタ、作業用のレジスタなどで構成し、並列加算器を10進加算器としても機能させるなど、演算機能を効率良く強化し、演算処理性能の向上を図った。更に使用頻度の高い命令は、専用の論理回路を設けて高速化している。

マイクロプログラム制御により、ソフトウェアの一部のファームウェア化、マイクロ診断プログラムの用意など、特長のある機能をもたせた。

(3) 命令制御ユニット

命令の読出し、実行の準備を行なうIUは、マイクロプログラムの制御を受けるEU、SCUの動作と並行して動作し、命令の実行中に後続命令の読出しを行なう。これにより、命令

読出しによるオーバーヘッドを軽減している。このような命令の先行読出しを円滑に行なうため、16バイト(8バイト×2)の命令バッファを内蔵し、8バイト単位に後続命令の読出しを行なっている。

(4) 記憶制御ユニット

論理アドレスから実アドレスへの変換には、TLB内に必要なアドレス対が高い確率で存在するように、512対のエントリを用意した。TLBの構成は図4に示すように、256カラム×2ローのセットアソシアティブ方式のマッピングにより制御される。TLBはエントリ数を多くするとともに、セグメントテーブル先頭アドレスの全ビットを各エントリ内にもち、更にTLBのカラムアドレス付のハッシングにも使用したことで、多重仮想記憶システムでも仮想空間の切り換え時にTLBの有効性は全く損われず、TLB内のアドレス対の有効性を非常に高く保つことを可能にした。

32kバイトの高速バッファは、512×2ローのアドレスレイによるセットアソシアティブ方式のマッピングにより制御している。

TLBと高速バッファ記憶は、構成素子のメモリ素子が部分的に故障しても、エントリ単位のきめ細かな切離しを可能にして、障害時の影響を最小限に抑えている。

主記憶は、2ウェイにインタリーブし各ウェイ(メモリバンク)ごとに8バイトのデータ幅をもつ。主記憶からバッファ記憶へのデータ転送は、32バイトのブロック単位に実行する。

4.2 チャンネル

チャンネルは、近年のシステムでのデータ処理量の増大に備えて、データストリーミング機構の標準装備などチャンネルスループットの強化を図った。

以下に、チャンネルの高速化のために実施した論理構造上の特長について述べる。

(1) データストリーミング機構

ブロックマルチプレクサチャンネルは、すべてデータストリーミング方式のデータ転送が可能で、チャンネル当たり3Mバイト/秒のデータ転送能力をもっている。このデータストリーミング方式とは、従来のデータ転送が1バイトごとにチャンネルと入出力装置との間で信号の応答確認を行なう方式であっ

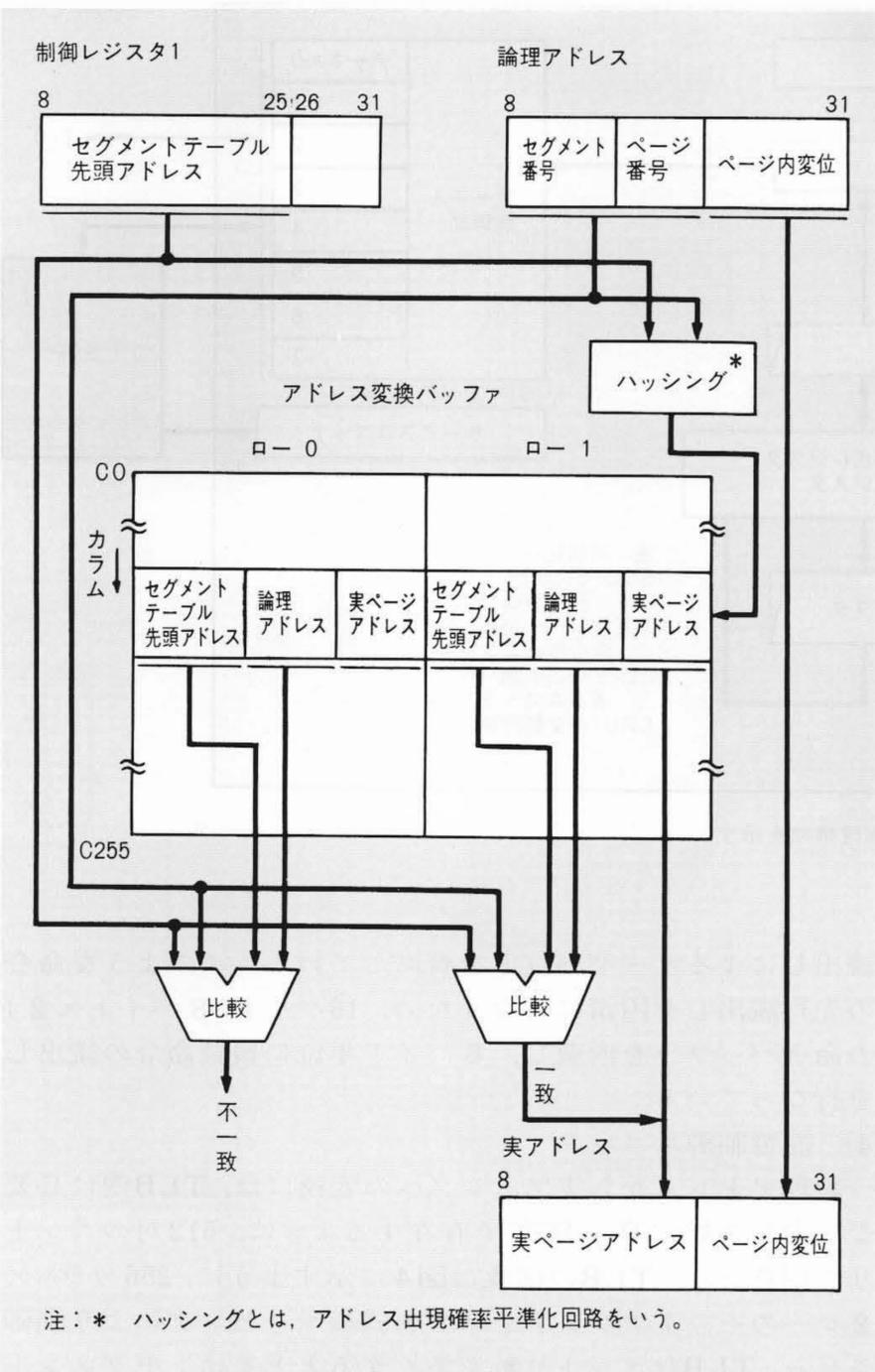


図4 アドレス変換バッファによるアドレス変換 アドレス変換バッファによる論理アドレスから実アドレスへの変換過程を示す。

ったのに対し、一定間隔でパルス化したデータを、送り出し1バイトごとの応答確認を省略することにより、高速データ転送を可能にした方式である。この方式では、データ転送速度だけでなく、ケーブル長の制約も緩和され最大120m(従来のディスクで60m)まで延ばすことが可能となる。

(2) データバッファ構造

図5にM-240Hでのチャンネルのデータバッファの構成を示す。各チャンネルごとにMSとの間のデータ転送用に256バイトのデータバッファと、I/O(Input/Output)インタフェースとの間のデータ転送用に4バイトのデータバッファと2段構造にデータバッファをもつことにより、データストリーミング方式下の高いスループットを実現した。

(3) I/Oインタフェース制御

あらかじめI/Oインタフェース上に入力する信号線の期待値を用意しておき、I/Oインタフェース上の信号線を高速にサンプリングし、サンプリングした結果を期待値と比較し応答処理を行なうという新しい制御方式により、高速なI/Oインタフェース制御を実現した。

4.3 コンソールサービスプロセッサ

SVPは、オペレータコンソールとしての機能のほかに、システムの障害処理機能、保守用コンソールとしての機能、遠隔保守機能、省力化運転、無人化運転を実現するための機能

などを備えた独立のプロセッサである。

SVPの構成を図6に示す。オペレータコンソールとして使用する場合は、CRT(Cathode Ray Tube)ディスプレイ、キーボード及びプリンタをもつことができる。保守用コンソールとしては、BPU、MS及びチャンネルだけでなく、IDC、IPCの入出力制御機構に対する保守用コンソールとしても使用可能とし、システムの保守機能のインテグレート化を実現した。

障害処理では、障害の検出までは各装置、その後の障害回

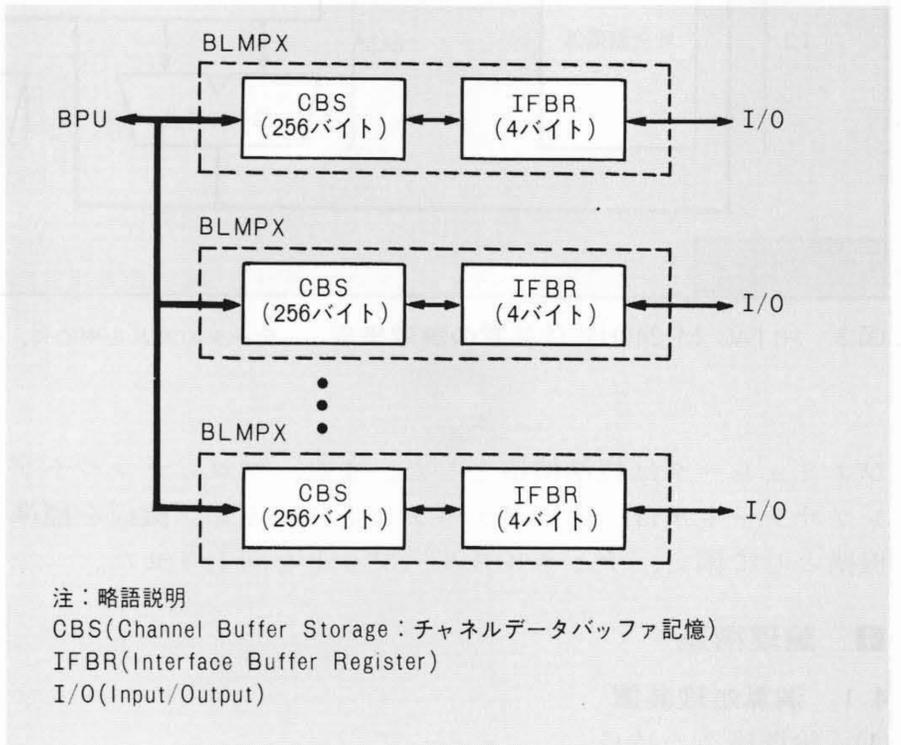


図5 チャンネルデータバッファ構造 ブロックマルチプレクサチャンネルは、図に示すように2段構造のデータバッファをもつ。

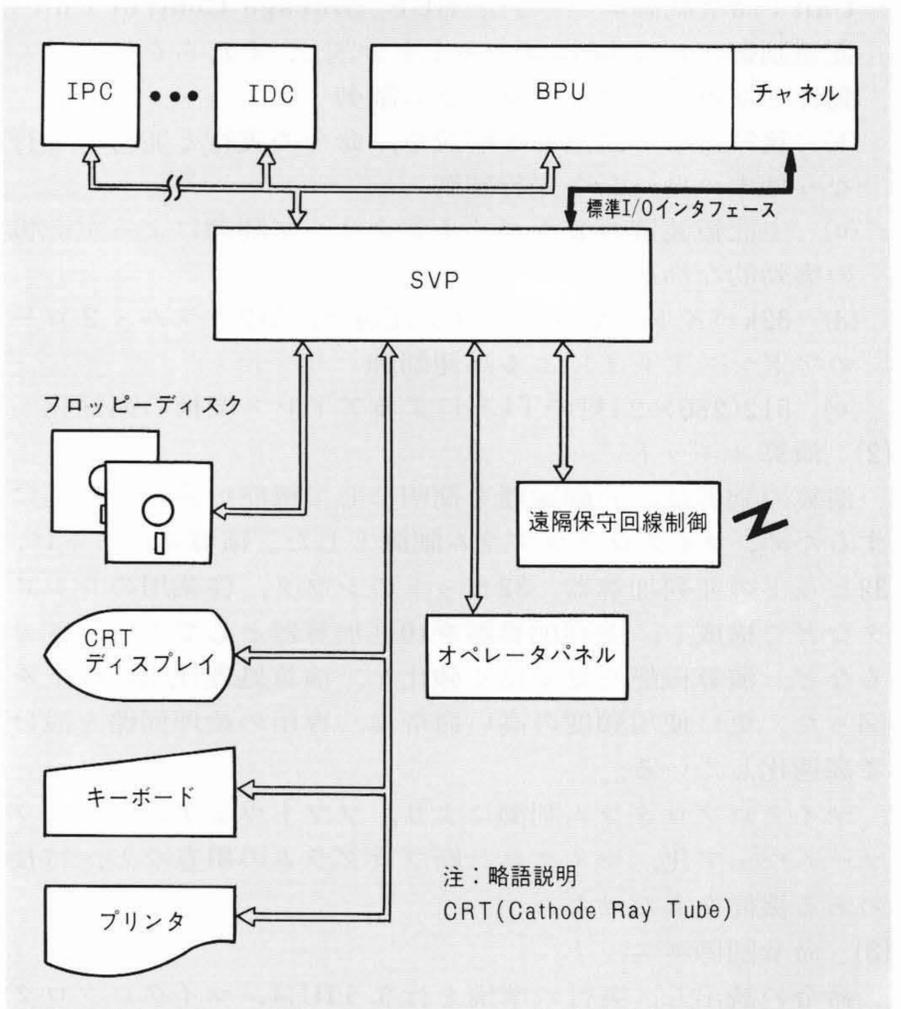


図6 SVPの構成 SVPは、オペレータコンソール機能、保守用コンソール機能などを備えた独立のプロセッサである。

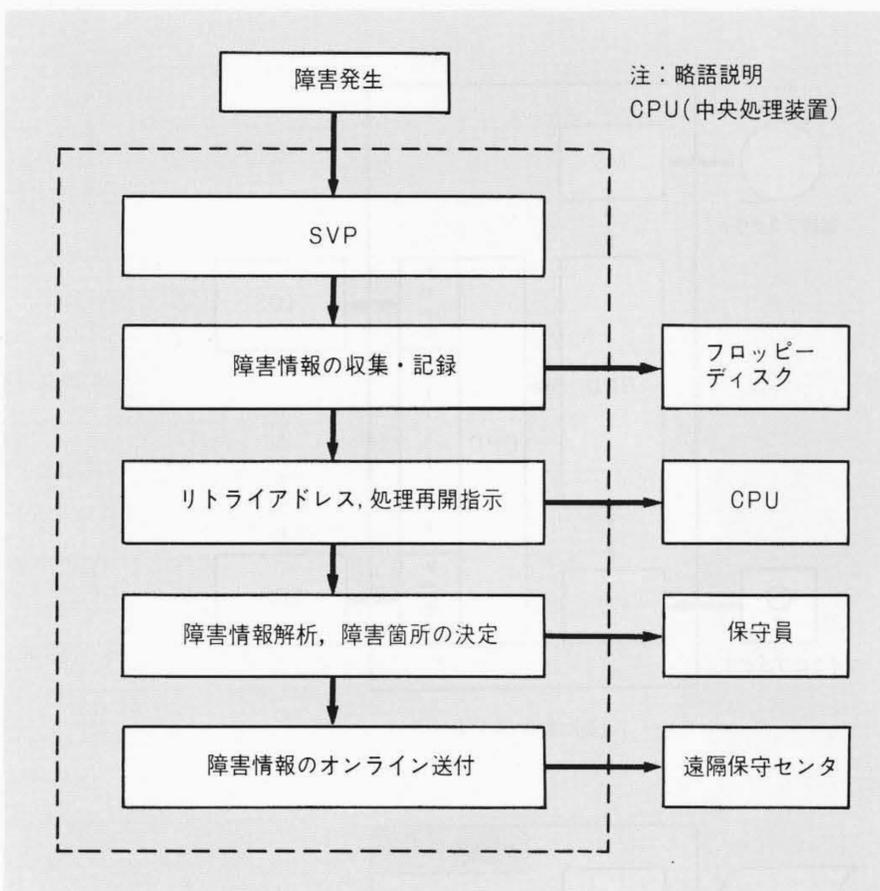


図7 SVPによる障害処理 障害処理でのSVPの役割と処理の順序を示す。

復処理はSVPと明確に処理を分担し、SVPを障害処理の中核プロセッサとして動作させることにより、システムダウンとなる障害を低減している。図7に障害処理でのSVPの役割を示す。

表2 HITAC M-240H処理装置の主要ハードウェア技術 M-240Hの主要なハードウェア技術について、従来機種M-160IIと比較し示す。

項目	機種	M-240H	M-160II
LSI	ゲート数	Max. 1,500	—
	回路速度電力積(比*)	0.2	—
	ピン数	108	—
	平均電力(W)	3.3	—
LSI	ゲート数	Max. 550	—
	回路速度電力積(比*)	0.25	—
	ピン数	108	—
	平均電力(W)	3.3	—
SSI MSI	ゲート数	3~70	2~70
	回路速度(ns)	0.75	3
	ピン数	24	16
	電力(W)	0.1~0.8	0.1~0.6
ロジックインメモリ素子	メモリビット数	3,000	—
	ゲート数	470	—
コントロールストレージメモリ素子	メモリビット数	4kビット	4kビット
	アクセスタイム(ns)	18	80
バッファストレージメモリ素子	メモリビット数	4kビット	—
	アクセスタイム(ns)	18	—
メインストレージメモリ素子	メモリビット数	64kビット	16kビット
	アクセスタイム(ns)	150	150
パッケージ(プリントカード)	層数	10	4
	格子ピッチ(mm)	1.91	2.54
プラッタ(バックボード)	層数	14	4
	格子ピッチ(mm)	2.54	3.2

注：* M-180²⁾使用のLSIとの比を示す。

表3 HITAC M-240Hの実装諸元 M-240Hの実装諸元を、M-160IIと比較して示す。

項目	機種	M-240H	M-160II
所用電力(kVA)		7	6.65
床面積(m ²)	CPU	0.96	2.14
	SVP/CD	0.96	0.98
	PDU	—	0.66
	計	1.92	3.78
重量(kg)		653	1,310

注：略語説明
CD (Console Display)
PDU (Power Distribution Unit)

5 ハードウェア技術

M-240Hで使用しているハードウェア技術は、主としてM-200Hのために開発されたハードウェア技術を基に、更に改善した技術である。表2にM-240Hの主要なハードウェア技術を、M-160IIで使用したハードウェア技術と比較し示す。また、表3にM-240Hの実装諸元を、M-160IIと比較し示す。

5.1 半導体

M-240Hに使用している論理LSI、ロジックインメモリ、SSIに関しては、M-280Hに使用しているものと同じであるので、詳細については本号で同時掲載の別論文「HITAC M-280H処理装置の開発」を参照されたい。

M-240Hの主要論理部は、約150種、300個の論理LSIを使用しており、特に高速化を要求される部分は550ゲートLSI、その他の部分は1,500ゲートLSIから成っている。

5.2 基板

M-240Hで使用している基板は、M-200Hで開発したものと同一の技術を使用しており、パッケージ、プラッタの組合せによる3次元実装法を採っている。図8にパッケージの外観を、図9に架構造を示す。M-200Hでは、架にプラッタ2枚を縦に実装していたのに対し、M-240Hでは冷却条件の緩和、筐体の小形化のためにプラッタ2枚を架に並列に搭載し、プラッタ2枚の中にBPU、MSを8Mバイト、チャンネルを8台

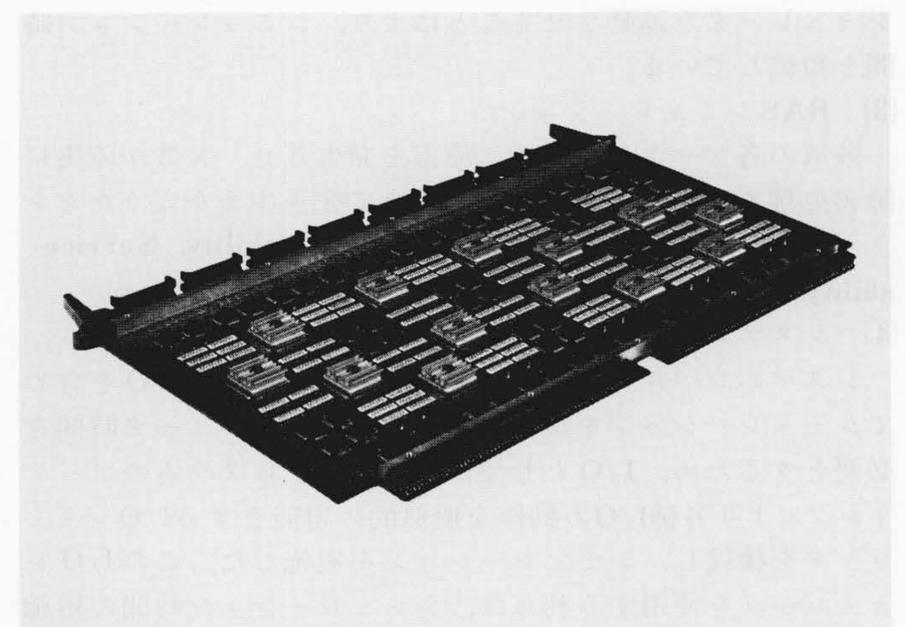


図8 LSIを搭載したパッケージ 10層の導体層から構成され、LSI、MSI、SSIなどが搭載されている。

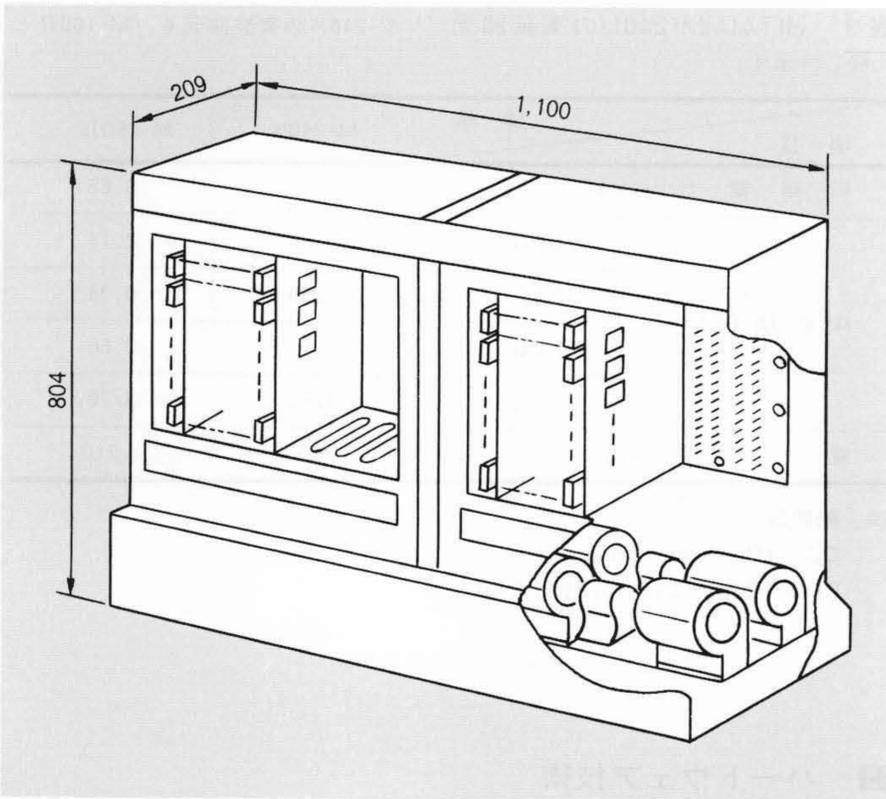


図9 HITAC M-240Hの架構造 LSIはパッケージに搭載し、このパッケージを更にプラッタに実装するという3次元実装法を採っている。

まで実装している。

6 論理検証技術

M-240Hは、装置全体にわたり全面的にLSI化を実施することにより、高性能化、高信頼性及びコンパクト化を実現しているため、実際の機械を組み立てる以前に徹底的に論理検証を実施しておく必要があった。このため、最新のシミュレーション技術を使用し、実際の機械の検査で使用するのと全く同一の試験プログラムを論理シミュレーション上で動作させることにより、論理検証を実施した。以下に、論理シミュレーションでの特長について述べる。

(1) マイクロプログラムシミュレーション

ハードウェアの論理不良とマイクロプログラムの不良の区別を容易にするため、マイクロプログラムシミュレータにより、事前にマイクロプログラムのシミュレーションを実施した。

(2) シミュレーションの階層構造

LSIレベル、ユニットレベル、装置レベル、システムレベルと段階的にシミュレーションレベルを上げる方法を採用し、更にハードウェアの論理シミュレータとマイクロプログラムシミュレータを連動させることにより、シミュレーション時間を短縮している。

(3) RASシミュレーション

装置の各ゲートに擬似的に障害を発生させ、装置が確実に障害処理を実行し、リトライ動作まで完了するかどうかをシミュレーションし、RAS(Reliability, Availability, Serviceability)機能が設計どおり動作することを確認している。

(4) システムレベルシミュレーション

システムレベルシミュレーションでは、実際のI/Oを含めてシミュレーションを実施すると膨大なコンピュータ時間を必要とするため、I/Oとしてはマイクロプログラムのコーディングにより各種I/Oの動作を擬似的に可能とするI/Oシミュレータを接続し、シミュレーションを実施した。このI/Oシミュレータを使用する利点は、シミュレーション時間の短縮だけでなく、実際のI/Oでは発生が困難な複雑な障害も容易に擬似的に発生できることである。図10に、システムレベルシ

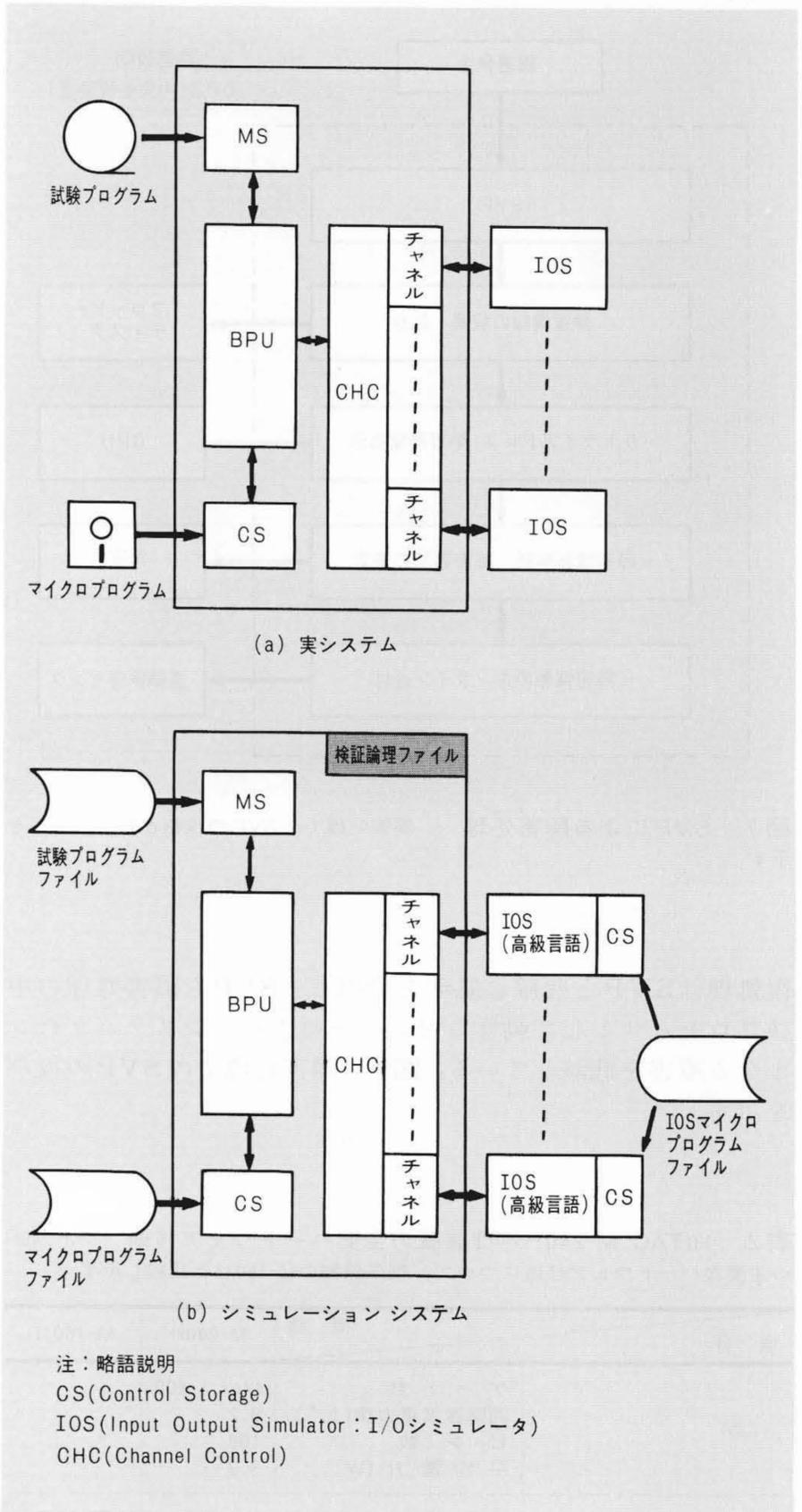


図10 実システムとシミュレーションシステムの構成比較 シミュレーションで使用する試験プログラムは、実システムと同一のものであり、IOSの動作は高級言語で記述している。

ミュレーションの構成図を実システムと比較して示す。

7 結 言

以上述べたように、M-240Hは最新のハードウェア技術と論理方式技術を結集して、高性能、高信頼性、コンパクト化及び優れた価格性能比を追求した汎用処理装置である。

今後、M-240Hシステムがユーザーの期待にこたえるため稼働品質の確保に努めるとともに、引き続きシステムの改善にいっそうの努力を重ねていく考えである。

参考文献

1) 中澤, 外: HITAC M-200H 汎用超高速処理装置, 日立評論, 61, 841~846 (昭54-12)