

HIDIC V90/50処理装置

Process Control Computer HIDIC V90/50

近年、制御用計算機はシステムが大規模化し、より大量の情報を高度のアルゴリズムのもとで高速に処理し、その結果をリアルタイムで制御に使用する、より高度なシステムが要求されつつある。これにこたえる日立新制御用計算機としてHIDIC V90/50を開発した。

H-V90は32ビットマシン構成、機能分散形マルチプロセッサ構成及びシリアルループI/Oバスにより高速高応答性と柔軟性を付加し、5段パイプライン方式により高速命令実行を実現した。これらの構成、性能を高信頼度かつコンパクトに実現するため、サバイバル(生き残り)思想に基づくRAS技術、セラミックモジュールや高効率冷却システムを開発した。

加藤 猛* Takeshi Katô
 森岡隆行* Takayuki Morioka
 山下賢吉* Kenkichi Yamashita
 坂東忠秋** Tadaaki Bandô
 石 一郎*** Ichirô Ishi

1 緒 言

制御用計算機市場は省エネルギー、省力化投資を受けて、急速に成長しつつあり、この間、日立制御用計算機HIDIC 80シリーズは多くのユーザーから助言を得て改良を重ね、既に2,000台に及ぶシステムを納入するに至った。しかし、最近ではシステムが大規模化し、より大量の情報を高度なアルゴリズムのもとで高速に処理し、その結果をリアルタイムで制御に使用する、より高度なシステムへの要求が強まってきた。すなわち、HIDIC 80シリーズを通じて確立してきた制御用としての基本条件である高速応答性、高信頼性、システム構築容易性、拡張性及びシステム維持・増設の容易性をそのまま損なわずに、大量情報の高速処理を実現する必要がある。一方、半導体技術の急足な進歩によりICの集積度は飛躍的に向上しており、大容量主メモリの構成を容易にし、32ビットマシンのパフォーマンス/コストを16ビットマシンに比べ大幅に向上させ、更に、高性能、低価格のマイクロコンピュータの出現は、従来のCPU(中央処理装置)の処理中心思想を変え、I/O(入出力装置)側へ処理を分散していく方向にある。

以上の市場と技術動向を受けて、32ビット日立新制御用計算機HIDIC V90/50(以下、H-V90と略す。)を開発した。H-V90は新アーキテクチャと最新技術の導入により大量情報の高速処理を可能とし、かつHIDIC 80シリーズにより確立した制御用システム条件の継承、発展を図った。

2 H-V90システム開発のねらい

H-V90システム開発に当たり、以下の項目を重点とした。

- (1) 大量情報の処理が可能な32ビットマシン
 制御システムの高度化、精密化に伴い、大量情報の処理が不可欠となってきた。これにかんがみH-V90は32ビットマシンとして、大容量主メモリ実装を可能とし、高速なファイル転送やファイル管理の強化を図る。
- (2) 高応答性、高処理性を実現するマルチプロセッサアーキテクチャ
 複数個のプロセッサで1台のCPUを構成し、各プロセッサの並列動作により高応答性と高処理性を実現する。更に多様なシステムニーズに応ずる多種最適プロセッサの接続を可能とする。

- (3) バーチャルシステムアーキテクチャによるソフトウェア生産効率の向上

制御用計算機システムのニーズが増大するにつれ、システムに不可欠なソフトウェアの生産効率が重要となってきた。そこで、ハードウェアの制約を意識させない技術、すなわちバーチャル(仮想化)を徹底し、ソフトウェア作成を容易にする。

- (4) シリアルループI/Oバスによるシステムコストの低減と柔軟性の向上

各I/Oへマイクロコンピュータを実装し、マイクロコンピュータとCPUとをシリアルループバスで結合し、I/O制御ハードウェアの共通化によるコスト低減、及びマイクロコンピュータの柔軟性により、多種多様なI/Oを容易に接続可能とする。

- (5) マルチコンピュータシステム、ネットワークシステムへの容易な拡張

制御用計算機にとって、マルチコンピュータシステムによる高信頼化、及びネットワーク機能による他システムと結合したシステムトータル化は欠かせない機能であり、既にHIDIC 80シリーズで実績のあるこれら技術を継承し、発展させる。

- (6) 最新の半導体技術と実装技術により小形、高密度実装を実現、及び将来にわたって、最新技術の導入が容易なアーキテクチャ。

具体的にはマルチプロセッサに分割した構成によりLSI化を容易にし、シリアルループバスへの光伝送の導入を図り、将来の大量データ伝送を可能とした。

3 システム構成

図1にH-V90シングルコンピュータシステムの外観を、図2にシステムの構成を示す。

H-V90は機能分散形マルチプロセッサ構成とし、これらプロセッサをシステムバスで主メモリのMCU(メモリコントロールユニット)に結合した。システムバスは各々32ビットのアドレス、データバスにより主メモリと24Mバイト/秒の高速転送能力を与え、かつプロセッサ間の交信を可能とした。各プロセッサは従来のCPUの基本機能を命令実行、ファイル制御、一般入出力制御、RAS(Reliability, Availability, Service-

* 日立製作所大みか工場 ** 日立製作所日立研究所 *** 日立製作所生産技術研究所

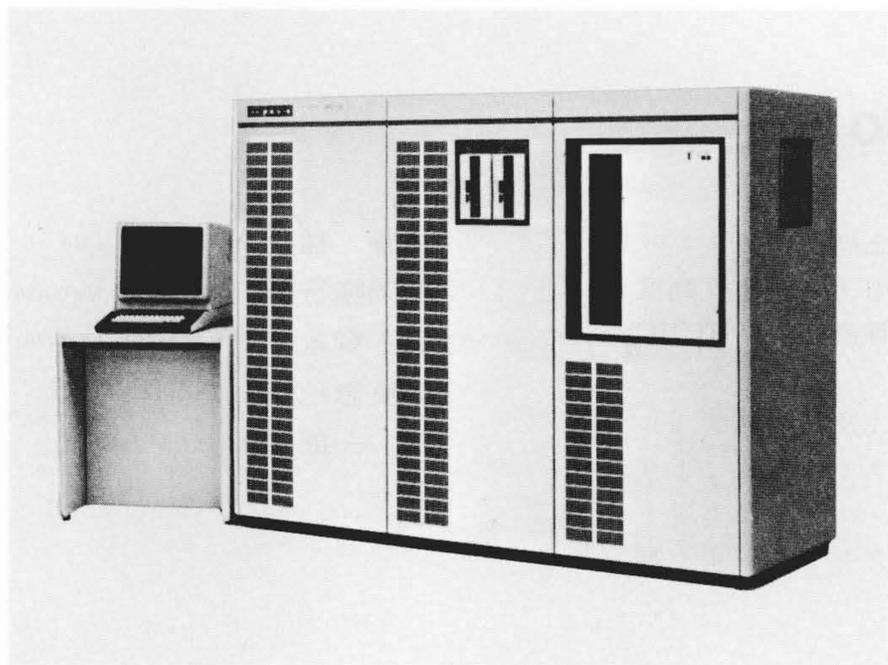


図1 HIDIC V90/50の外観 高さ1,550mmの標準筐体3面の左から処理装置、フロッピーディスク、磁気テープ装置を実装している。

ability)機能サポートに分け、各々、JOBP(Job Processor), FCP (File Control Processor), IOP (Input Output Processor), SVP(Service Processor)に機能分散した。JOBPは32ビット命令体系としOS(Operating System), アプリケーションプログラムを実行する。SVPはH-08Lを核に、フロッピーディスクとコンソールCRT(Cathode Ray Tube)から成り、コンソール入出力や各種RAS機能をサポートする。以上の基本プロセッサ以外に、各種演算プロセッサ(ベクトル

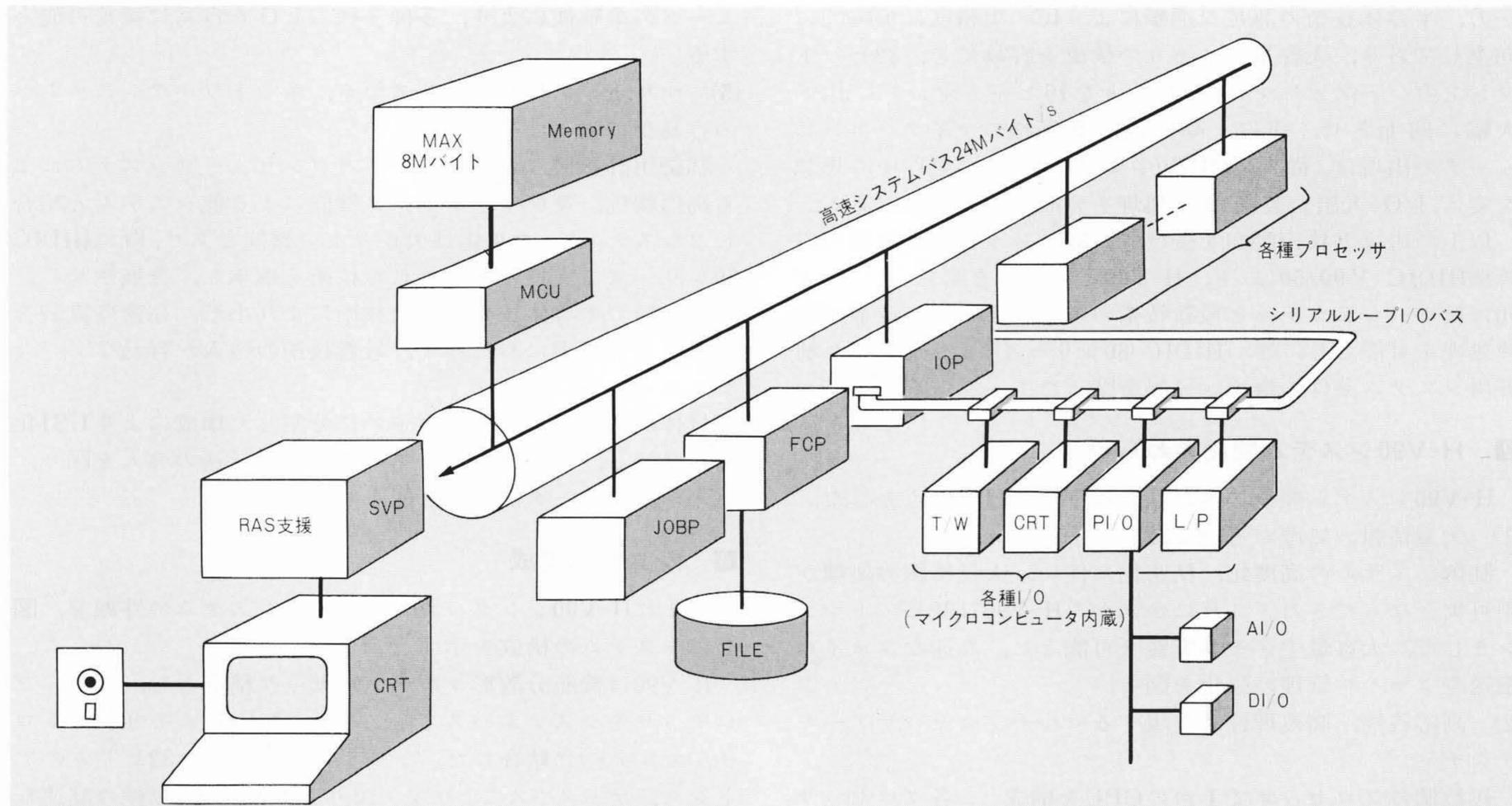
演算, 画像処理, 微積分など)及びフロントエンドプロセッサ群(通信, データウェイ, インタフェース変換など)をシステムバスに接続できる構成とした。このようなマルチプロセッサ構成により, 複数プロセッサの同時処理による処理能力の向上, 多種多様なプロセッサの接続による多様なシステムニーズへの対応を可能とした。

入出力装置群のCPUへの接続は高速転送を要するファイル記憶装置(磁気ディスク, 磁気テープなど)はFCPへ接続し, 低中速I/Oはシリアルループバスを経由してIOPへ接続する。FCP, IOPはCPUに複数台内蔵を可能とし, システムに応じた入出力能力を付加できる。

シリアルループバスは, 入出力情報をビットシリアルに伝送する入出力バスであり, 2対の光又はペア線でI/O機器間とIOPをループ状に結合する。本ループバスによりケーブル及び工事費を低減するとともに, 各I/O機器間をペア線で最大100mまで離すことができるので, 各機器のレイアウト上の制約を大幅に緩和できる。

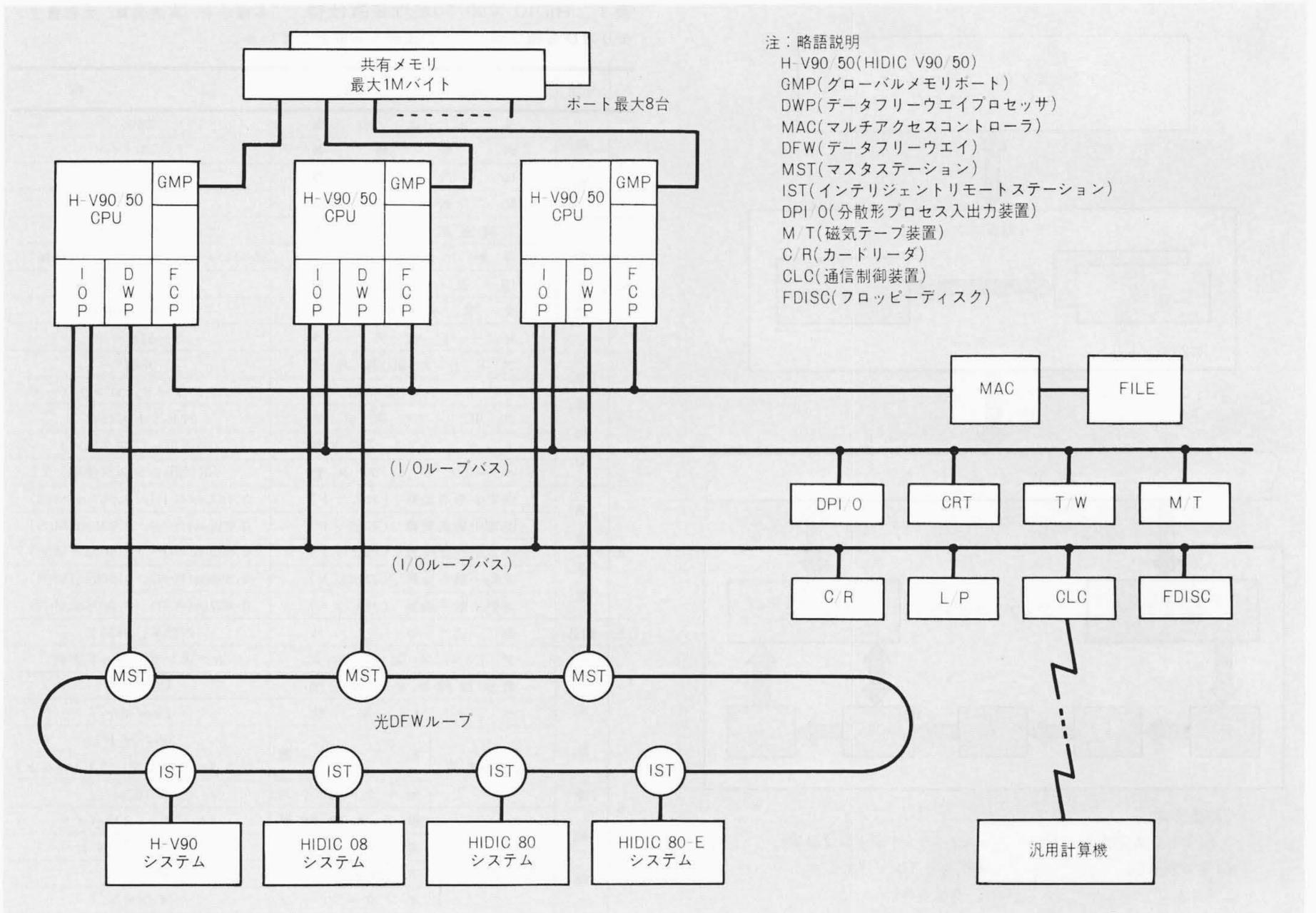
ループバスに接続する各I/Oにはマイクロコンピュータを内蔵し, CPUから見た制御プロトコルやデータコードの統一を図り, ソフトウェアプログラムの負担を減らすとともに, マイクロコンピュータのソフトウェアの変更で多種I/Oを容易にループバスへ接続可能とした。I/O側への制御の分散により, CPUの処理負荷を低減し, I/O制御ハードウェアのシステム筐体への実装不要化により, 筐体面数を約20%減らした。

マルチコンピュータ, ネットワークシステムは従来HIDIC 80シリーズの基本構成を踏襲した。図3にその構成を示す。マルチコンピュータシステムは最大8台のCPU間に二重化さ



注: 略語説明 MCU(メモリ制御ユニット), SVP(サービスプロセッサ), JOBP(ジョブプロセッサ), FCP(ファイル制御プロセッサ), IOP(入出力制御プロセッサ), CRT(ディスプレイ装置), FILE(ファイル装置), T/W(タイプライタ), PI/O(プロセス入出力装置), L/P(ラインプリンタ), AI/O(アナログ入出力モジュール), DI/O(デジタル入出力モジュール), RAS(リライアビリティ, アベイラビリティ, サービスビリティ)

図2 HIDIC V90/50システム構成 システムバスと大容量主メモリを中心に, 複数, 多種プロセッサから成る機能分散マルチプロセッサ構成の処理装置と, シリアルループI/Oバスを特長としている。



注：略語説明
 H-V90/50(HIDIC V90/50)
 GMP(グローバルメモリポート)
 DWP(データフリーウェイプロセッサ)
 MAC(マルチアクセスコントローラ)
 DFW(データフリーウェイ)
 MST(マスタステーション)
 IST(インテリジェントリモートステーション)
 DPI/O(分散形プロセス入出力装置)
 M/T(磁気テープ装置)
 C/R(カードリーダー)
 CLC(通信制御装置)
 FDISC(フロッピーディスク)

図3 HIDIC V90/50マルチコンピュータシステム グローバルメモリと入出力共用I/Oループバスにより、最大8台のマルチコンピュータシステムを構成し、更にデータフリーウェイ、通信制御によりネットワークへ展開が可能である。

れた共有メモリを配し、各CPUは主メモリと同一方法でアクセスできる。共有メモリには各CPU間の受渡しデータ、システム構成情報などを記憶させる。入出力装置の共用は、ファイル装置はマルチアクセスコントローラを内蔵し、CPU間の共有アクセスを可能とし、一般I/Oはシリアルループバス上で共有可能とした。すなわち、同一ループバス上のあるI/OはCPU-Aと、あるI/OはCPU-Bと転送を可能とした。ネットワークシステムへの展開はHIDIC 80シリーズの分散制御の技術^{2),3)}をベースに、構内は光又は同軸のデータウェイ、構外は通信制御装置接続の電話回線や専用回線を接続する。なお、データウェイのプロトコル、インタフェースは従来のHIDIC 80シリーズと同一とし、HIDIC 80シリーズシステムとの接続を容易とした。

4 CPU

4.1 主メモリ制御

図4に主メモリ制御とJOBPの構成を示す。主メモリは64kビットNMOS(NチャネルMetal Oxide Semiconductor)素子により最大8Mバイトまで実装可能とした。大容量主メモリにより従来の主メモリ-高速補助記憶-大容量ディスクの3段階のメモリ構成から高速補助記憶の必要性を減じ、主メモリ↔外部記憶間の転送頻度を減らすことにより、システム能力の著しい改善が期待される。主メモリアクセスは500ナノ秒/8バイト、4ウェイインタリーブによりシステムバス転送速度

24Mバイト/秒と協調を図った。主メモリ制御には仮想記憶制御機構を取り入れた。仮想記憶制御のねらいは、プログラムの設計、改造及び変更を容易にすることにある。仮想記憶制御に2レベルページング方式のアドレス変換機構を用いたが、アドレス変換による処理遅れを防ぐため、このクラスのマシンとしては極めて大きい1,024エントリ×2セットのTLB(アドレス変換バッファ)を設けた。この結果、TLBミスヒットの性能低下は約0.4%と推定され、アドレス変換による処理遅れは無視できる。アドレス変換機構を主メモリ制御部にもつことにより、各プロセッサはすべて論理アドレスで主メモリアクセスでき、個々のプロセッサごとのアドレス変換を不要とした。

4.2 JOBP

4.2.1 命令体系

H-V90命令体系に以下に述べるような特長をもたせた。

- (1) バイト(8ビット)、ワード(16ビット)、ロングワード(32ビット)、ビットストリングのデータが扱える。制御用計算機が扱うデータは工業数値が多く、適用対象システムにより様々なデータ語長を扱う必要がある。
- (2) 高級言語によるプログラム作成がほとんどであるため、高級言語に適した命令群を設けた。
- (3) HIDIC 80シリーズと親和性をもつように互換性サポート命令を付加した。
- (4) アドレスリーチは、将来のより大容量主メモリをサポー

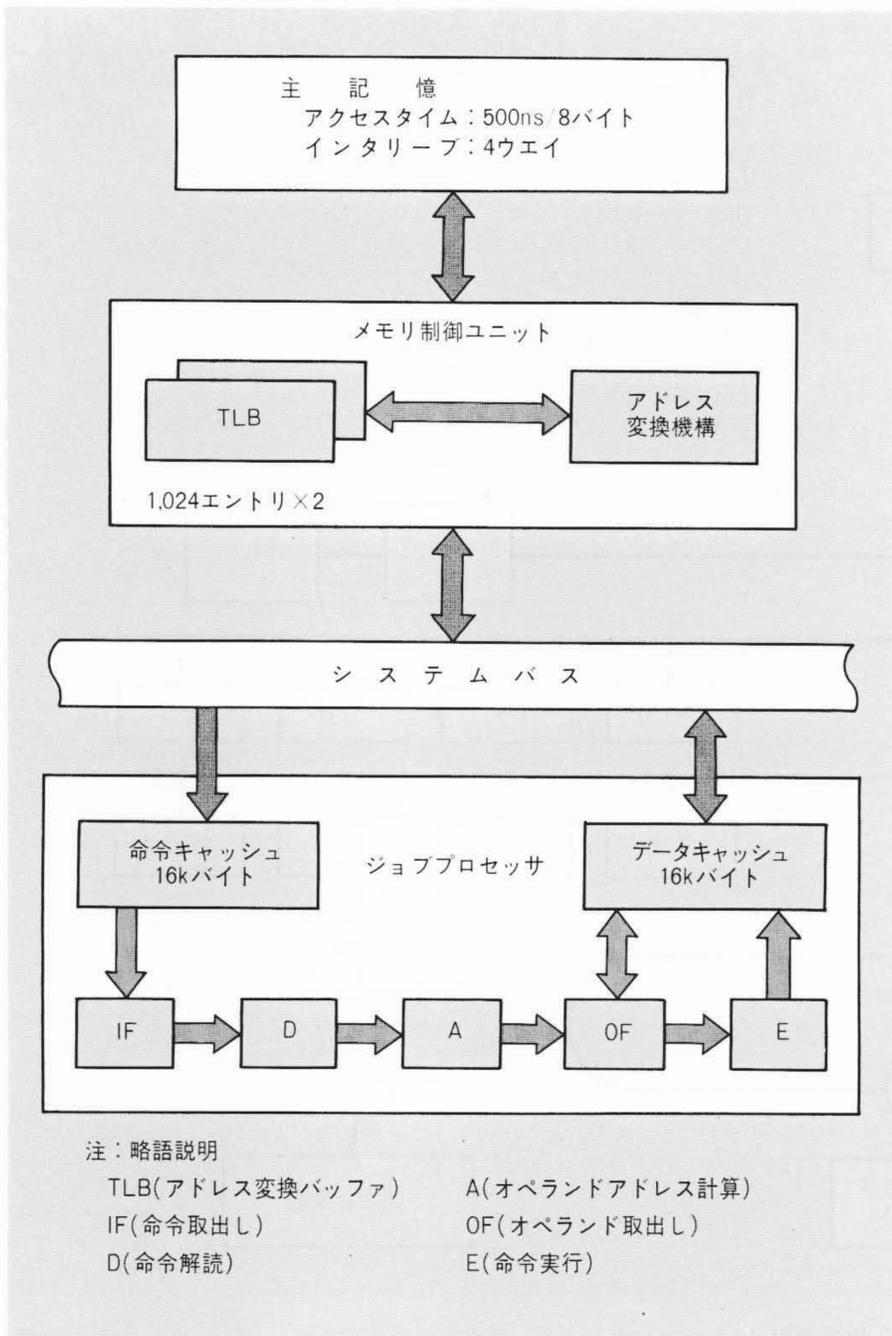


図4 HIDIC V90/50処理装置ハードウェア構成 メモリ制御ユニットに大容量TLBを備え、ジョブプロセッサには5段パイプラインと、命令及びデータキャッシュの分離構造を採用した。

トできるように32ビットとした。

H-V90の命令語数はユーザーの使用可能な基本命令で260個をもち、同一処理に要する命令語ステップ数はHIDIC 80シリーズの約50%に低減した。一方、HIDIC 80シリーズの命令語群は、約90%以上H-V90に自動変換可能な親和性を付加した。

4.2.2 命令語高速実行

主メモリの増大につれ、扱う仕事量は確実に増えるため、高速命令実行は不可欠である。高速化手段としては、高速素子の使用、並列処理などの論理構成の工夫の二つのアプローチがあるが、主としてコスト面から後者の方法とし、高度な並列処理を導入し、加算200ナノ秒以下、平均命令実行2 MIPS (Mega Instruction Per Second: 100万回/秒) 以上を目標とした。この実現のため、図4に示す5段パイプライン構造を導入した。すなわち、1個の命令の実行をIF(命令取出し)、D(命令解読)、A(オペランドアドレス計算)、OF(オペランド取出し)、E(命令実行)の5段階に分け、各々を並列に動作可能とした。更に1個の命令語のもつ複数個のメモリオペランドもオペランド間のパイプライン制御により並列処理した。図5にパイプラインによる並列処理の様子を示す。この結果、各ステージを167ナノ秒で動作させ、加算時間167ナノ秒を実現した。

表1 HIDIC V90/50処理装置仕様 多種命令、高速演算、大容量主メモリ及び各種プロセッサの接続を可能としている。

No.	分類	項目	仕様	
1	命令	基本命令数	260	
		命令語長	1~38バイト	
		10進演算	オプション	
		関数演算	オプション	
2	データ形式	2進固定小数点データ	8/16/32/64ビット	
		浮動小数点データ	32/64ビット(IEEEフォーマット準拠)	
		10進データ	1~16バイト	
		文字列データ	1~256バイト	
		ビット列データ	1~32ビット	
3	演算制御	アドレス計算方式	36種	
		アドレス単位	バイト、ワード、ロングワード	
		汎用レジスタ数	32ビット×16本	
		インデックスレジスタ数	16(汎用レジスタ使用)	
4	演算速度	固定小数点加算(32ビット)	0.167μs(R-R), 0.167μs(M-R)	
		固定小数点乗算(32ビット)	0.835μs(R-R), 0.835μs(M-R)	
		固定小数点乗算(16ビット)	0.500μs(R-R), 0.500μs(M-R)	
		浮動小数点加算(32ビット)	0.500μs(R-R), 0.500μs(M-R)	
		浮動小数点乗算(32ビット)	0.667μs(R-R), 0.667μs(M-R)	
		割込	割込レベル	内部6, 外部2
6	主記憶制御	アドレス変換方式	セグメント・ページ方式	
		最大論理アドレス空間	4Gバイト	
		ページ単位	2kバイト	
		バッファ記憶	容量	32kバイト (命令16kバイト, データ16kバイト)
			サイクルタイム	0.167μs
		主記憶	最大実装容量	4Mバイト/8Mバイト
			実装単位	512k/1Mバイト
			アクセスデータ幅	64ビット
			インターリーブ	4ウェイ
		7	諸機能	IPL
タイマ	標準			
記憶保護	ページ・キー方式			
8	バスシステム	接続プロセッサ数	最大7/最大12	
		転送速度	最大24Mバイト/秒	
9	各種プロセッサ	EFP	関数種類	sin, cos, tan ⁻¹ , EXP, LOG, √, tanh
			演算速度	sin 約8μs
		SVP	接続CRT	1,920字/画面
			接続フロッピー	985kバイト(両面倍密度)
		IOP	接続ループ	最大2
			最大デバイス数	32/ループ
		FCP	転送速度	最大200kバイト/秒
			接続デバイス数	最大8

注：略語説明 IEEE(米国電気電子学会)
IPL(イニシャルプログラムローダ)
EFP(エレメンタリ ファンクション プロセッサ)

しかし、パイプラインをスムーズに動作させるためには、パイプラインへのデータ供給が重要となる。パイプラインが必要とするデータは命令語とオペランドデータであり、これらの競合を避けるため命令語用とオペランド用のデータ供給口を別々に設けた。更に、システムバスとパイプラインの協調を図るため、各供給口にキャッシュメモリを設けた(図4参照)。本方式は、このクラスのマシンでは他に例を見ない特長である。キャッシュメモリ容量も、命令用、データ用各々に16kバイトと大容量をもつことにより、シミュレーションの結果、命令1kステップ走行で累積キャッシュヒット率90%以上

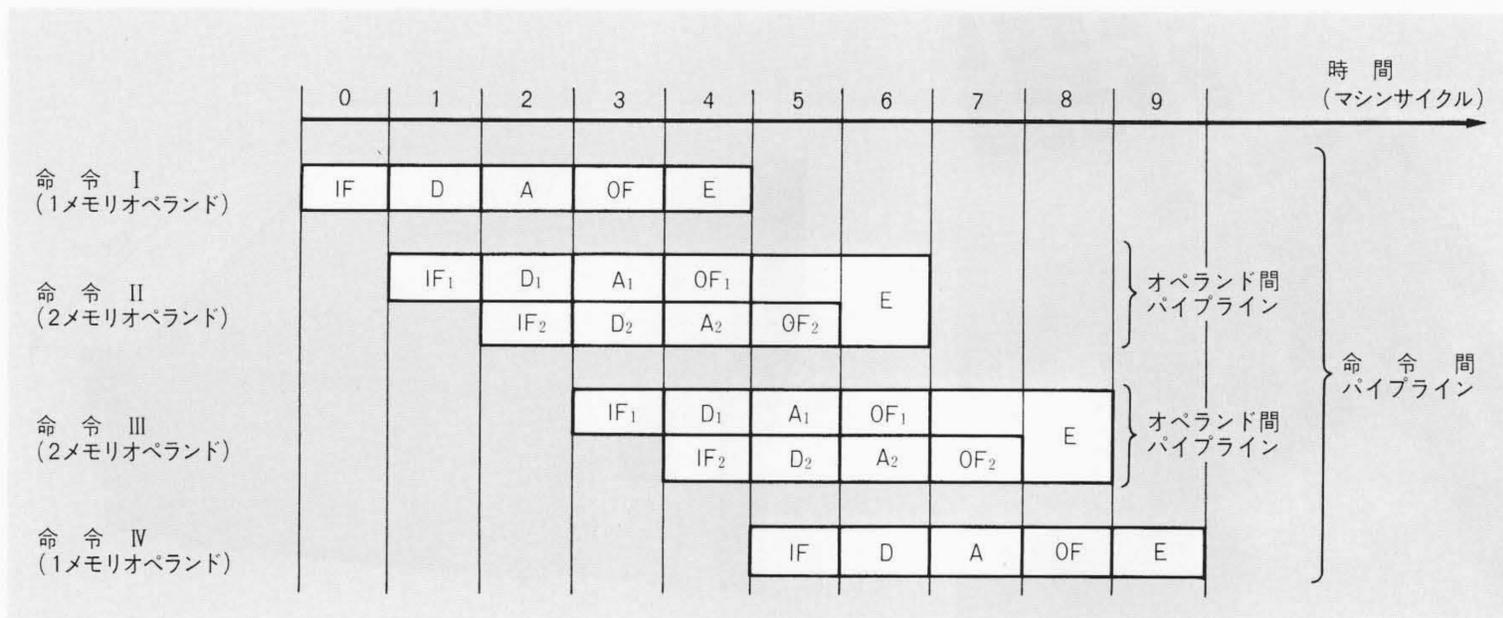


図5 HIDIC V90/50処理装置のパイプライン制御 命令及びオペランド間のパイプラインによる並列動作の様子を示す。

が得られた。演算系には高速LSIを導入し、在来機と同規模のハード量で固定、浮動小数点演算性能の大幅向上を図り、目標性能を実現した。

表1に演算性能を含むCPUの仕様を示す。

5 高信頼化技術

制御用計算機はオンラインリアルタイム制御に使用するため、高信頼性は極めて重要である。最近の在来機の故障例をみると、スクリーニング技術の進歩により故障総件数は大幅に減少しているが、間欠故障の比率は増大している。

そこで、H-V90ではたとえ間欠故障が発生しても、システムにとって故障とさせない、すなわちシステムは最後まで生き残るよう頑張るSurvivability(サバイバビリティ)機能に力を注いだ(図6参照)。具体的には、故障に対し可能な限りの再試行を行ない、それでも救えない場合は、システムの部分的切離しを行なう。再試行を安全かつ確実に行なうためには、故障を波及させない局所化が重要であり、必要かつ十分な箇所に故障検出機能を配した。この結果、Availability(稼働率)のよりいっそうの向上が期待できる。

永久故障に対しては故障時の収集情報をもとに、速やかな原因究明と復旧が重要である。H-V90では制御用として初めてSVPを導入し、故障時の自動情報収集や各種保守支援機能を付加したので、故障から復旧までの大幅な時間短縮が期待できる。

高信頼化を実現するためには各機器レベルでの高信頼化と同時に、システム構成上の高信頼化も重要である。H-V90で

は、1台のCPUが故障してもシステムが停止しないマルチコンピュータ構成を可能としている。マルチコンピュータ構成では共通部の信頼性が重要であり、複数CPUが共有するグローバルメモリの二重化、共有I/Oを制御するシリアルループバスの二重化を図り、片方が故障しても機能が停止しないように配慮した。更に、1台のCPUの故障が他の系に波及しない系間アイソレーションを強化する各種チェック機構を付加した。

以上の機器、システムレベルからの高信頼化施策により、制御用として、在来機以上に高信頼度なシステムの実現が期待できる。

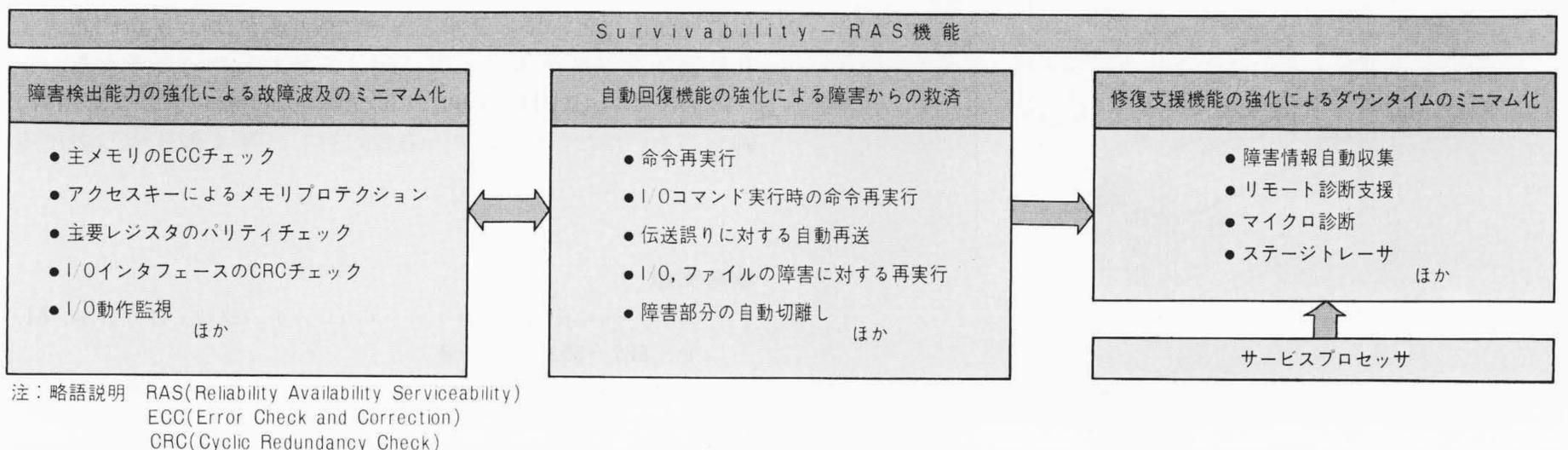
6 高密度実装技術

H-V90は素子、プラグイン、筐体実装、電源の各階層で高密度化を図った結果、実装容積は従来16ビットマシンと同等レベルに抑えられた。

6.1 素子技術

素子レベルでは、高速回路にLS-T²L400ゲート、中速回路にCMOS(Complementary MOS)1,600ゲートのセミカスタムLSIを導入するとともに、各プロセッサのコントロールメモリやデータバッファメモリに、セラミックメモリモジュールを開発した。

このメモリモジュールは、50.8mm角のセラミック基板の両面に4kビットCMOSメモリICを合計36個搭載して、従来のDIP(Dual Inline Package)タイプICに比べ4倍の実装密度を得た。図7にメモリモジュールの外観を示す。



注：略語説明 RAS(Reliability Availability Serviceability)
ECC(Error Check and Correction)
CRC(Cyclic Redundancy Check)

図6 HIDIC V90システムのRAS機能 システムダウンのミニマム化を目指すRAS機能(Survivability-RAS機能)の強化を図った。

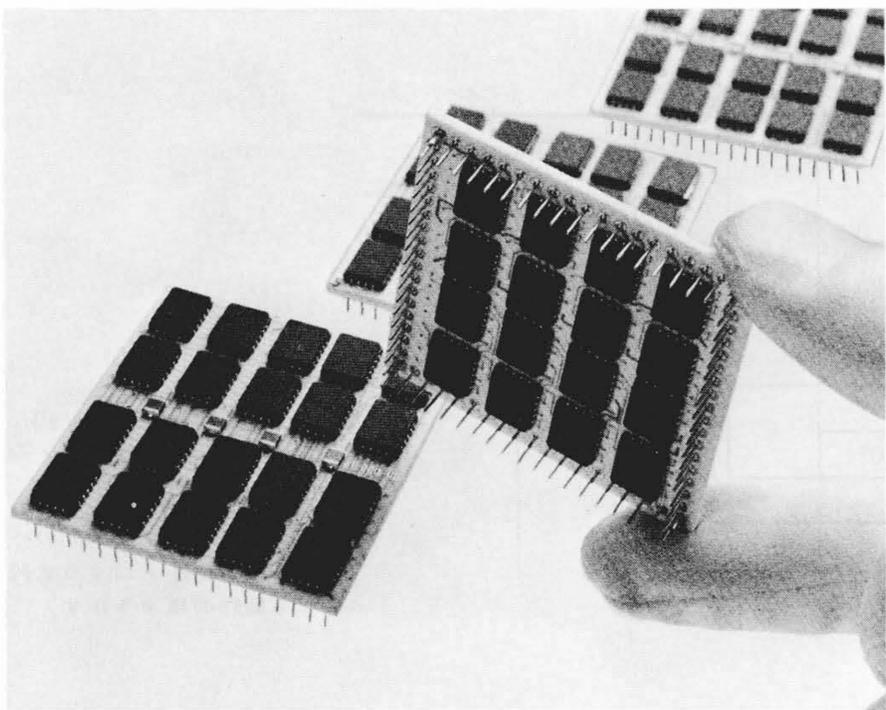


図7 メモリモジュールの外観 50.8mm角のモジュール基板の両面を使って、合計36個のCMOS RAM(Random Access Memory)チップキャリアを搭載している。

6.2 筐体実装

筐体実装決定に当たって、次に述べるような目標を掲げた。

(1) 高密度、高発熱に対し良好な冷却が得られること。

HIDIC 80シリーズに比較して、H-V90は2倍以上の発熱密度であり、良好な冷却構造を得ることは装置信頼度上極めて重要である。

(2) 同一筐体内に各種各様の装置が混在実装されても、相互に冷却の干渉がないこと。

(3) 筐体からの騒音、特に冷却用ファンの騒音を56dB/筐体以下に抑えること。

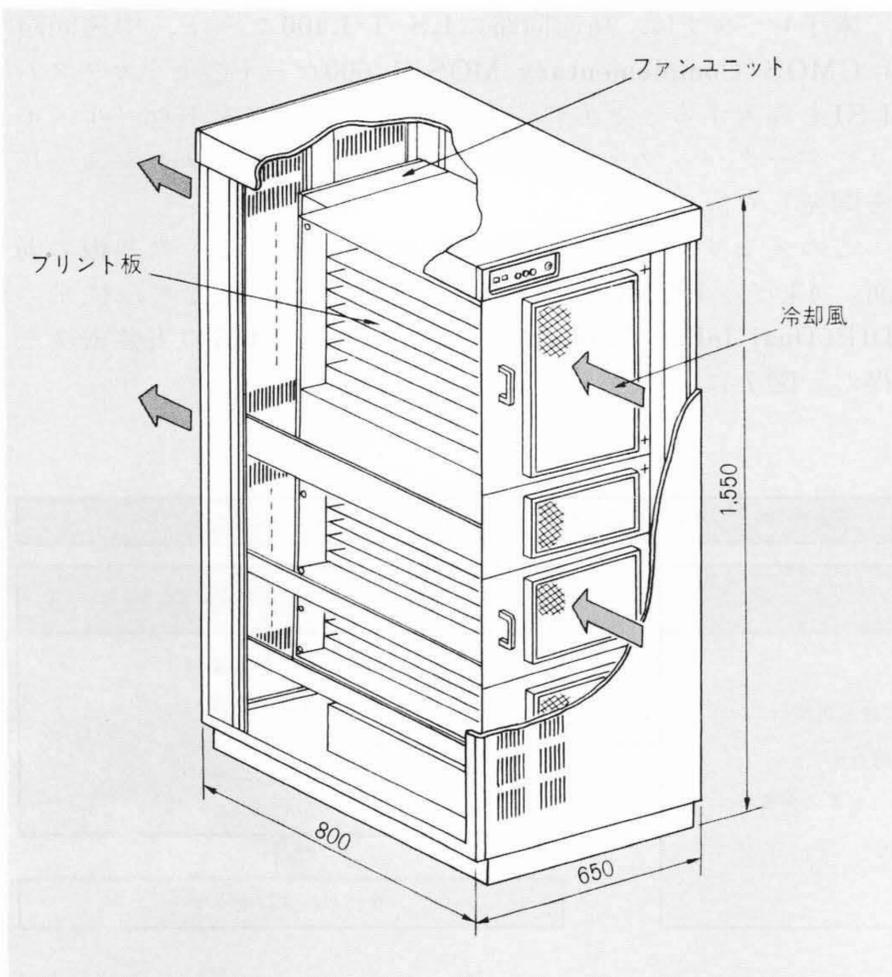


図8 HIDIC V90/50処理装置の筐体構造 冷却風は、前面吸気、後面排気として流路長を最短とした。

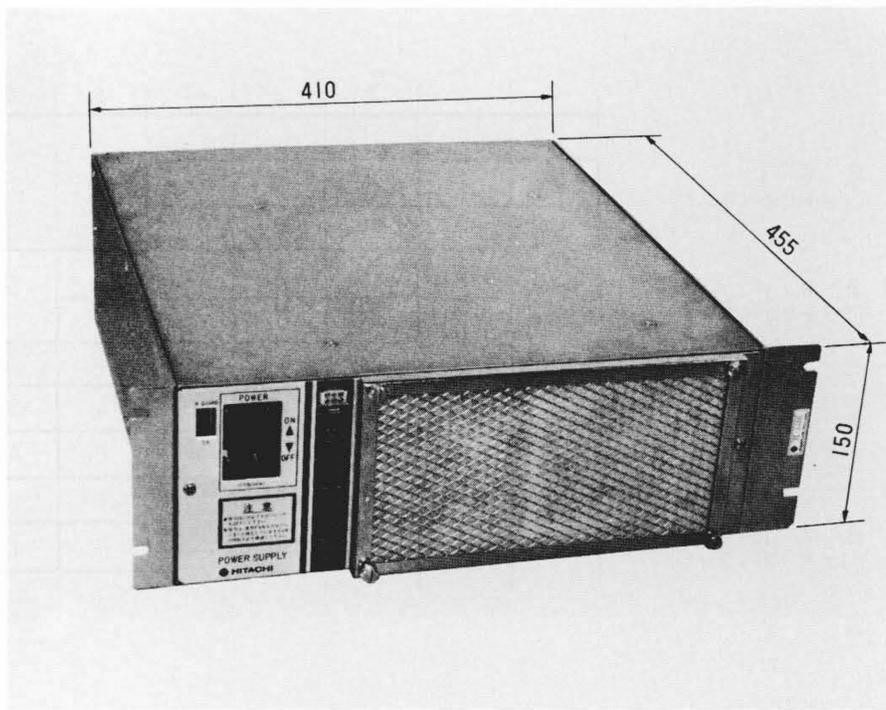


図9 電源装置 従来電源の約1/2の小形化を図った。

以上の目標に対し、各種冷却方式と構造検討を行なった結果、経済性に優れた冷却ファンの強制空冷方式とし、冷却流路長が短く、かつ実装各装置間の干渉がない特長をもつ構造とした(図8参照)。すなわち、前面から吸気し、各装置ごとにもつ冷却ファンにより筐体後面に排気する方式である。

騒音に対しては、ファンメーカーの協力により、必要風量を得られる最も低騒音のファンを開発し導入した。この結果、発熱密度の上昇にもかかわらず、従来以下の低騒音と低温度上昇が得られた。

6.3 電源装置

処理装置に電力を供給する直流電源装置として、5V、400Aの大容量電源装置を開発した。

この電源装置はスイッチング方式であり、従来HIDIC電源の約1/2の小形化を図るとともに、故障解析機能と10分間のバッテリーバックアップ電源装置(5V、60A)とのコンビネーション運転機能を装備した。

図9に電源装置の外観を示す。

7 結 言

HIDIC 80シリーズの多数の納入実績と、その間の数多くのユーザーの指導を基に、32ビットマシンの新アーキテクチャをもつ日立新制御用計算機HIDIC V90/50を開発した。今後とも、制御用計算機への期待と役割はますます大きくなると思われ、HIDIC V90/50をHIDIC V90シリーズの中核マシンとして、よりレパートリーの充実を図るとともに、半導体技術の急速な進歩と市場の要求を迅速に取り入れ、より高性能、より経済的なシステムの実現に向けて努力したいと考える。

終わりに、HIDIC V90/50開発に当たり種々有益な御指導、御助言をいただいたユーザー各位に対し、厚く御礼申しあげる。

参考文献

- 1) 井手, 外: HIDIC 80シリーズのシステム構成, 日立評論, 61, 8, 587~592 (昭54-8)
- 2) 平井, 外: 制御用分散処理システム, 情報処理, 20, 4, 346~349 (昭54-4)
- 3) 平井, 外: 制御用計算機における分散処理ネットワーク技術の動向, 日立評論, 60, 7, 447~482 (昭53-7)