

CMOS8ビットシングルチップ マイクロコンピュータ系列

CMOS 8bit Single Chip Microcomputer Family

ポータブル機器への応用のため、8ビットマイクロコンピュータのCMOS化が各社で推進されている。日立製作所でも、8ビットマイクロコンピュータのCMOS化を計画し、今回、ハイエンド8ビットシングルチップマイクロコンピュータHD6301Vを開発した。ここでは、その機能、採用した技術、応用などについて述べる。

HD6301Vでは、CMOS 3 μ m技術、マイクロプログラム制御、パイプライン制御なども採用し、最少命令実行時間0.5 μ s(2MHz動作時)、消費電力30mW(1MHz動作時)を実現した。これにより、高速かつ複雑なデータ処理が必要なパーソナルコンピュータなどのマイクロコンピュータ応用機器の電池駆動化、ポータブル化を可能とした。

馬場志朗* *Shirô Baba*
木原利昌* *Toshimasa Kihara*
前島英雄** *Hideo Maejima*
中村英夫*** *Hideo Nakamura*

1 緒 言

電池駆動のポータブル機器に、マイクロコンピュータを応用する場合には、消費電力の面でCMOS(Complementary Metal Oxide Semiconductor)タイプのものでなければならない。従来、この種の応用には、CMOSタイプの4ビットシングルチップマイクロコンピュータが使われていた。しかし、近年ポータブル機器の分野でも、CPU(中央処理装置)の高機能化が要求されるようになり、8ビットシングルチップマイクロコンピュータのCMOS化が各社で活発に推進されている。日立製作所でも、周辺LSIを含めた8ビットマイクロコンピュータファミリのCMOS化を進めている。その第一段階として、ハイエンド8ビットシングルチップCMOSマイクロコンピュータHD6301Vの開発を完了し、引き続きHD6301系ファミリマイクロコンピュータの開発、及びローエンド8ビットシングルチップCMOSマイクロコンピュータHD6305系の開発を進めている。

ここで、HD6301Vは、最先端のプロセス技術(CMOS 3 μ 技術)、システム技術(マイクロプログラム制御、パイプライン制御)を使用して設計されている。ここでは、HD6301Vの特長と、その実現のために使用された技術について述べる。

2 HD6301Vの特長

HD6301Vのブロック図を図1に、主な仕様を表1に示す^{1),2)}。HD6301Vは、基本的には、現在量産中のNMOS(NチャネルMOS)のHD6801SをCMOS化したものであり、HD6801のもつ機能をすべて含んだ上に、更に幾つかの改良がなされている。すなわち、ワンチップ上にCPU、4kバイトROM(Read Only Memory)、128バイトRAM(Random Access Memory)、SCI(Serial Communication Interface)、16ビットタイマ及び四つのI/Oポート(入出力端子)を含んでいる。また、モード切換えにより、HMCS6800ファミリとコンパチブルなデータバス、アドレスバスを出力することができ、外部にメモリやI/Oポートを増設することができる。なお、SCIは、調歩同期式の全二重通信が行なえるようになっており、これを使えば、テレタイプなどの端末機器との接続や、他のCPUとの通信が容易に行なえる。またタイマは、16ビット長であり、パ

ルスの発生、入力パルスのパルス幅、周期の測定、インタバルタイマの3種の用途に使える機能をもっている。

HD6301Vでは、以上述べたHD6801のもつ特長に加え、次の点が改良されている。まず、命令セットには、ビット操作命令(ビットのセット、クリア、反転、テスト)、Exchange命令(アキュムレータとインデックスレジスタのデータ交換)及びスリープ命令が追加されている。このうち、ビット操作命令は、I/O端子やRAMの内容を1ビットごとに操作できるものであり、シングルチップマイクロコンピュータのように、I/O端子やRAMの使用効率を上げる必要のあるものでは、特に便利な命令である。

また、各命令の実行サイクル数は、HD6801に比べ同等か又はそれ以下に改良されている。例えば、最少命令実行サイクル数は2サイクルから1サイクルに、乗算命令は10サイクルから7サイクルに短縮されている。更に、動作周波数(Eクロック周波数)が1MHzから2MHzまで向上されたこととあいまって、最少命令実行時間0.5 μ sの高速動作が可能である。

最近、電氣的な外部環境が悪い所にマイクロコンピュータが使われるようになり、システムのノイズによる誤動作の防止が重要となってきている。これに対し、HD6301Vではエラー処理機能の強化を図っている。すなわち、使用不可のメモリ領域から命令をフェッチした場合や、未定義のオペレーションコードをフェッチした場合に、最優先の内部割込み(トラップ割込み)を発生する機能をもっている。この機能は、システムのノイズによる暴走の防止に役立つばかりでなく、デバッグの効率向上にも役立つ。

また、HD6301Vは、CMOSであるため、NMOSのHD6801に比べて消費電力は約 $\frac{1}{10}$ の30mW($f = 1$ MHz, Typical値)と低消費電力であるが、この特長を更に生かすため、二つの低消費電力モードが追加されている。一つはスリープモードと呼ばれ、5mW、もう一つはスタンバイモードであり、10 μ W(いずれもTypical値)を実現している。

また、HD6801の場合、外部メモリをアクセスするモードで64kバイト空間をアクセスする場合には、アドレスバスの下位8本とデータバス8本の端子がマルチプレクスして出力さ

* 日立製作所武蔵工場 ** 日立製作所日立研究所 *** 日立製作所中央研究所

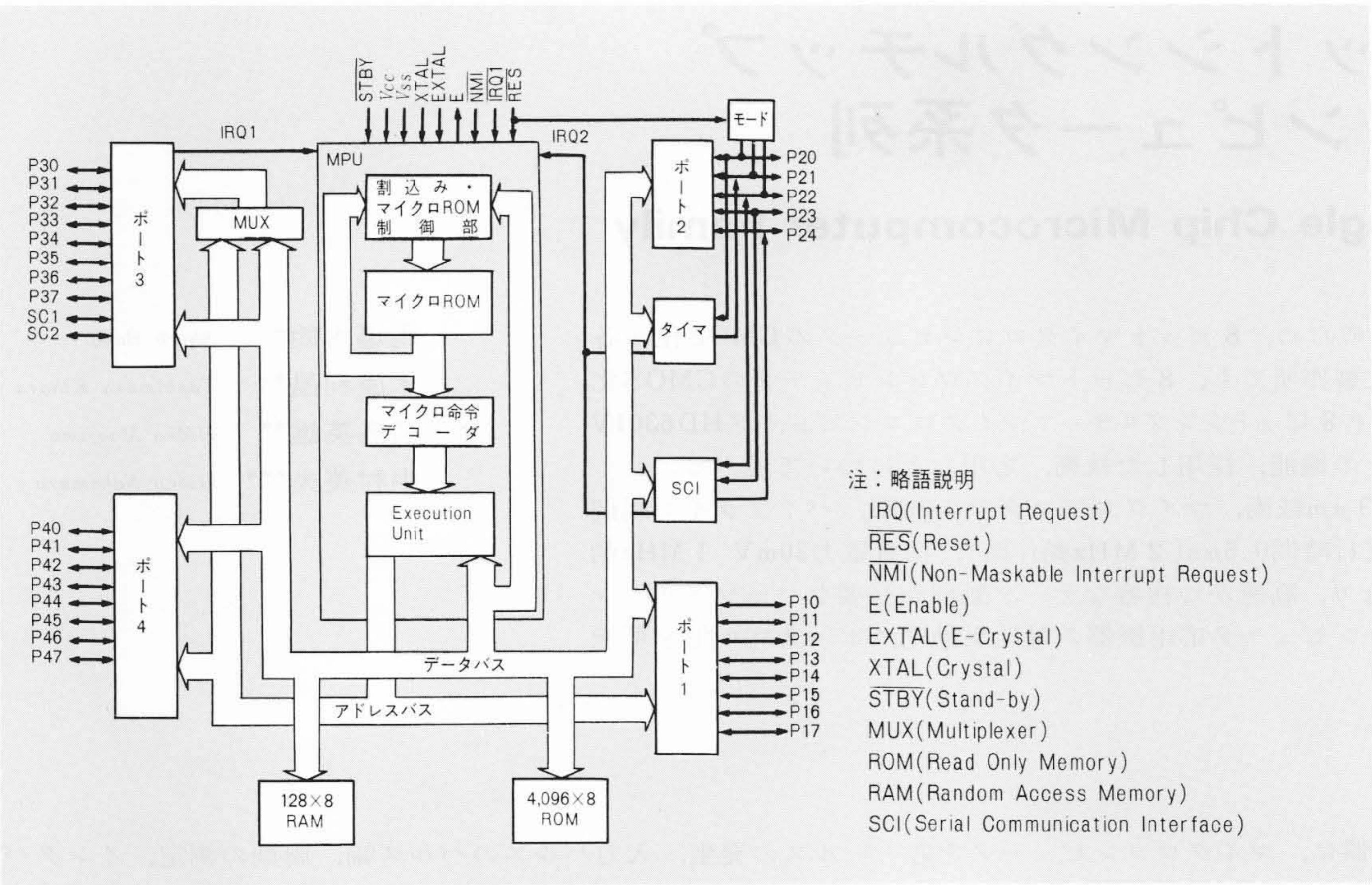


図1 HD6301Vブロック
ダイアグラム HD6301V
は、MPU、RAM、ROM、ポ
ート1~4タイマ、SCIの各ブ
ロックがデータバス、アドレ
スバスで接続されて全体が構
成されている。

表1 HD6301Vの仕様 HD6301Vは、NMOS版のHD6801のもつ機能をす
べて含んだ上に、更に機能改良がなされている。

項 目	仕 様
命 令 体 系	●HD6801ファミリの拡張セット ●ビット操作・テスト命令、チェンジ命令、スリープ命令
内 蔵 メ モ リ	●内蔵ROM4kバイト ●内蔵RAM 128バイト
シ ス テ ム 拡 張 性	●多機能16ビットタイマ (HD6801ファミリと同等機能) ●調歩同期形シリアル通信回路 (HD6801ファミリと同等機能)
内 蔵 機 能	●シングルチップモード ●非多重拡張モード (最大64kバイト) ●多重拡張モード (最大64kバイト)
I/O ポ ー ト 数	●29 I/O共通ポート
エ ラ ー 処 理	●アドレストラップ、オペレーションコードトラップ
動 作 速 度	●最小命令実行サイクル数 1 ●周波数0.1MHz~1.0MHz (HD6301V) 0.1MHz~1.5MHz (HD63A01V) 0.1MHz~2.0MHz (HD63B01V)
消 費 電 力 (Typical値 f=1MHz, Vcc=5V)	●動作モード 30mW ●スリープモード 5mW ●スタンバイモード 10μW

れる仕様となっており、外部にアドレスのためのラッチが必要であった。これに対しHD6301Vでは、新しく、アドレスバスとデータバスをマルチプレクスしないで出力するモード (モード1) が作られており、用途に応じて外部回路の簡略化 (アドレスラッチの省略) が可能となっている。

3 HD6301Vで採用した技術

3.1 マイクロプログラム制御

HD6301Vは、CPU部にマイクロプログラム制御を採用している³⁾。マイクロプログラム制御を採用した理由は次に述べる通りである。

(1) 汎用性

マイクロプログラム制御によれば、命令の追加、変更、又は命令体系の変更などに対して、マイクロプログラムの変更で対応でき、ハードウェアの変更を最小限に抑えることができる。これは、例えばHD6305系のように命令体系の異なるマイクロコンピュータCPUの開発に際し、短期間で対応できることを意味しており、メリットが大きい。

(2) 回路設計の容易性

すべての命令が、マイクロROM→マイクロ命令デコーダ→Execution Unitの繰返しで実行されるので、回路の動作スピードを決めているクリティカルパスの特定化がやりやすく、CPUの動作スピードの設計が容易となる。これは、CPUを高速化する際、重要である。

(3) チップサイズの最適化

CMOSはNMOSに比べて、単位ゲート当たりの素子数が多い (2NORで1.3倍、3NORで1.5倍)。また、NMOSとPMOS (PチャネルMOS) は、いずれか一方をウェル内に形成しなければならないので、その分離のために、単位ゲート当たりのチップ面積が更に大きくなる。したがって、CMOS LSIの場合、論理設計に当たり、できるだけ単チャネルMOSを使用した論理 [例えば、PLA (Programmable Logic Array) の多用] とする必要がある。この点からも、大部分の論理がマイクロROMとなるマイクロプログラム方式が有利である。

(4) レイアウト設計の容易性

LSIの回路図を実際のチップ上のパターンに変換するレイアウト設計の段階でも、ROMやPLAなど正則パターンの繰返しで設計できる規則的構造を、できるだけ多用したほうが設計期間も短く、設計ミスも少なくなる。HD6301Vでは、マイクロプログラム方式の採用により、CPU部の62%を規則的論理構造とすることができた。

以上述べた理由により、HD6301Vでは、CPU部にマイクロプログラム方式を採用した。図2にマイクロ命令のフォーマットの一例を示す。また、図3に一つの命令がマイクロ命令によって実現される様子をフローで示す。命令のフェッチ、

データのリードは、内部の演算処理(この場合は、プログラムカウンタのアップデート)と並列で処理される。プログラムカウンタのアップデートとデータの演算はいずれも同一のALU (Arithmetic Logic Unit)を使用して行なわれるため、それぞれ別のマイクロステップで実行される。またマイクロ命令の種類としては、1バイトデータの演算命令、2バイトデータの演算命令、コンディションコードの制御命令などがある。

HD6301Vでは、計334ワード(1ワードは32ビット)のマイクロプログラムによって全命令セットを実現している。

3.2 機能ブロック別レイアウト

図4にHD6301Vのチップ写真を示す。本写真から分かるように、CPU、ROM、タイマなどの各機能ブロックは、ほぼ長方形にレイアウトされ、チップ上に配置されている。この

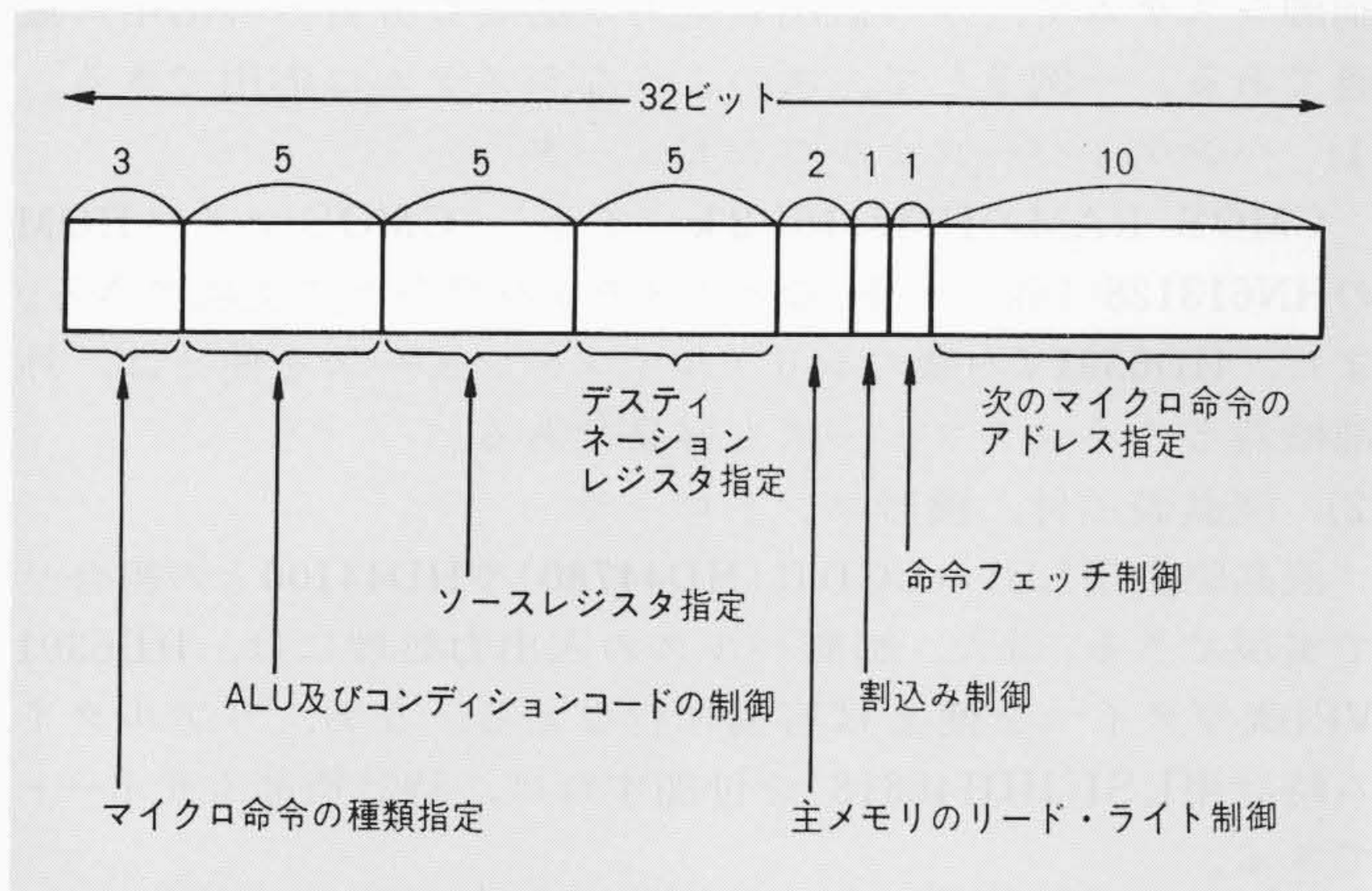


図2 マイクロ命令のフォーマット 1マイクロ命令は、32ビットで構成されている。

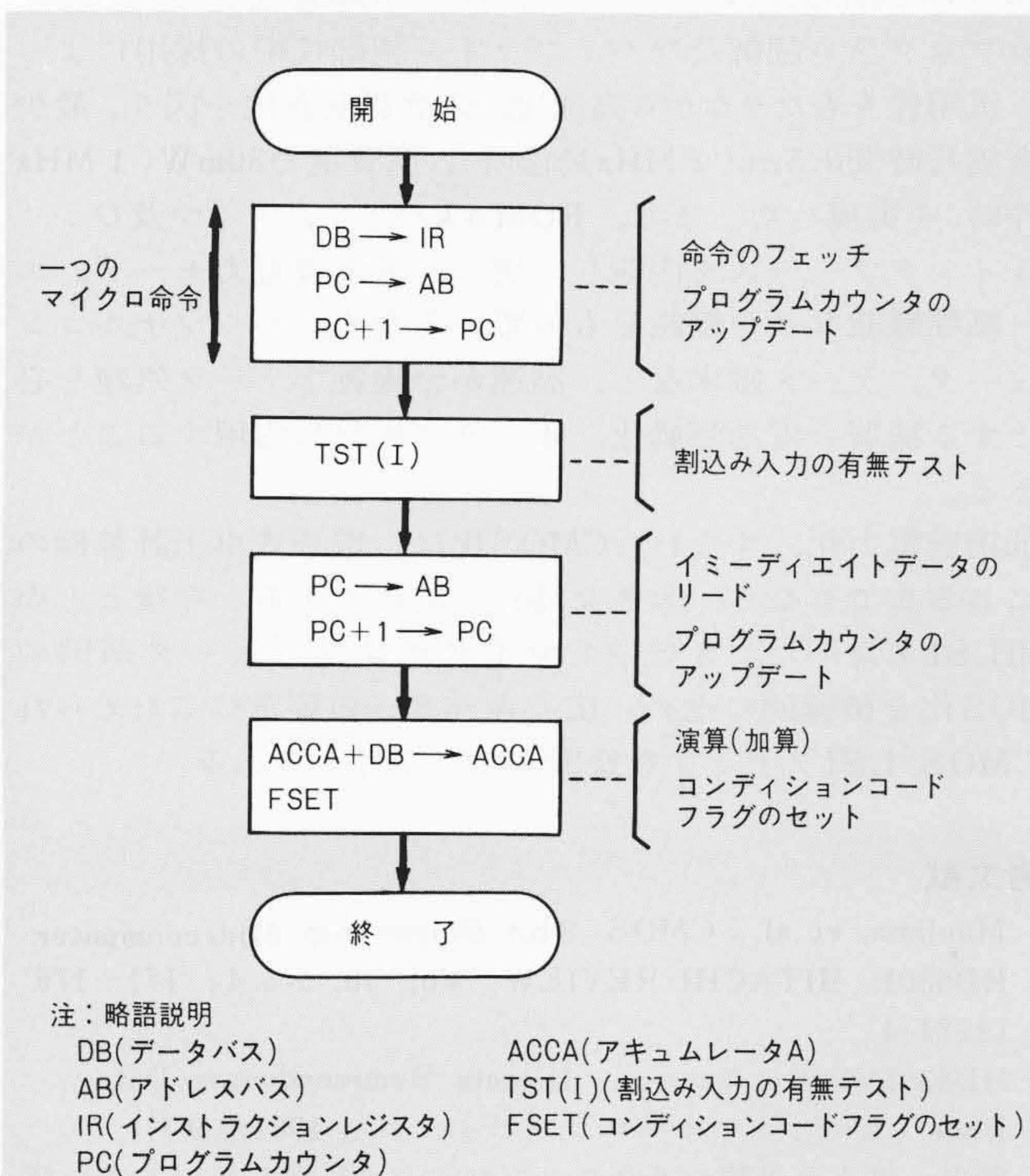


図3 マイクロプログラムによる命令の実現例 ADDA 1mm(アキュムレータとイミディエイトデータの加算命令)が、4ステップのマイクロプログラムによって実現される様子を示す。

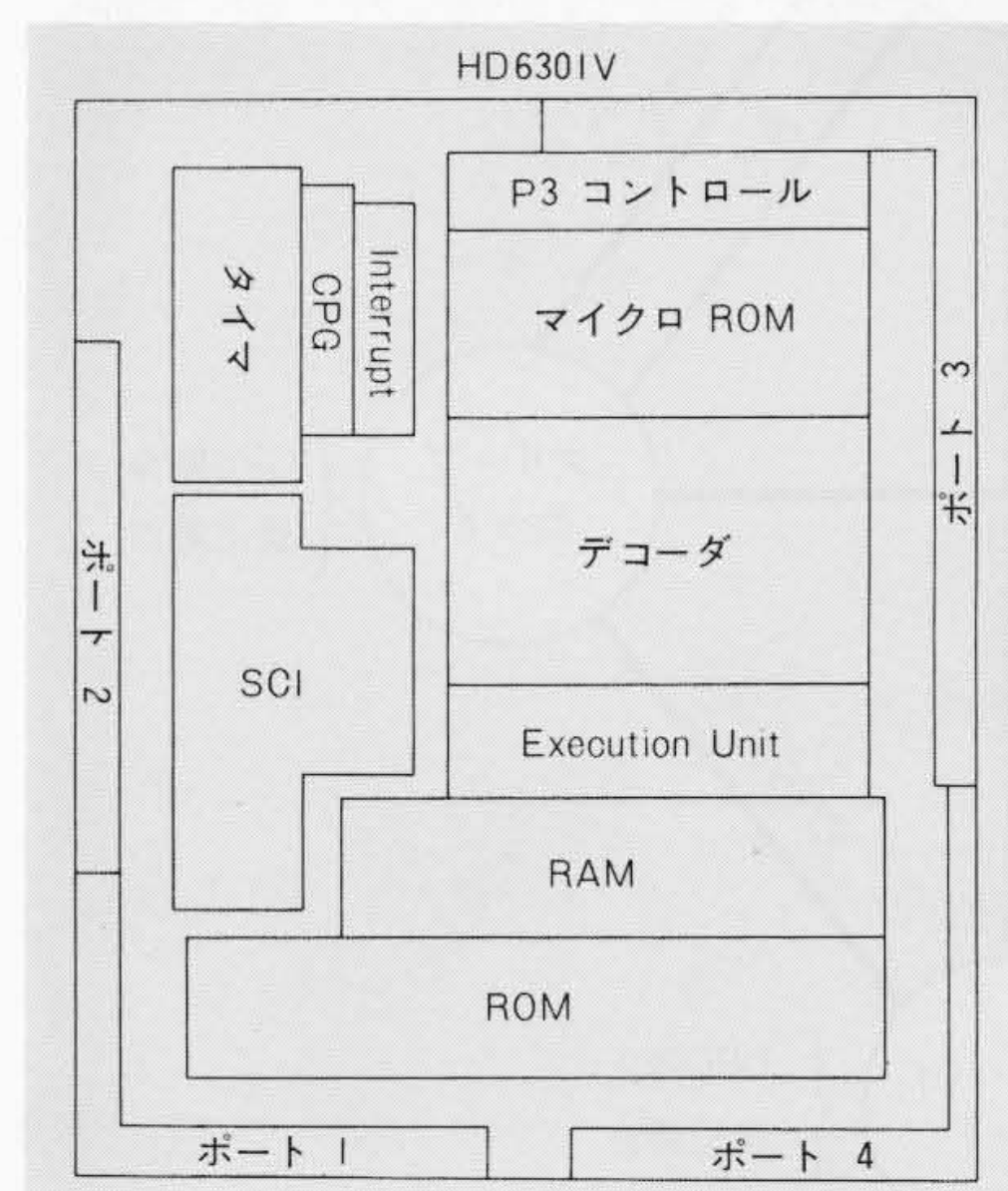
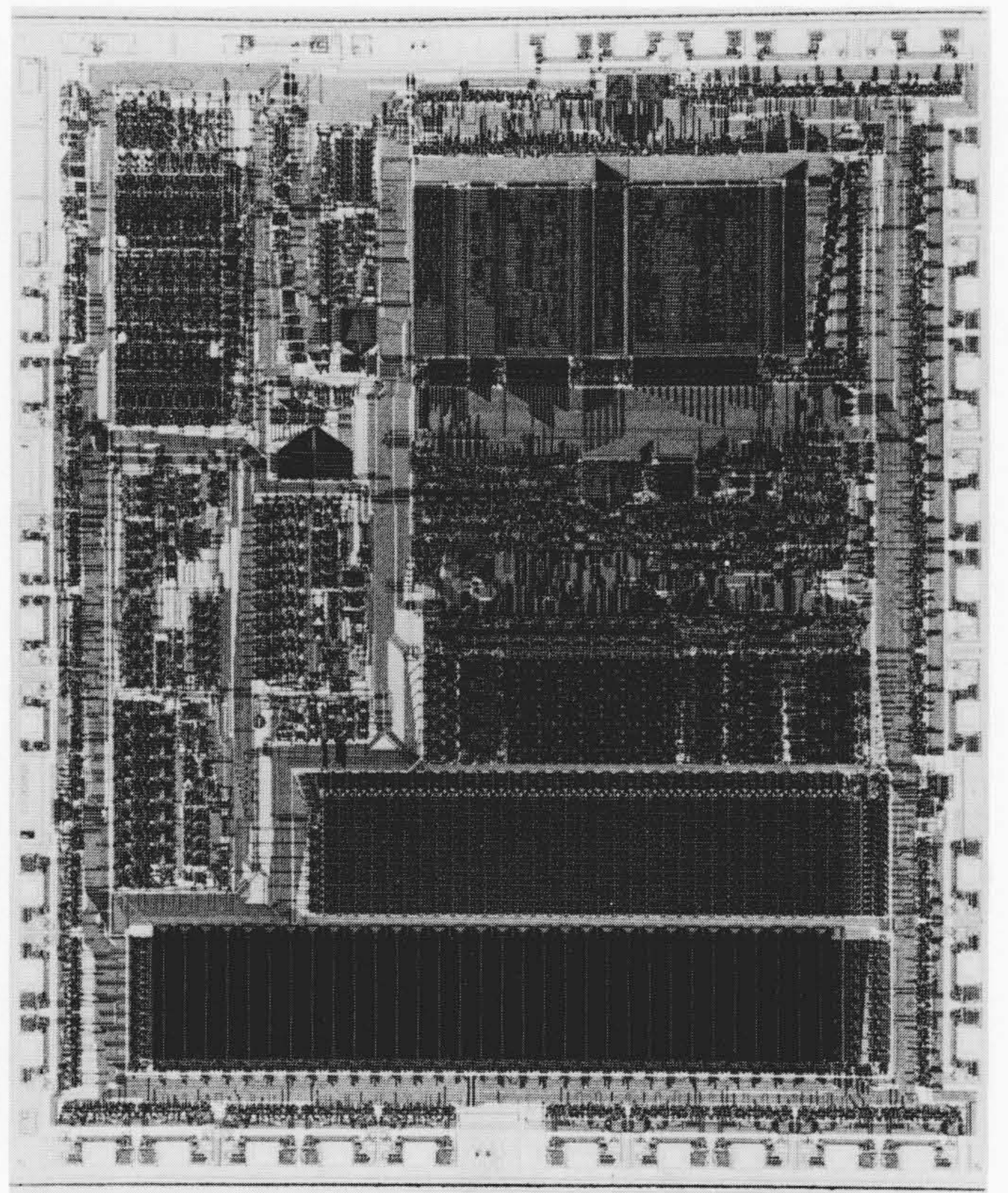


図4 HD6301Vチップ写真 CPU、RAM、ROM、タイマなどの機能ブロックは、それぞれほぼ長方形のブロックでチップ上に配列されている(チップサイズ=6.82×7.98 mm)。

ように、機能ブロック単位でレイアウトされていることにより、必要な機能ブロックを集めてビルディングブロック方式で各種のLSIを作ることができ、市場のニーズへの対応が容易となる。

3.3 パイプライン制御

HD6301Vでは、高速動作実現のため、マイクロ命令の実行レベル及び通常の命令の実行レベルの2レベルでそれぞれパイプライン制御を行なっている。図5にマイクロ命令レベルでのパイプライン制御の例を示す。1マイクロ命令の実行は、実際には3マイクロサイクルかかるが、パイプライン制御により、これを実効的に1マイクロサイクルに短縮している。これらの技術により、最少命令実行時間、 $0.5\mu s$ ($f = 2\text{ MHz}$ 時)の高速動作が可能となった。

3.4 低消費電力モード

HD6301Vの動作時消費電力は、30mWと少ないが、CMOSの特長を更に生かすため、スリープモードとスタンバイモードという二つの低消費電力モードが設けられている。これらのモードは、いずれも動作時には電力を消費するが、静止し

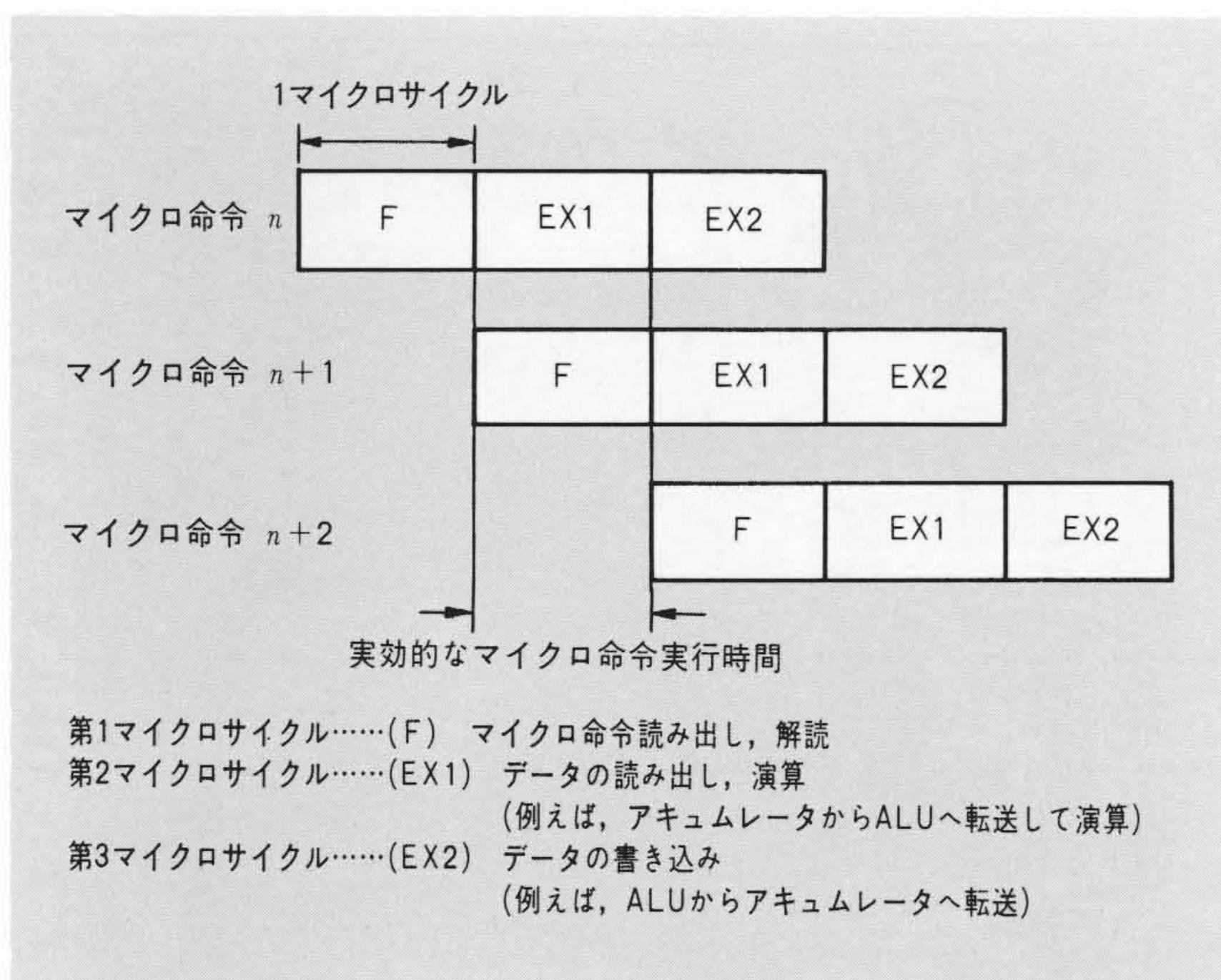


図5 マイクロ命令のパイプライン制御 マイクロ命令の実行は、実際には3マイクロサイクルかかるが、パイプライン制御により実効的に1マイクロサイクルで実行される。

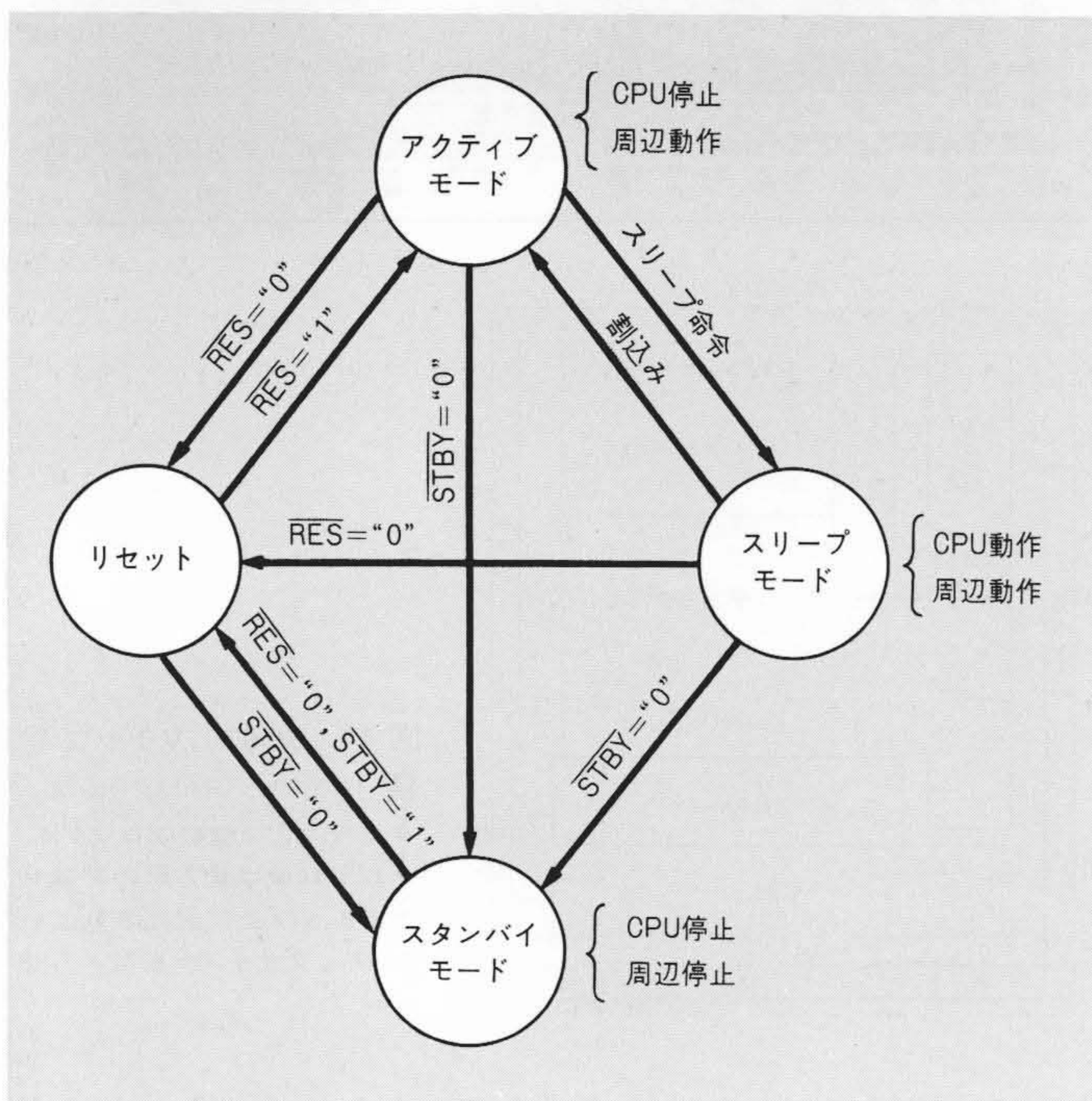


図6 HD6301Vモード遷移図 アクティブモード(動作モード), スリープモード, スタンバイモード及びリセットの各モード間の遷移を示す。

た状態では電力消費が極めて少なくなるというCMOSの特長を利用している。すなわち、スリープモードではスリープ命令の実行により、CPUへのクロック供給が停止され、CPUの動作が停止するが、タイマやSCI部、割込制御部へはクロックはそのまま供給され動作を続ける。これにより、消費電力はチップ全体が動作している場合の約 $\frac{1}{6}$ の5 mWに低減される。一方、スタンバイモードでは、クロック発振が停止され、全LSIの動作が停止しRAMのデータだけが保持された状態となる。このモードの解除は、リセットスタートにより行なう。これらの各種モード間の遷移図を図6に示す。

4 今後の製品展開

以上、HD6301Vについて詳細に説明したが、HD6301Vに

引き続き、8ビットマイクロコンピュータのCMOS化を進める予定である。まず、3.2項で説明したビルディングブロック方式を利用して、HD6301系ファミリLSIの開発を行なう(I/O本数、タイマを強化したHD6301Xなど)。また、3.1項に述べたマイクロプログラムの変更により、ローエンドシングルチップマイクロコンピュータHD6305などの開発を行なう。一方、周辺用LSIについては、PIA(Peripheral Interface Adapter)(HD6321)、ACIA(Asynchronous Communication Interface Adapter)(HD6350)、PTM(Programmable Timer Module)(HD6340)などのCMOS化を行ない、CMOSメモリと合わせて、オールCMOSのシステムを構成できるようにする予定である。

5 HD6301Vの応用

HD6301Vは、高速、高精度のデータ処理を必要とする計算制御システムで、かつ低消費電力が必要な分野への応用に最適である。一例として、次のようなシステムに応用できる。

(1) ハンディパーソナルコンピュータ

CMOS RAMのHM6116(2kバイト), CMOS マスクROMのHN613128(16kバイト)などのメモリの組合せで実現できる。また, HD6301V内蔵のシリアルインタフェースを使えば, 外部機器とのインタフェースも容易である。

(2) 液晶表示付，機器コントローラ

液晶駆動用LSIのLCDⅡ(HD44780)やHD44100との組合せで実現できる。また、制御パルスの入出力処理には、HD6301 V内蔵のタイマを使えば容易に行なえる。なお、リアルタイム時計用LSI(HD146818)を付加すれば、時計機能もサポートできる。

6 結 言

以上、CMOS 8ビットシングルチップマイクロコンピュータについてHD6301Vを中心に述べた。CMOS 3 μ 技術、マイクロプログラム制御及びパイプライン制御技術の採用によって、汎用性をもたせながら高速化、低消費電力化を図り、最少命令実行時間0.5 μ s(2MHz動作時)、消費電力30mW(1MHz動作時)を実現した。また、ROM 4kバイト、タイマ及びシリアルインタフェースを内蔵し、更に、低消費電力モード、エラー処理機能などの機能をもっているため、パーソナルコンピュータ、データ端末など、高速かつ複雑なデータ処理を必要とする機器の電池駆動化、ポータブル化に応用することができる。

低消費電力化，すなわちCMOS化は，電子式卓上計算機の例にみるまでもなく，大きな時代の流れである。今後とも周辺用LSIを含めた，8ビットマイクロコンピュータ系例のCMOS化を積極的に進め，広くユーザーの要求にこたえられるCMOS LSIファミリを整備していく考えである。

参考文献

- 1) Maejima, et al. : CMOS 8 bit Single-chip Microcomputer HD6301, HITACHI REVIEW, Vol. 30, No.4, 171~176 (1981-4)
- 2) HD6301VOデータシート, Hitachi Semiconductor Data Book (8ビットマイクロコンピュータ), 1981年9月
- 3) 前島, 外: 高集積マイクロコンピュータに適したマイクロプログラム制御方式, 情報処理学会論文誌, Vol. 23, No.1, 16~24 (昭57-1)
- 4) 中村, 外: CMOS PLAの面積効率の検討, 電子通信学会全国大会予稿集, No.340 (昭56)