

磁気バブルメモリ

Magnetic Bubble Memory

磁気バブルメモリ(以下、バブルメモリと略す。)は、電子交換機や数値制御機械装置用メモリとして実用化され、1 Mビット素子の出現とともに応用分野を拡大しつつある。

パーマロイ方式バブルメモリ素子は、16 kビットシリアルループ方式から1 Mビットメジャートラック マイナーループ方式へと発展し、また、バブル径を7 μm から2 μm へと微小化することによって高集積化が実現した。更に、イオン打込み方式によるバブル径0.5 μm の16Mビット素子の実用化も間近い。

バブルメモリ素子をサポートする周辺回路技術については、コントローラのLSI化、バブル駆動回路やセンス増幅器のIC化が行なわれ、これによってバブルメモリの小形化、低消費電力化及び高速化が可能となった。

本論文では、バブルメモリの現状と将来技術について述べる。

吉本庄治* Shôji Yoshimoto
杉田 愼** Yutaka Sugita
大庭幸治* Kôji Ôniwa
廣島 實* Minoru Hiroshima

1 緒 言

磁気バブルメモリ(以下、バブルメモリと略す。)は、不揮発性、高信頼性、低消費電力、小形・軽量などの特長を生かして、電子交換機^{1),2)}、数値制御機械、産業用ロボットなどに実用化されており、1 Mビット素子の出現によって開花期を迎え、市場での地位を確立しつつある。

バブル素子の集積度は、16 kビット、64 kビットを経て³⁾ 1 Mビットへと進み、更には4~16Mビット素子の出現も間近になっている。一方、バブル素子をサポートする制御回路をLSI化し、バブル素子内の冗長ループの制御回路を内蔵しシステム設計を容易にした。現在、新技術による高集積大容量素子の開発とともに、周辺回路のIC化、LSI化と進め、新アーキテクチャを開発している。これによって、高機能化、低消費電力化、小形化などバブルメモリシステムの性能を大幅に向上し、応用分野の拡大を目指している。ここでは、バブルメモリの現状と将来展望について述べる。

2 バブルメモリの発展

バブルメモリは、1967年の誕生⁴⁾から15年目を迎えた。図1にバブルメモリ容量の年次推移を示す。ほぼ2倍/年の勢いで高密度化し、半導体メモリに比べて約16倍の高集積度を保ちながら大容量化してきた。これに伴い、磁気バブルの直径は、16 kビット素子の7 μm に始まり、1 Mビット素子の2 μm 、そして16Mビット素子の0.5 μm へと微小化しつつある。プロセス技術は、2 μm バブルでノンプレーナプロセスからPIQ(Polyimide Isoindroquinoxaline-dione)プレーナプロセス⁵⁾に変わり、バブル転送技術も4 Mビット素子からパーマロイに代わってイオン打込み転送路⁶⁾を導入し16Mビット素子に発展しようとしている。

3 バブルメモリ素子とバブルデバイス

3.1 バブルメモリ素子

表1は現在日立製作所で量産しているバブルメモリ素子の特性を、図2はその回路構成を示す。電子交換機用バブルメモリ素子は、以下に述べるアクセス法の特殊性から64 kビッ

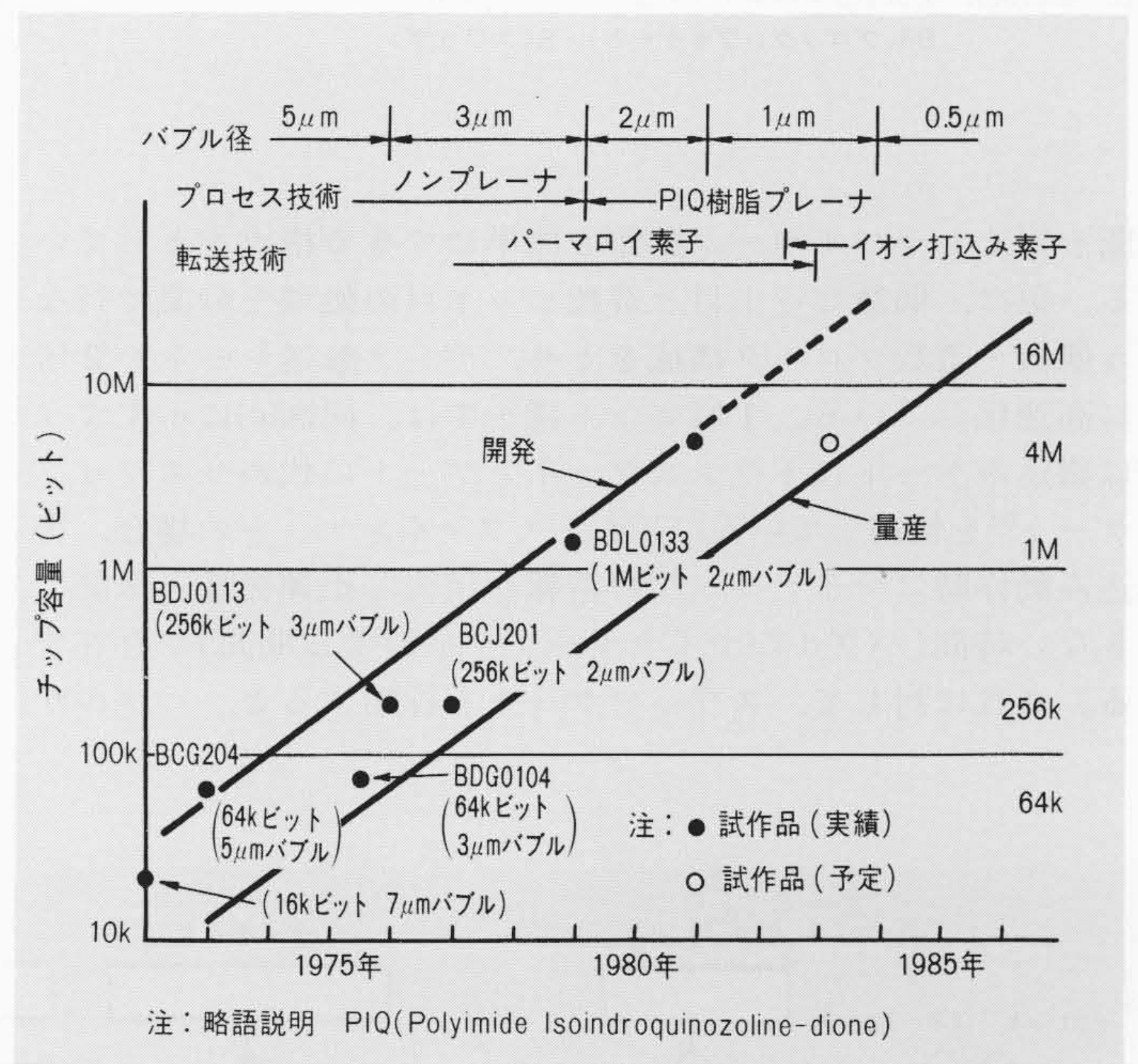


図1 日立バブル素子の推移 1976年の64kビット素子の量産に始まり、現在1Mビット素子の量産を行なっている。この間、2倍/年の推移で高密度化している。

トと256 kビットの2種類⁷⁾、汎用バブルメモリ素子は64 kビット、256 kビット及び1 Mビットの3種類で合計5種類を量産している。電子交換機用バブル素子の回路構成は、共に同図(a)に示したメジャーマイナーループ構成をとり、1 ページ内の1部分だけを書き換える動作が通常のページ単位の読出し動作、書込み動作と同様に簡単にできる構成となっている。これに対して、汎用バブル素子の場合、同図(b), (c)に示すように、マイナーループの上下に読出しラインと書込みラインを別々に設けた2メジャーライン方式をとり、読出しライン側にブロックレプリケートゲート⁸⁾を使用し、メモリの読出し時

* 日立製作所茂原工場 ** 日立製作所中央研究所 理学博士

表1 日立バブルメモリ素子及びデバイス 現在日立製作所で5種類のバブル素子を量産している。電子交換機用に64kビットと256kビットの2種類のチップ、汎用に64kビット、256kビット、1Mビットの3種類のデバイスを作っている。

	電子交換機用メモリチップ		汎用メモリデバイス		
型名	BCG204	BCJ201	BDG104	BDJ0113	BDL0133
容量(ビット)	64k	256k	64k	256k	1M
バブル径(μm)	4.7	1.9	2.7	2.7	1.9
セル寸法(μm)	20×20	10×8	12×12	12×12	9×6.8
マイナーループ数	132	268	138	280	576
マイナーループ長(ビット)	535	1,070	567	1,135	2,335
チップ回路構成	メジャー ループ Tin/Tout	メジャー ループ Tin/Tout	2×ジャー ライン 偶奇ブロック BR/Tin	2×ジャー ライン 偶奇ブロック BR/Tin	2×ジャー ライン 偶奇ブロック BR/S
予備ループ数	4	12	8	22	60
周波数(kHz)	100	200	100	100	100
製造プロセス	ノンプレーナ	PIQプレーナ	ノンプレーナ	ノンプレーナ	PIQプレーナ
ピン数	—	—	20	20	24

注：略語説明 Tin(トランスファイン), Tout(トランスファアウト), BR(ブロックレプリケート), S(スワップ)

間を短くしマルチページ動作も簡単にできる構成をとっている。更に、偶数ビット目と奇数ビット目の処理を分業で行なう偶数・奇数ブロック構成をとり、データ転送レートを2倍に高速化している。1Mビット素子では、同図(c)に示すように書き込みゲートにトランスファインゲートに代わりスワップゲート⁹⁾を使用している。トランスファインゲートの場合、書き込み動作時にマイナーループの情報が消失し不揮発性を保証できない時間(バブルがマイナーループを半周する期間)が存在する。これに対して、スワップゲートを採用すると、バブルが

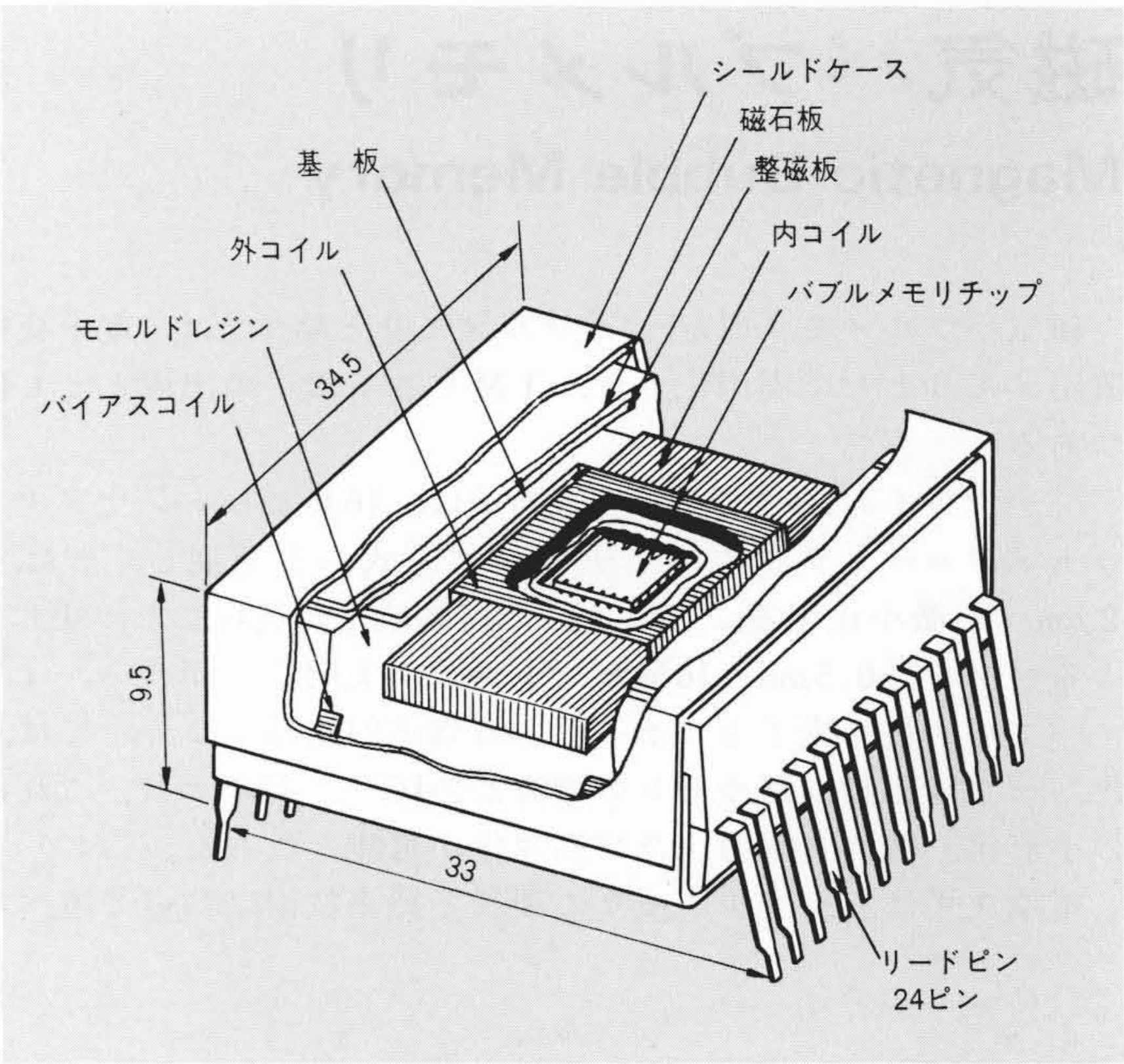


図3 1Mビットデバイス構造図 レジンでトランスファモールドしたDIP形構造で、標準プリント基板に実装可能である。バイアスコイルを内蔵しており、特性試験が容易である。

1 ビット転送する間に新旧情報を入替え、書き込みが可能になりこの問題を解消できる。

3.2 バブルデバイス

バブルデバイスはDIP形パッケージを採用しており、その外観及び構造略図を図3に示す。バブルデバイスは、バブル素子(チップと呼ぶ)の情報不揮発性を確保する互いに平行な一対の永久磁石、バブルを転送させる互いに直交した一対の回転磁界発生用コイル、プリント配線基板及び外部からの電磁界雑音の影響を防止するシールドケースから構成されて

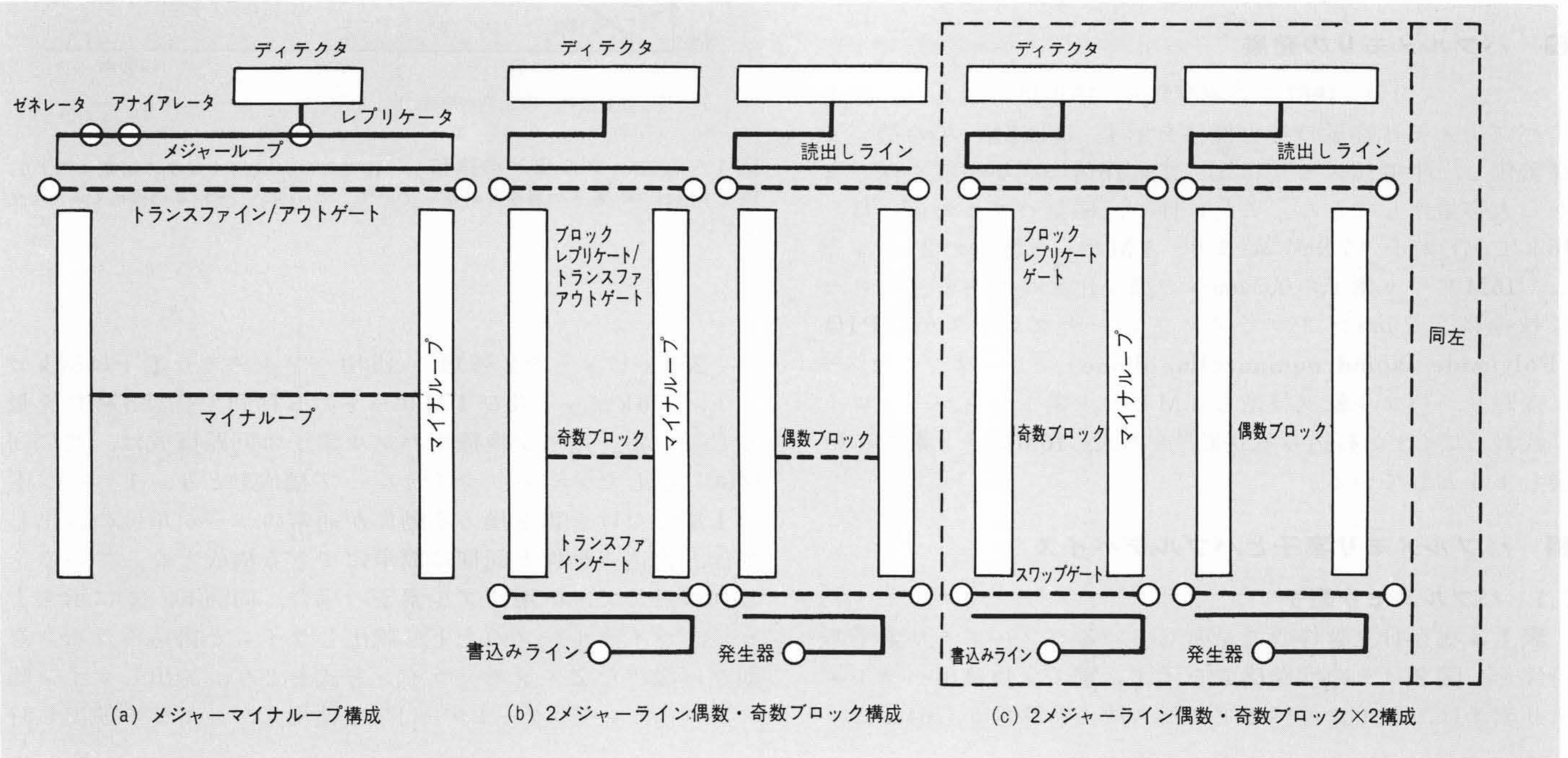
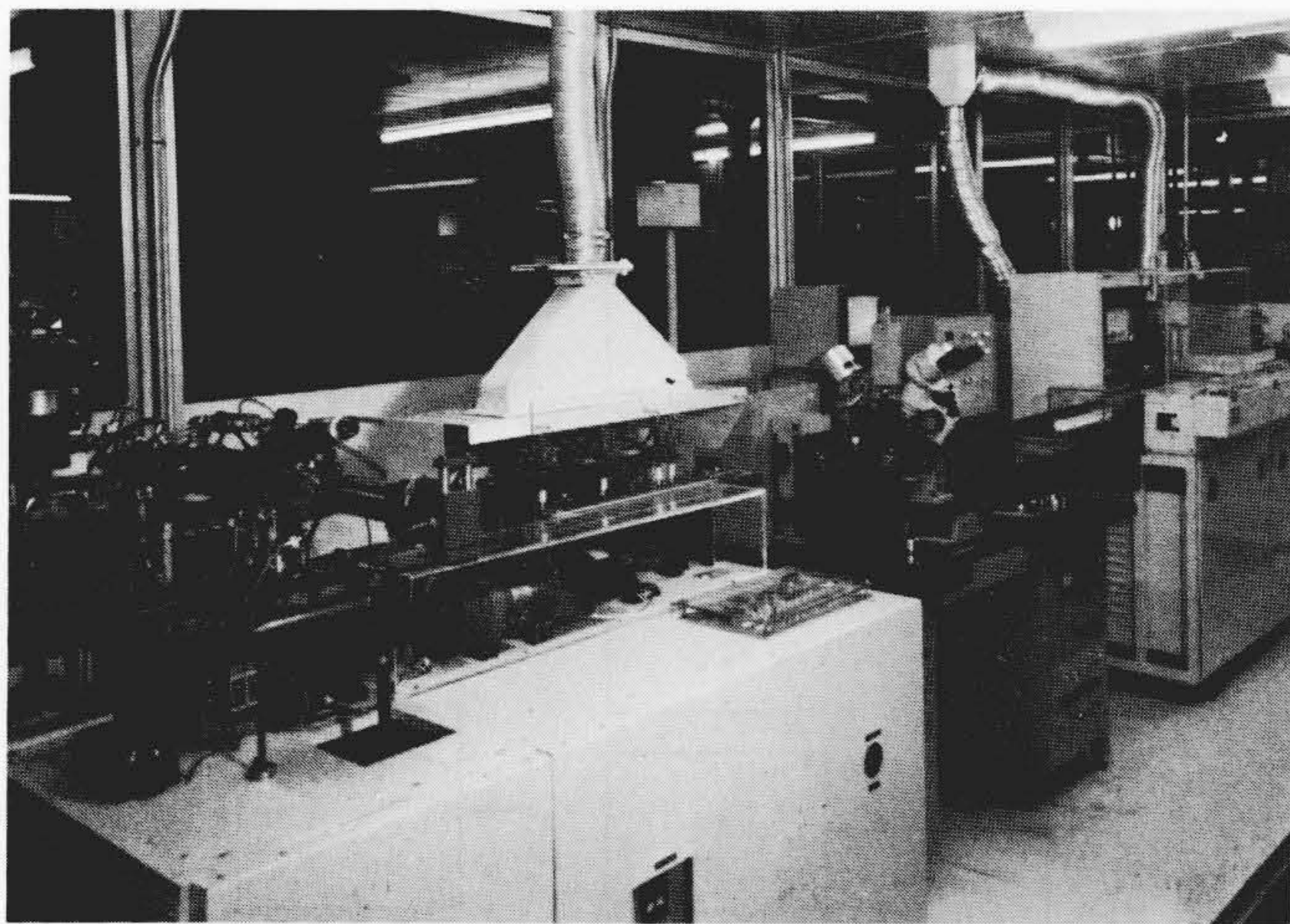


図2 バブル素子構成図 バブル素子構成は、用途、容量で異なる。電子交換機用メモリ素子は、(a)のメジャーマイナーループ構成をとる。汎用素子は(b)又は(c)の2メジャーラインマイナーループ構成をとる。



(a) 前工程



(b) 後工程

図4 デバイス自動組立ライン (a)全自動パターン認識ワイヤボンディング装置及び自動チップコートを中心とする前工程自動組立ラインである。(b)自動はんだ付組立装置並びにバイアス磁界設定試験及び特性試験を連続処理するインライン形試験装置を中心とする後工程自動組立ラインである。

いる。汎用バブルメモリデバイスは、シングルチップ方式を採用しているが、電子交換機用は複数チップを同一パッケージ内に封止するマルチチップ方式である。バブルデバイスは、このように構成部品がやや複雑であるが、短時間で硬化するチップコート材や低圧成形可能なトランスファモールドレジンの開発などにより、一貫したインライン方式の自動組立ライン化が可能となった(図4参照)。

4 バブルメモリボード

バブルメモリボードは、バブルデバイス、周辺回路及び電源回路を1枚の基板上に実装し、コントロール回路には専用LSIを使用し8ビットマイクロコンピュータと直接接続可能なインタフェース構成である。ボード上には、64kビット、256kビット及び1Mビットの3種類のバブルデバイスを実装し、8～512kバイトの容量のバブルメモリボードを構成している。

日立バブルメモリボードは、既に大量の生産実績をもち信頼度のフィールド実績も1fit/kビット以下に達している。

4.1 バブルメモリボード仕様

表2に1Mビットデバイスを使用した+5V単一電源ボードの仕様を、図5にその電氣的構成のブロック図を示す。バブルメモリボードは8ビットの双方向データバスをもち、マイクロコンピュータと接続してBMC(バブルメモリコントローラ)内のレジスタを通してデータの転送を行なう。このボードは、+5V単一電源で動作し、電源の投入切断時、又は停電などの電源異常時に規定の電圧レベルを検出して、バブルメモリの動作シーケンスを制御する回路を設けて、完全不揮発性を実現している。

4.2 バブルメモリの回路

4.2.1 バブルメモリ素子

バブル素子は冗長マイナーループをもち、不良マイナーループがあるとこの冗長ループを代わりに使う。マイナーループのうち1ループは、デバイスのアドレスの基準となるマーループとして使用し、また不良ループ情報もデバイス内に格納する構成としている。

4.2.2 BMC(バブルメモリコントローラ)

BMCはバブルデバイスと周辺回路の全動作を制御するとともに、マイクロコンピュータとのインタフェース機能を果た

表2 バブルメモリボード仕様 1Mビットバブルデバイスを使用した+5V単一電源ボードの仕様を示す。同一サイズのボードで3種類の容量がある。

形式		BEL0830	BEM0830	BEN0830
項目				
記憶容量		128kバイト	256kバイト	512kバイト
ページ数		4,096ページ	8,192ページ	16,384ページ
データビット数/ページ		256ビット/ページ		
電源電圧		+5V±5%		
消費電力	動作時	11W		
	非動作時	3.5W		
データ転送レート		100kビット/s max.		
平均アクセスタイム		13ms		
インタフェース		8ビットパラレル, TTLコンパチブル		
温度範囲	動作時	0～50°C		
	非動作時	-40～+80°C		
ボードサイズ		150mm×240mm		
転送モード		PIOモード, DMAモード		
アクセスページ数		シングルページ, マルチページ		

注：略語説明 PIO(Programmed Input Output), DMA(Direct Memory Access), TTL(Transistor Transistor Logic)

す。BMC内には6種類のレジスタがあり、マイクロコンピュータからアクセスでき、4種類のコマンドがある。バブルメモリの動作は、通常電源投入後IB(イニシャライズバブル)コマンドを実行し、BMCとバブルデバイス間のアドレスの同期をとり、不良ループ情報をBMC内のRAM(Random Access Memory)に取り込む。データ書込みは、書込み開始ページとアクセスするページ数指定後WR(ライト)コマンドを発し、BDR(バブルデータレジスタ)に1バイトのデータを書き込むとBMC内ではデータを並直列変換し、不良ループに対する処理を行なった後バブルデバイスに1ビットずつ書き込む。読出しは、読出し開始ページとアクセスするページ数指定後RD(リード)コマンドを発する。バブルメモリからのビットシリアルデータは、BMC内で不良ループ処理したあと直並列変換し、1バイト分のデータがBDRに送られる。マイクロコンピュータはBMCのステータスをチェック後BDRのデータを読み込む。

5 バブルメモリの応用分野

図6は各種メモリに対するバブルメモリの位置付けを、容量とアクセスタイムで表わしたものである。これらの特長を生かしたバブルメモリの応用分野は広範囲なものであり、表4に一例を示す。

表4 バブルメモリの用途 バブルメモリは各種用途があり、プログラムローダやファイルメモリとして使用される。

応 用 分 野	応 用 機 器
電 話、通 信	電子交換機、PBX、データ通信、画像処理、放送システム
工 業	数値制御装置、ロボット、シーケンサ、プロセスコントローラ、工業用ミシン、生産管理の自動機器
交 通、輸 送	航空機搭載、交通管理システム、自動運転システム
計 測、試 験	各種計測器、試験検査器、分析器、医療機器
O A	パーソナルコンピュータ、オフィスコンピュータ、FAX、POS、ECR、プリンタ用バッファ漢字処理機、ワードプロセッサ、音声応答メモリ
ポータブル機器	ポータブル端末、ポータブルデータレコーダ、ポータブルコンピュータ

注：略語説明 OA(Office Automation), PBX(Private Branch Exchange), FAX(Facsimile), POS(Point of Sales), ECR(Electric Cash Register)

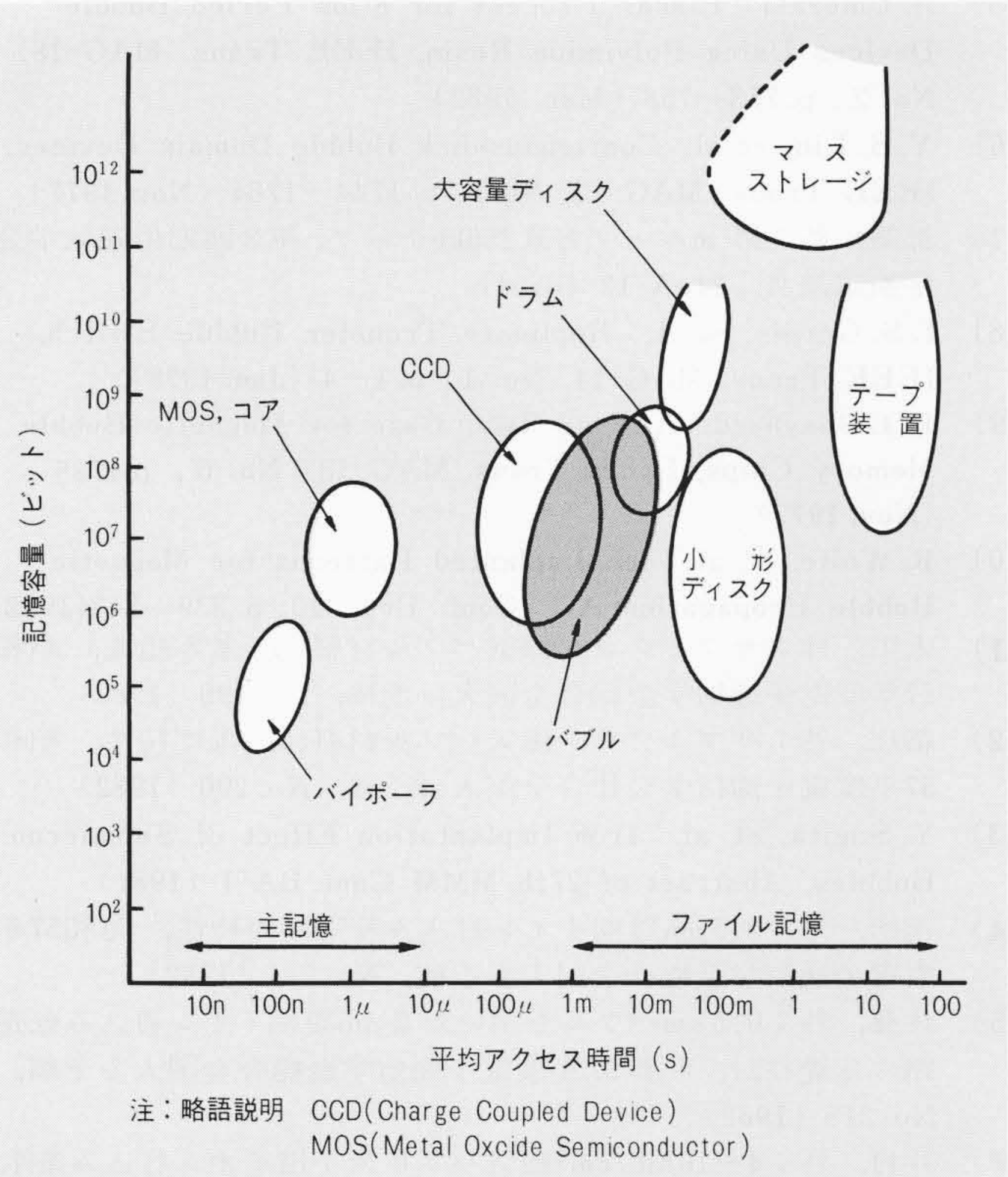


図6 各種メモリ装置の位置付け バブルメモリ装置性能は、ドラムやディスクの領域に達しつつあり、高集積大容量化によりディスクに置き換わる可能性をもっている。

6 バブルメモリの将来技術

現在実用段階にある1Mビット素子は、バブルの直径が1.9μm、ビット周期が8μm、記憶密度が1Mビット/cm²、バブル転送路の最小寸法が1μmのパーマロイ素子である。更に素子の飛躍的な高密度化(4~16Mビット/cm²)を実現するために、現在高密度に適したイオン打込み素子¹⁰⁾の開発を行なっている。

図7にイオン打込み素子の概略を示す。じゅず玉状パターン(コンティギュアスディスクと呼ぶ。)の外側の領域に、H₂⁺イオンなどのイオンを加速して打ち込むと、ガーネット膜の表面にひずみが生じ、磁わいによりその部分の磁化が膜面に平行となり、コンティギュアスディスクのふちに磁極が発生する。パーマロイ素子と同様に、膜面に平行に回転磁界を印加すると、この磁極がコンティギュアスディスクに沿って移動し、それに吸引されてバブルが転送される。この素子の特長は、転送路のパターンにギャップがなく、パターン作製が容易でビット周期を小さくできること、磁極がガーネット膜表面に生ずるためバブルを吸引する力が強く、サブミクロンの微小なバブルを転送できる可能性があることである。そのため、従来のパーマロイ素子と比較し、高密度化のポテンシャルをもつと考えられる。日立製作所はまず高密度イオン打込み素子用に直径0.5~1.0μmの微小バブル材料探索を行なった結果、1.0μmバブル材料(YSmLuGd)₃(FeGa)₅O₁₂ガーネット、0.7μmバブル材料(SmLuGd)₃(FeGa)₅O₁₂及び0.5μmバブル材料(SmLuGd)₃(FeAl)₅O₁₂ガーネットを見いだした^{11),12)}。これらの材料を用いてビット周期2.0~4.0μm、記憶密度4~16Mビット/cm²の素子を形成しバブル転送実験を行なった^{13)~15)}。図8に偏光顕微鏡を用いて観察したバブル転送路とバブルの写真の一例を示す。灰色の部分がいオンを打ち込ん

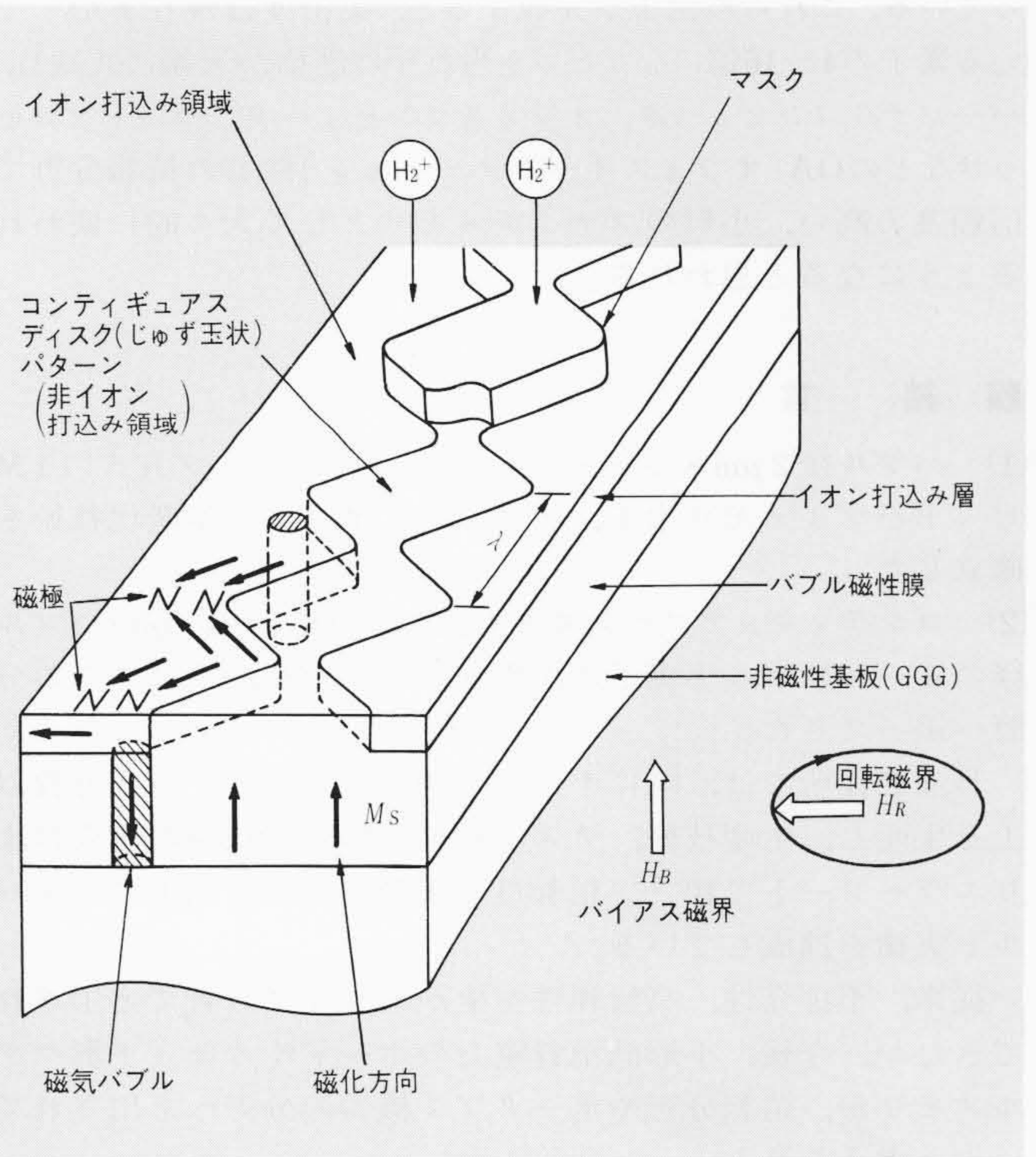


図7 イオン打込み素子の概略図 コンティギュアスディスクパターンの外側の領域にH₂イオンを打ち込み、その部分の磁化を面内に向ける。この磁化によって発生する磁極にバブルを吸引し、回転磁界によりパターンに沿ってバブルを転送する。パターンにギャップがなく、高密度化に適している。

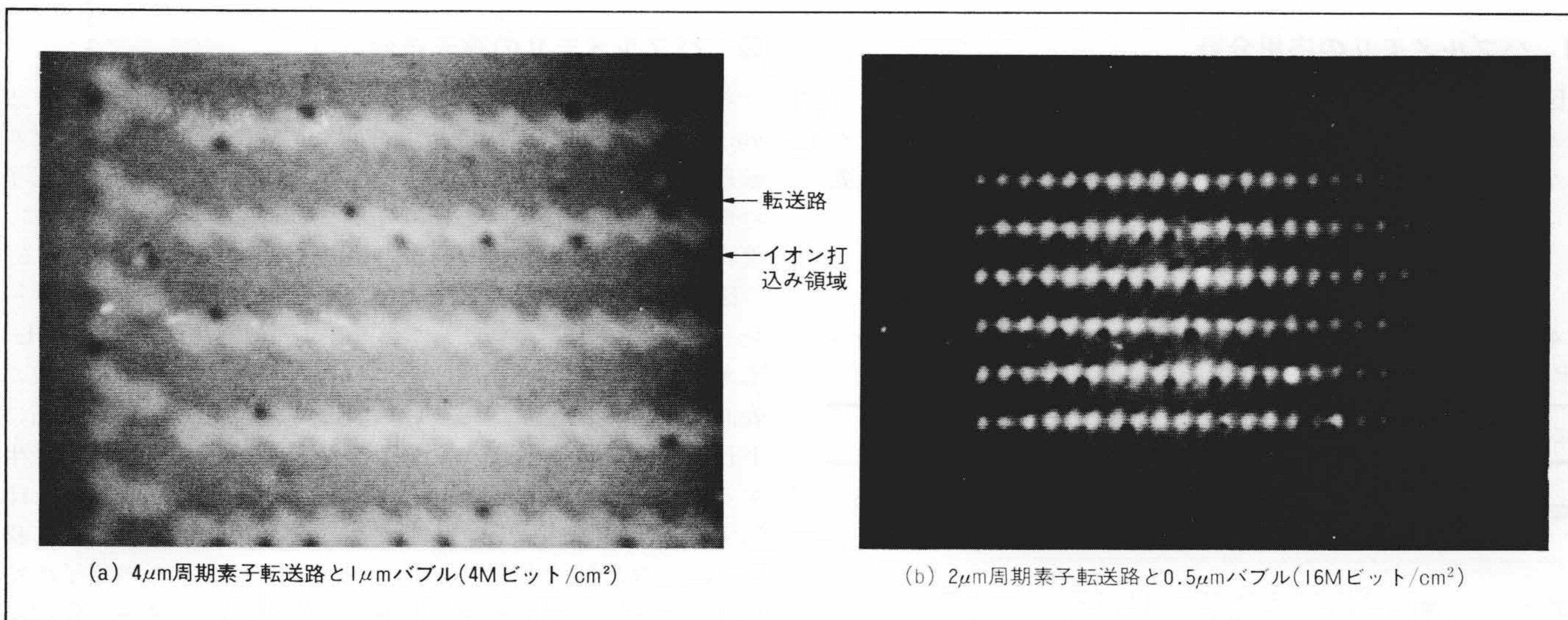


図8 イオン打込み素子の拡大写真(偏光顕微鏡使用) 偏光顕微鏡を用いて観察したバブル転送路とバブルの例を示す。灰色の部分がいオンを打ち込んだ領域で、黒丸がバブルである。(a) 4μm周期素子転送路と1μmバブルの例で記憶密度は4Mビット/cm²となる(×12,500)。(b) 2μm周期素子転送路と0.5μmバブルの例で、記憶密度は、16Mビット/cm²となる(×12,500)。

だ領域で黒丸がバブルである。イオン打込み条件を詳細に検討した結果、H₂イオンを加速エネルギーを変えて三重に打ち込んで転送路を形成すると、50Oeの回転磁界によりバブルを安定に転送できることを見いだした¹⁶⁾。周期4.0μmの転送路のパターンは最小寸法1μmで、その形成には1Mビットパーマロイ素子量産の際に用いている紫外光露光法を用いた。周期2.0μmと2.5μmの転送路パターンは最小寸法0.6μmであり、新たに開発した短波長紫外光露光法を用いて形成した¹⁷⁾。以上の実験結果は、4~16Mビットのバブルメモリ素子が近い将来実現することを示している。現在、メモリ素子として必須のレプリケートゲート、ゼネレータ、ディテクタなどの機能部の開発を行っている。これらの素子が完成すると、集積度は現在実用している素子の4~16倍になりビット当たりの価格が大幅に低減し、パーソナルコンピュータ、オフィスコンピュータ、ワードプロセッサなどのOA(オフィスオートメーション)機器の情報分野で信頼度の高い、小形のファイルメモリとして大々的に使われるようになると思われる。

7 結 言

- (1) バブル径2μmメジャートラックマイナーループ方式の1Mビットバブルメモリ素子、デバイス、ボードの量産化技術を確立した。
- (2) コンティギュアスディスク方式により0.5~1.0μmバブル径の4~16Mビット素子の出現が可能になり、ディスクの分野へ迫ってきた。

日立製作所では、既にチップで50万個、ボードで3万枚以上を生産し、生産技術、テスト技術、信頼性技術の確立によりエラーレートで10⁻¹⁵、信頼度で1 fit/kビット以下のフィールド実績を達成している。

従来、不揮発性、高信頼性を生かして産業分野で応用されてきたが、今後、小形低消費電力のボードやカセット形バブルメモリが、情報分野やポータブル機器の分野へ応用されていくと考えられる。

最後に電子交換機用バブルメモリに関して、終始御指導をいただいた日本電信電話公社武蔵野電気通信研究所、及び関連部局の各位に対し感謝する次第である。

参考文献

- 1) I. Tsuboya, et al.: 2M bit Magnetic Bubble Memory, IEEE Trans. MAG-13, No. 5, p.1360~1363 (Sept. 1977)
- 2) N. Yamaguchi, et al.: Reliability Testing and Evaluation of Magnetic Bubble Memories for Electronic Switching Systems, 18th Annual Proceedings Reliability Physics 1980, pp. 78~82, April (1980)
- 3) 広島, 外: 汎用1Mb磁気バブルメモリチップの設計, 昭和57年度電子通信学会総合全国大会, 講演番号222 (1982)
- 4) A. H. Bobeck: Magnetic Bubbles—An Emerging New Memory Technology, Proc. of the IEEE Vol. 63, No. 8, p. 1176~1195 (1975)
- 5) H. Umezaki: Planar Process for 8-μm Period Bubble Devices Using Polyimide Resin, IEEE Trans. MAG-18, No. 2, p. 753~758 (Mar. 1982)
- 6) Y. S. Lin, et al.: Contiguous-disk Bubble Domain Devices, IEEE Trans. MAG-13, No. 6, p. 1744~1764 (Nov. 1977)
- 7) 都築, 外: M-mlープ方式256kbチップ, 第3回応用磁気学会学術講演会, 24aA-12 (昭54)
- 8) I. S. Gergis, et al.: Replicate/Transfer Bubble Switch, IEEE Trans. MAG-14, No. 1, p. 1~4 (Jan. 1978)
- 9) P. I. Bonyhard: A True Swap Gate for Magnetic Bubble Memory Chips, IEEE Trans. MAG-13, No. 6, p. 1785 (Nov. 1977)
- 10) R. Wolfe, et al.: Ion Implanted Patterns for Magnetic Bubble Propagation, AIP Conf. Proc. 10, p. 339~343 (1972)
- 11) 太田, 外: サブミクロン磁気バブル材料(I)基本組成, 昭和57年度電子通信学会総合全国大会予稿, No. 199 (1982)
- 12) 細江, 外: サブミクロン磁気バブル材料(II)温度特性, 昭和57年度電子通信学会総合全国大会予稿, No. 200 (1982)
- 13) Y. Sugita, et al.: Iron Implantation Effect of Submicron Bubbles, Abstract of 27th MMM Conf. BA-1 (1981)
- 14) 池田, 外: 2.5μm周期イオン打込み転送路の特性, 昭和57年度電子通信学会総合全国大会予稿, No. 214 (1982)
- 15) 佐藤, 外: 0.5μmバブルを用いた2μm周期イオン打込み転送路の基礎検討, 昭和57年度電子通信学会総合全国大会予稿, No. 215 (1982)
- 16) 井村, 外: 4~16Mb/cm²磁気バブル素子用イオン打込み条件, 昭和57年度電子通信学会総合全国大会予稿, No. 213 (1982)
- 17) 梅崎, 外: 磁気バブル素子用サブミクロンパタンの作製, 第5回日本応用磁気学会学術講演会予稿, 22PA-11 (1981)