

超高速ECLロジックHD100Kシリーズの開発と量産化

Development and Mass Production of Ultra High Speed ECL Logic HD100K Series

外村健一* Ken'ichi Tonomura

山崎和夫* Kazuo Yamazaki

大形コンピュータをはじめとするシステムの高速化性能の向上を図るために、バイポーラICにかけられる期待は極めて大きい。システムの高速化への強い要求にこたえるため、1978年日立製作所では高速標準ロジックとして従来のECL10Kシリーズに対し約3倍の高速性能をもつECLHD100Kシリーズの開発に着手した。超高速性能を実現するため $3\mu\text{m}$ 微細加工技術、酸化膜分離、イオン打込み技術などの最新のプロセス技術を駆使している。また、回路的にも出力特性の安定化を図るための工夫を行なっている。現在までに27品種の開発を完了し量産中である。現在、ECL100Kバージョンを採用するユーザーも米国を中心に増えつつあり、HD100Kシリーズの生産量も着実に伸長してきている。

1 緒言

大形コンピュータをはじめ通信、計測機器などでその性能向上のため、システムの高速化を図ることは必要不可欠となってきた。高速化を実現するためには、使用される半導体の高速化が大きなウエートを占める。ECL(Emitter Coupled Logic)は非飽和形の回路構成のため原理的に蓄積遅延時間がなく、高速化に適している。日立製作所では従来ECLとしてロジックHD10Kシリーズを開発し量産化してきたが、顧客の高速化要求にこたえるためHD10Kシリーズに対して約3倍のスピードをもち、また温度変動、電源電圧変動に対し出力特性変動を補償したHD100Kシリーズを開発量産化した。以下に、HD100Kシリーズの概要、特性及び特長並びに高速化を実現するためのプロセス技術、製品系列の紹介について述べる。

2 HD100Kシリーズの概要

大形コンピュータ分野を中心にシステムの高性能化を図るためには高速化、大容量化、低消費電力化は必要不可欠な要件である¹⁾。その実現のために使用される半導体の占める役割は極めて高い。バイポーラICは図1に示すように、その高速性能からシステムの高速化に対し大きな期待がかけられている。1971年にモトローラ社から発表されたECL10KロジックはコンピュータのCPU(中央演算処理装置)を中心に、高速処理の必要なシステムに広く使用され高速標準ロジックの地位を長い間保持してきた。しかし、システムの高速化への強い要求にこたえるため、1973年にフェアチャイルド社からF100Kの品名でゲート当たりの伝搬遅延時間が 0.75ns という超高速ECLロジックが発表された²⁾。これはバイポーラデジタルICのLSI化に必要な酸化膜分離法、薄いエピタキシャル層技術、微細加工技術を駆使したものであった。ECL100Kは、従来のECL10Kとのコンパチビリティがないため、ユーザー側でも採用については慎重であったが、その超高速性能を生かすため採用に踏み切るユーザーが出始めつつあった。このような背景から日立製作所でも、今後の高速標準ロジッ

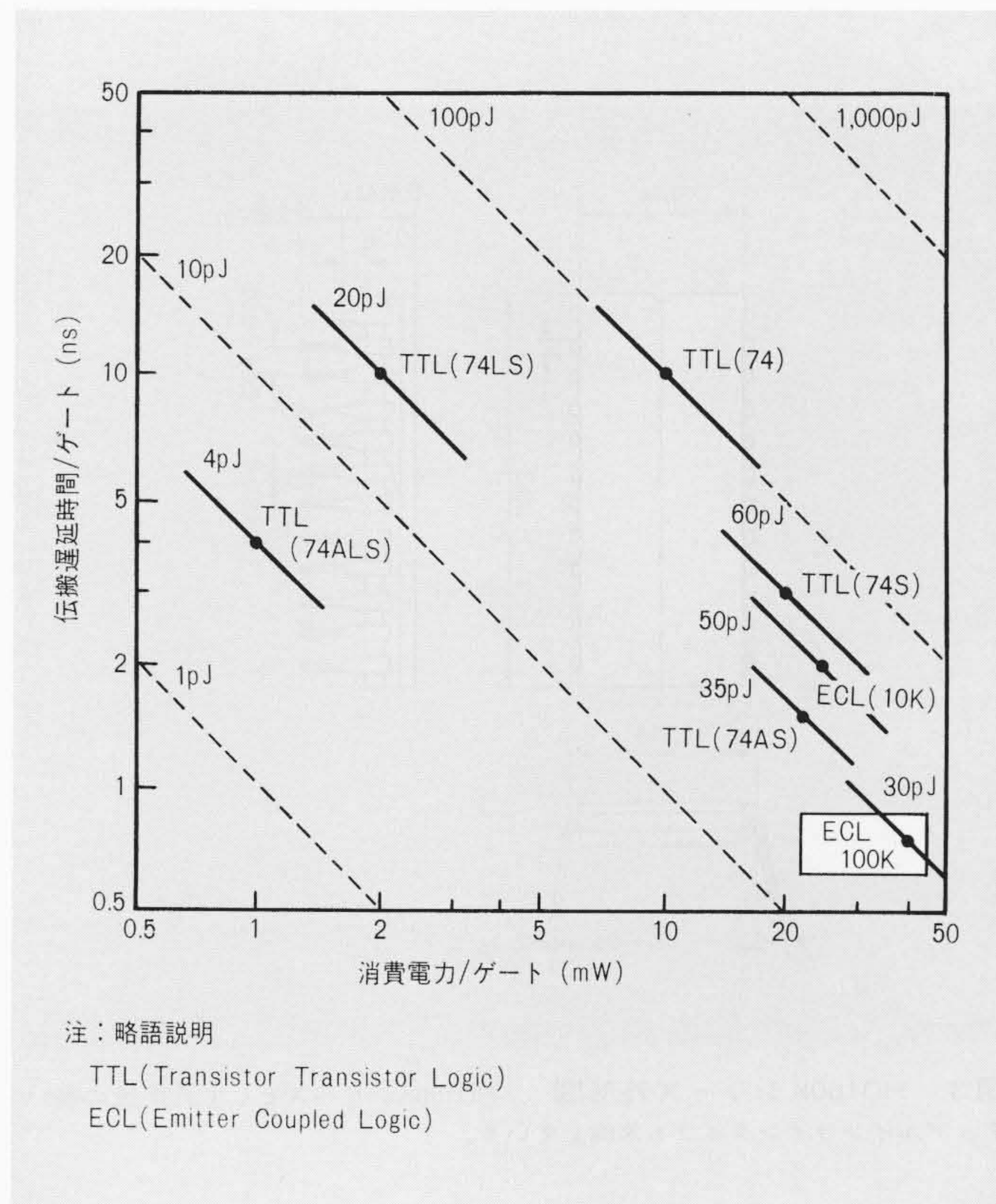


図1 バイポーラICのスピードと消費電力の関係 バイポーラ系のデバイスは、高速であることに最大の特長があり、ECL100Kはゲート当たりの伝搬遅延時間が 0.75ns と 1ns 以下である。

クの主流製品になると判断し開発に着手した。現在までに27品種の開発を完了し、量産中である。最近のユーザーのECL10KからECL100Kへの動きも活発となっており、今後もユーザーの要求にこたえるため製品系列の強化を進める予定である。

* 日立製作所高崎工場

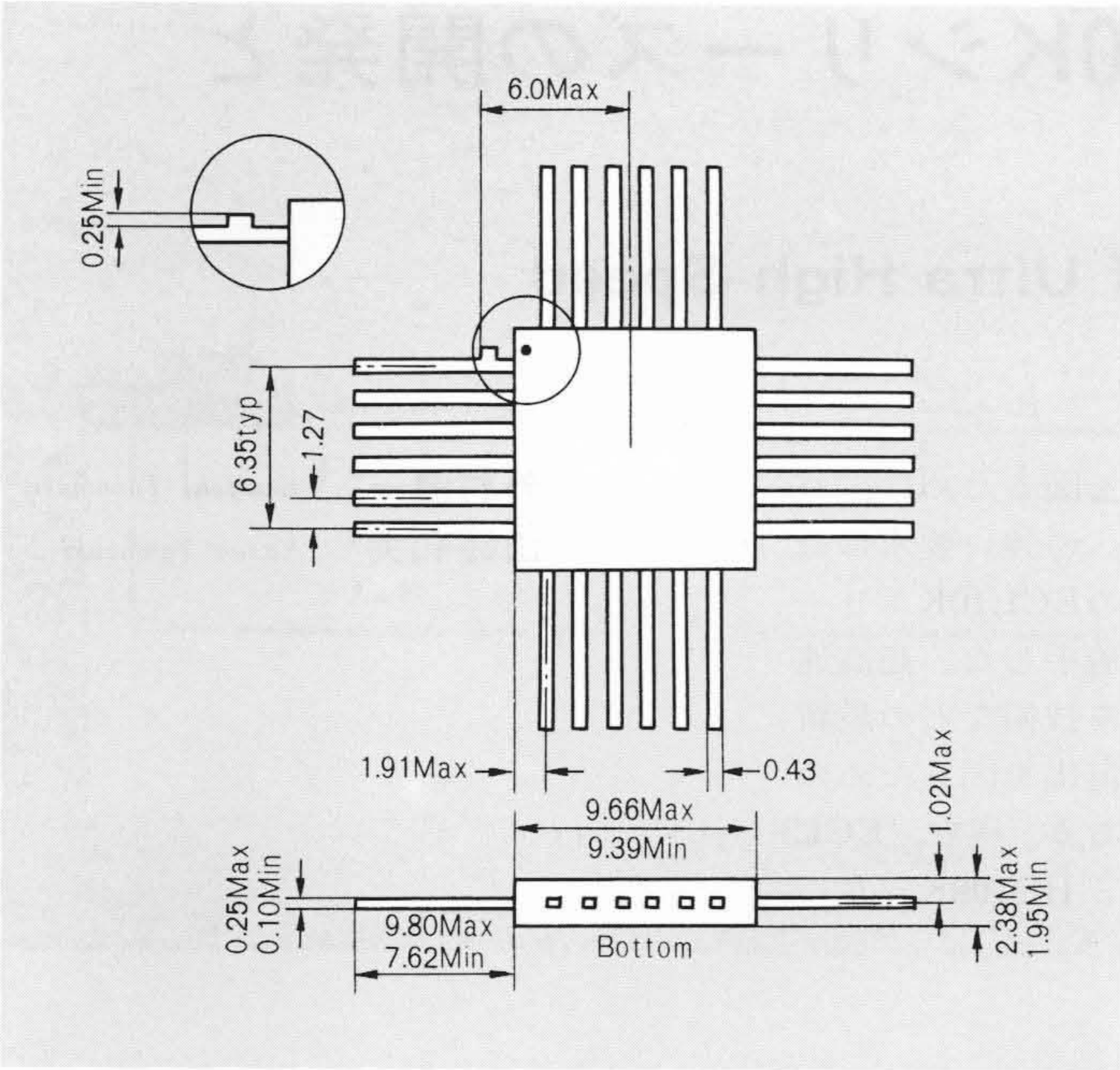


図2 HD100KFシリーズ外形図 HD100KFシリーズとして、フラットパッケージシリーズも準備している。実装密度の向上に適している。

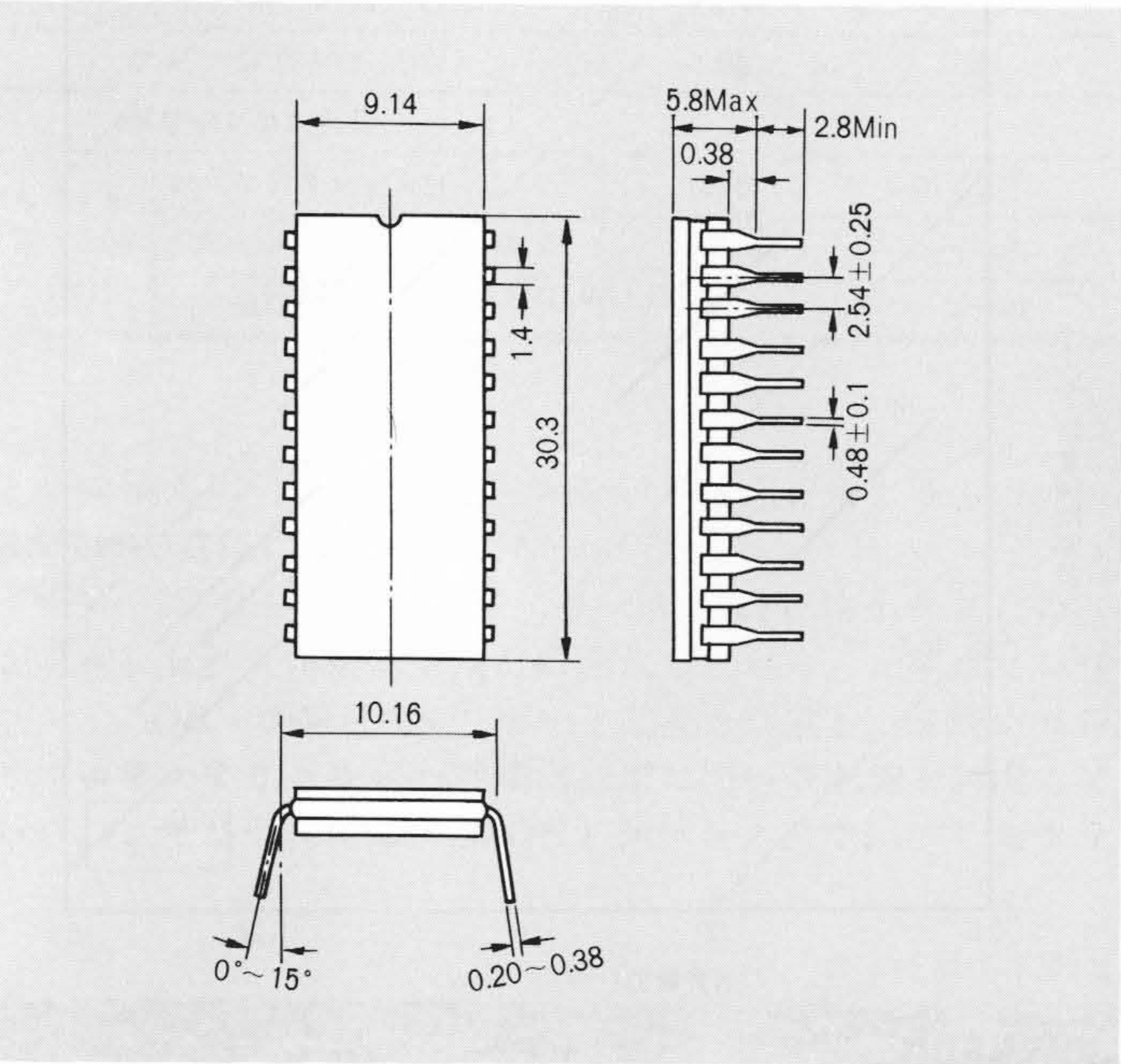


図3 HD100Kシリーズ外形図 HD100Kシリーズとして汎用性の高いデュアルインラインタイプも準備している。

表1 代表直流特性 ($T_a=0\sim+85^{\circ}\text{C}$, $V_{EE}=-4.5\text{V}$, $V_{CC}=\text{GND}$)
出力特性は温度補償されているため、直流特性も広い温度範囲に対し同一の規定となっている。

記号	項目	最小	標準	最大	単位	測定条件
V_{OH}	出力電圧	-1,025	-955	-880	mV	$V_{IN}=V_{IHmax}$ 又は V_{ILmin} $R_L=50\Omega$ $V_{TT}=-2\text{V}$
V_{OL}		-1,810	-1,705	-1,620	mV	
V_{OHC}	出力スレッシュ	-1,035	—	—	mV	
V_{OLC}	ホールド電圧	—	—	-1,610	mV	
V_{IH}	入力電圧	-1,165	—	-880	mV	$V_{IN}=V_{IHmin}$ 又は V_{ILmax}
V_{IL}		-1,810	—	-1,475	mV	
I_{IL}	入力電流	0.5	—	—	μA	$V_{IN}=V_{ILmin}$

3 特性及び特長

3.1 パッケージ

HD100Kシリーズは、実装性及び信頼性を高めるため24ピンセラミックフラットパッケージ及び24ピンセラミックデュアルインラインパッケージの2種を用意している。図2、3に各々の外形図を示す。

3.2 代表特性

HD100Kシリーズの代表直流特性を表1に、最大定格を表2に、推奨動作条件を表3にそれぞれ示す。また、代表的な伝達特性を図4には周囲温度をパラメータにして、図5には V_{EE} (電源電圧)変動をパラメータにして示す。図4、5に示すようにHD100Kシリーズは、IC内部に温度変動補償回路、電源電圧変動補償回路を所持しているため、出力レベル及びスレッシュホールドレベルが広い温度範囲、電源電圧範囲で安定した特性が得られる。

表2 最大定格 最大定格は T_j , T_{stg} 以外はECL10Kと同一である。

項目	記号	最大定格値	単位
電源電圧	V_{EE}	-7.0	V
入力電圧	V_{IN}	$0\sim V_{EE}$	V
出力電流	I_O	50	mA
サージ出力電流	$I_{O(surge)}$	100	mA
接合部温度	T_j	150	$^{\circ}\text{C}$
保存温度	T_{stg}	$-65\sim+150$	$^{\circ}\text{C}$

表3 推奨動作条件 ファンクション動作保証は、下限値をECL10Kロジック($V_{EE}=-5.2\text{Vtyp}$)の約-10%に相当する-5.7Vまで行なっている。

項目	記号	推奨動作範囲	単位
動作温度	T_A	$0\sim85$	$^{\circ}\text{C}$
電源電圧	V_{EE}	$-4.2\sim-5.7$	V

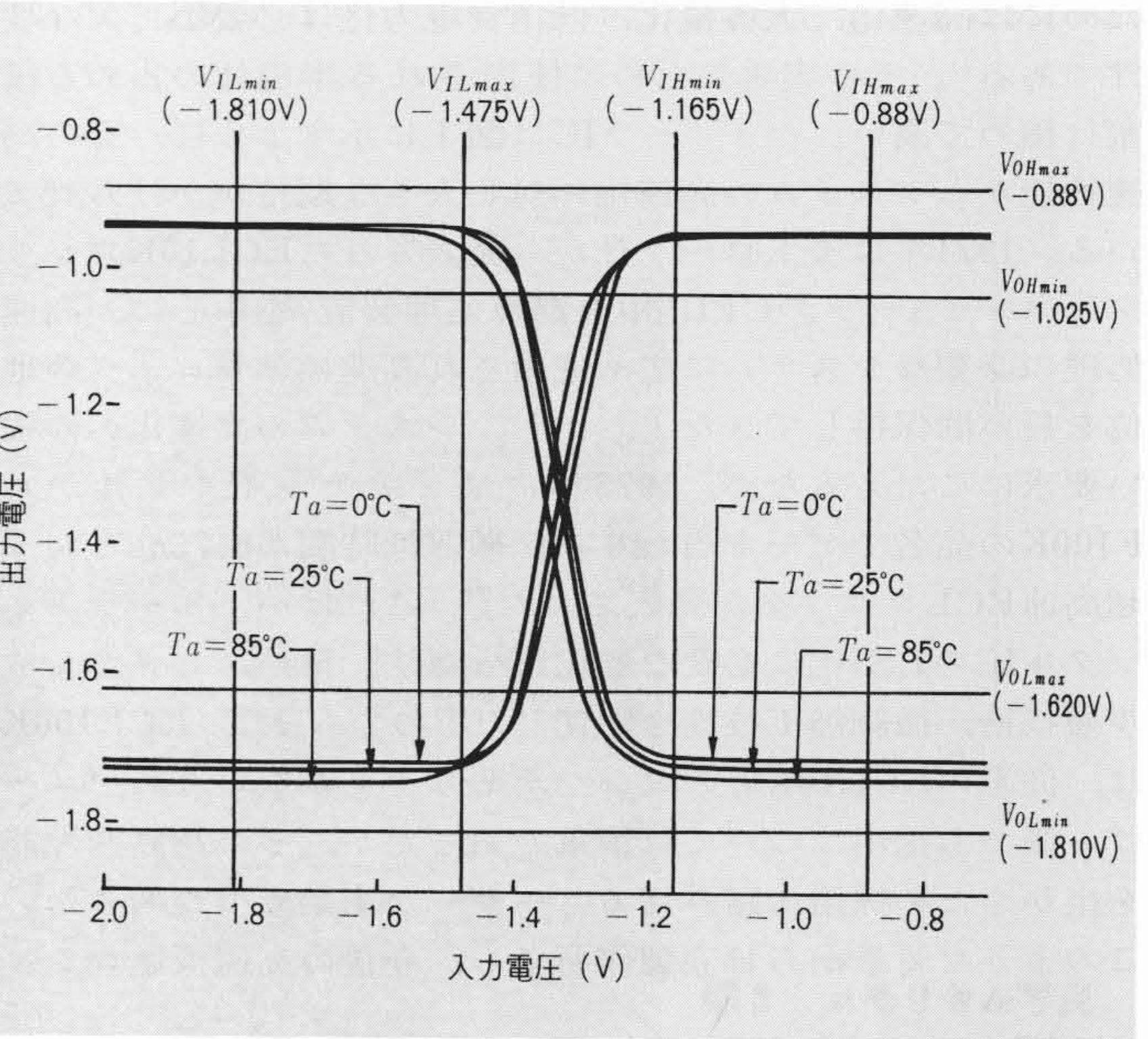


図4 HD100K伝達特性周囲温度変動特性 出力特性は温度補償されているため、温度変動は極めて小さい。

3.3 特 長

- (1) HD100Kシリーズでは4章で述べるが、 $3\mu\text{m}$ 微細パターンプロセスやイオン打込み技術を用い、素子サイズ縮小と周波数特性向上により超高速性能(0.75ns /ゲート)を実現している。
- (2) 大半の品種はコンプリメンタリ出力を所持しているので、インバータの挿入などが不要で部品点数の削減が可能である。
- (3) 高入力インピーダンスと低出力インピーダンスをもっているため、ファンアウトが多くとれ多様な回路構成が可能である。
- (4) 3.2節で述べたように、IC内部に温度変動補償回路、電源電圧補償回路を所持しているため、広い温度範囲、電源電圧範囲で安定した出力特性が得られる。
- (5) フェアチャイルド社のF100Kシリーズとピン配置、機能、特性など十分な互換性をもっている。

4 HD100Kシリーズのプロセス技術³⁾

4.1 概 要

HD100Kシリーズは、ゲート当たりの遅延時間が 0.75ns であり、10Kシリーズに比較し約3倍の高速スイッチング動作を実現している。

ECLのスイッチング時間は、ベース抵抗 $r_{bb'}$ 、ベースコレクタ接合容量 C_{TC} 、コレクタ基板接合容量 C_{TS} 、コレクタ抵抗の寄生容量 C_{RC} 、カットオフ周波数 f_T など、多くのデバイス定数やスイッチング電流 I_E で支配されている。図6に示すECL交流等価回路でこれら定数 x の遅延時間 t_{pd} に対する影響(感度係数 S_x)を計算した一例を図7に示す。同図から、高速化のため従来プロセスに対し、

- (1) 寄生容量低減
- (2) f_T 上昇
- (3) ベース抵抗低減

などの改善が必要となる。HD100Kシリーズのプロセス技術には上記の項目と高集積化を実現するため、 $3\mu\text{m}$ 微細加工技術、酸化膜分離技術、イオン打込み技術などを駆使し、更に配線絶縁層間膜として、ピンホールの非常に少ない複合膜を

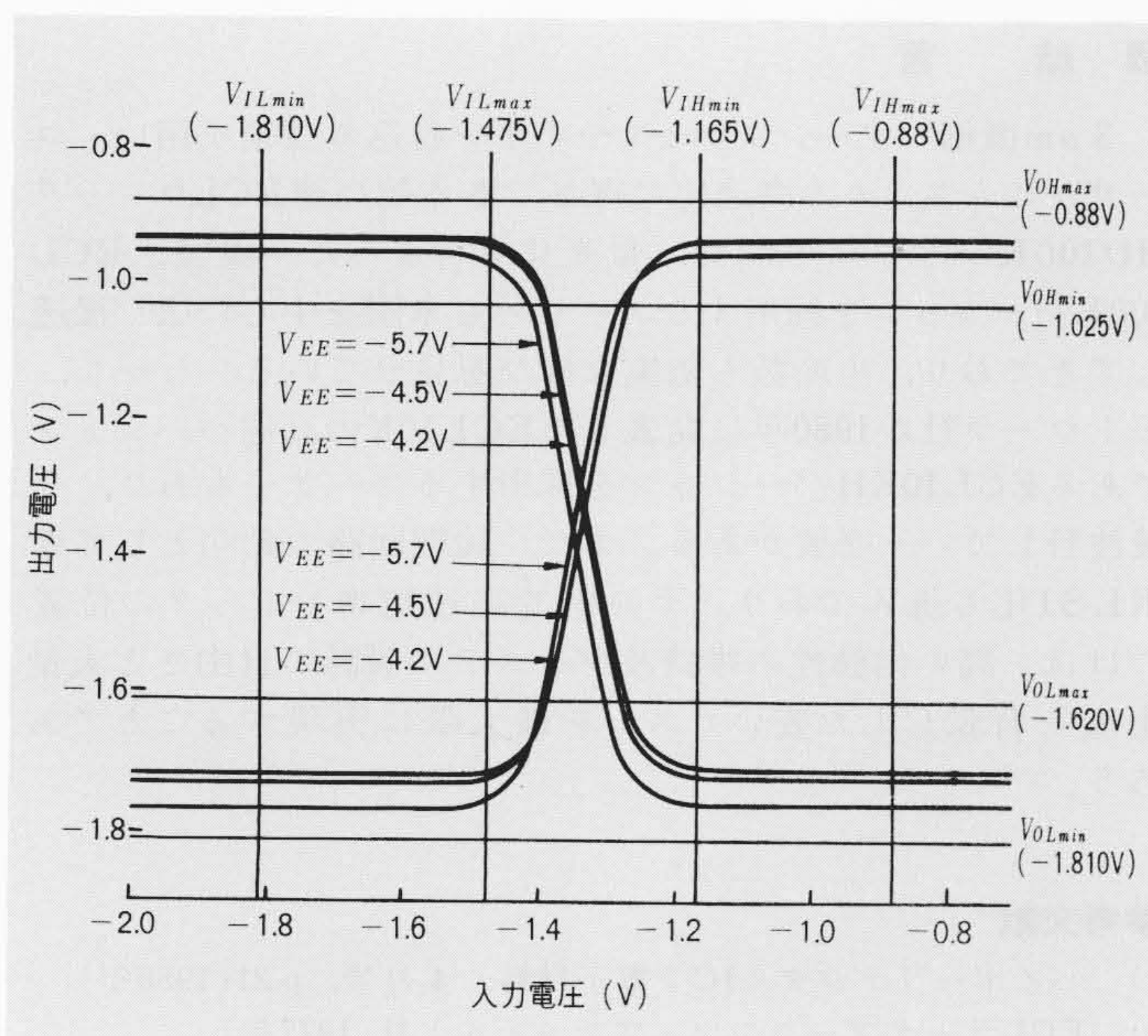


図5 HD100K伝達特性 V_{EE} 変動特性 出力特性は、温度補償とともに電源電圧補償もされており、電源電圧変動に対しても安定である。

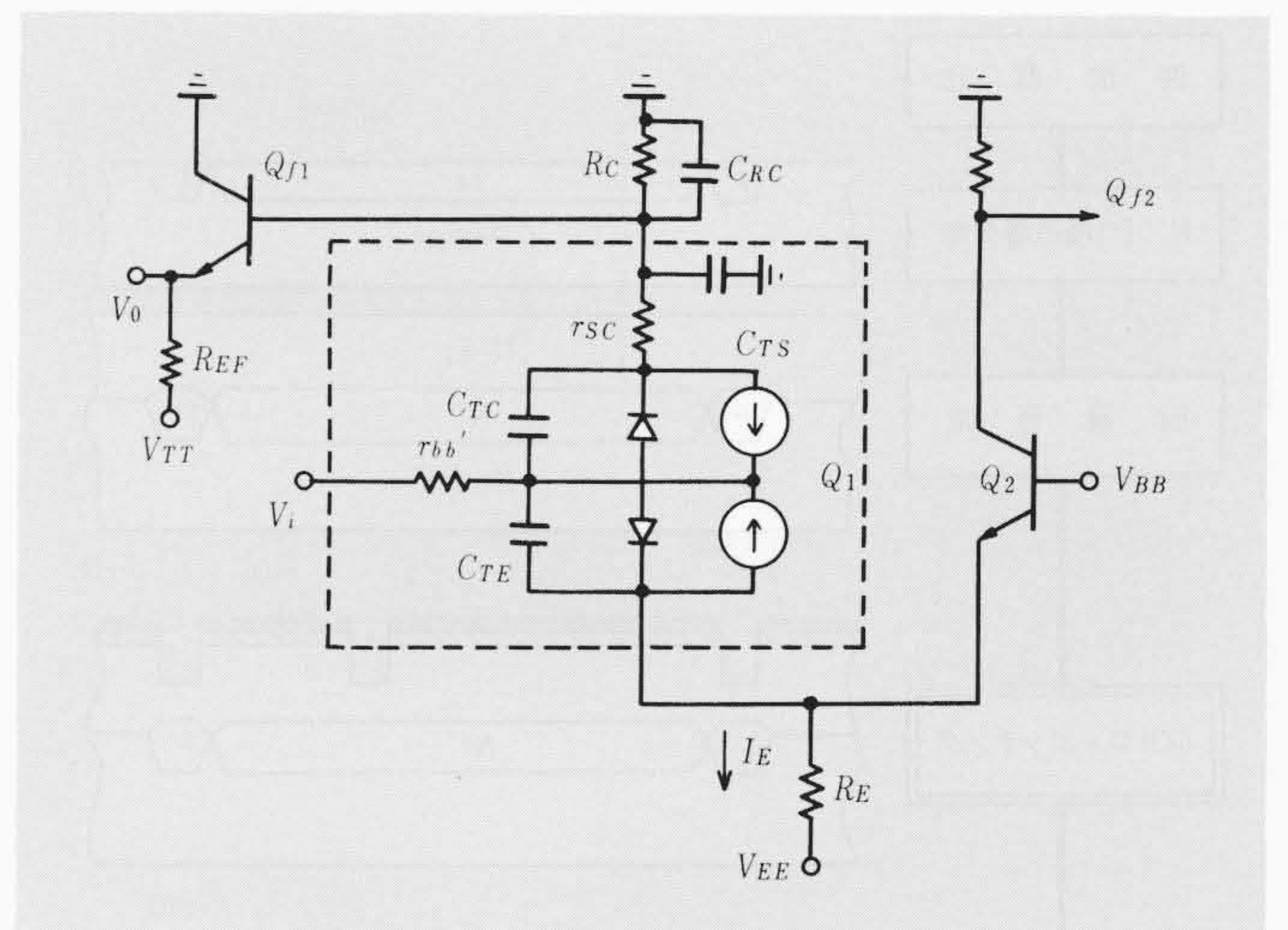


図6 ECL交流等価回路 破線内のトランジスタ等価モデルの C_{TS} 、 C_{TC} 、 C_{RC} 、 $r_{bb'}$ などの大きさにより、回路のスピードが決まる。

標準ECL(10K)			高速モデル		
感度係数 S_x (%)			デバイス定数		
40	20	0	感度係数 S_x (%)		
			0	20	40
			$C_{TS}(\text{pF})$		
			$C_{TC}(\text{pF})$		
			$r_{bb'}(\Omega)$		
			$f_T^{-1}(\text{GHz}^{-1})$		
			$\bar{I}_{EF}(\text{mA})$		
			$\bar{R}_C(\Omega)$		

図7 デバイス定数と感度係数 回路定数 I_{EF} 、 R_C を除くと、 C_{TC} 、 $r_{bb'}$ が回路のスピードに対する感度係数が大きい。

使って高信頼性を得ている。以下主要なプロセス技術について紹介する。

4.2 酸化膜分離技術

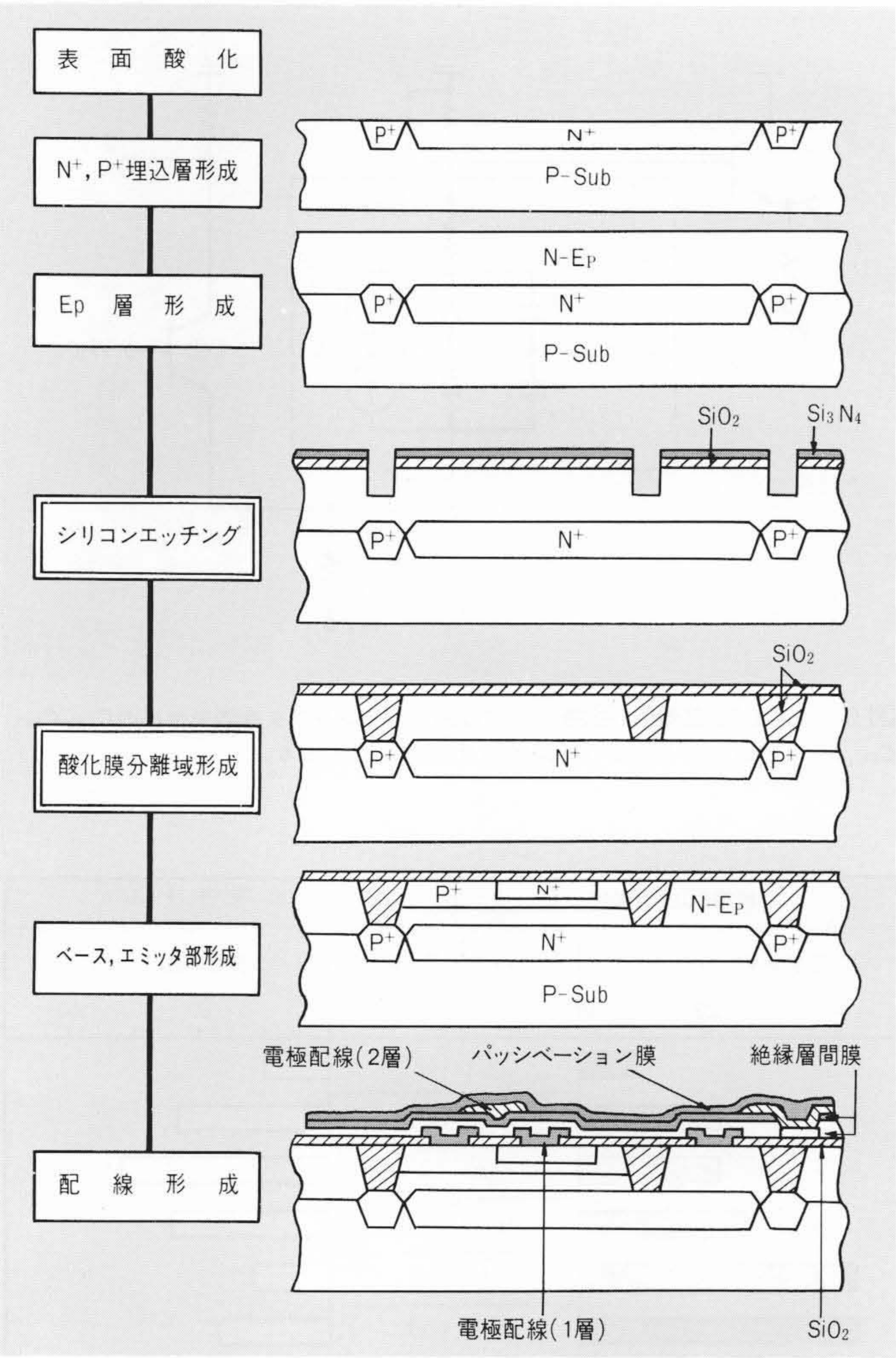
現在用いられている集積回路は、チップ表面から電極を取り出す構造となっている。このため、実際に必要な素子の大きさ以外に、表面に電極を取り出すための付加的領域が形成され素子面積が増大し、素子の寄生容量が大きくなる。酸化膜分離技術は素子分離領域に絶縁物である SiO_2 を用い、素子形状を小さくし寄生容量を低減するために用いる。構造的利点は次に述べるとおりである。

- (1) 誘電率が Si の $\frac{1}{4}$ 以下となり、分離領域とコレクタ部の寄生接合容量 C_{TS} 及びAl配線 $\sim$ Si基板間の寄生容量が低減される。
- (2) 分離領域をベースに接触させても耐圧の劣化なく、コレクタ面積が小さくなり、寄生抵抗や基板との寄生容量 C_{TS} が低減される。

酸化膜分離を用いた工程フローと素子断面略図を図8に示す。

4.3 高圧酸化技術

酸化膜分離の製法的問題として十分厚い良質の酸化膜を形成するための高温、長時間の熱酸化処理が必要である。問題は既に形成された埋込層などの不純物が再拡散されることであり、加工寸法精度のばらつきや容量増加をもたらす。この対策として、高気圧内での酸化反応速度の上昇を利用した高圧酸化法を用い、酸化時間を大幅に短縮している。



酸化膜分離は、分離部のシリコンをエッチングし、その後、高圧酸化で分離域を形成する。

4.4 イオン打込技術

f_T 上昇の手法は浅い接合形成技術であり、接合深さの正確な制御が必要である。従来の熱拡散法では浅い接合を形成することが難しく、かつ不純物濃度を高くすることが困難である。このため、エミッタやベース接合部の形成にイオン打込技術を用い、熱拡散法を用いているHD10Kシリーズに対し接合深さを浅くして、微細加工技術を併用することにより f_T を2倍向上し、 r_{bb} を半分に低減している。

以上のプロセス技術を用い、表4に示すトランジスタ特性を実現している。

5 製品系列紹介

1978年に開発着手以来、現在までに27品種の開発を完了し量産中である。表5にHD100Kシリーズの開発状況を示す。

表4 デバイスパラメータ比較 100Kシリーズでは、3μm微細加工技術などを駆使することにより、 f_T の向上及び C_{TC} の低減を図り高速化を実現している。

デバイス定数	100Kシリーズ	10Kシリーズ
t_{pd}	0.75ns	2.0ns
r_{bb}	135Ω	250Ω
f_T	4 GMz	1.5GMz
C_{TC}	0.1.pF	0.25pF

表5 HD100Kシリーズ開発状況 現在27品種が開発を完了し、量産中である。また、更に7品種を開発中である。

品名	機能	開発状況 (○印は開発完了を示す。)
HD100101	5入力OR/NORゲート 3個	○
HD100102	2入力OR/NORゲート 5個	○
HD100107	エクスクルーシブOR/NORゲート 5個	○
HD100112	ドライバ 4個	○
HD100114	差動増幅形ラインレシーバ 5個	○
HD100117	2ワイドOR-AND/OR-AND-INVERTゲート 3個	○
HD100118	5ワイドOR-AND/OR-AND-INVERTゲート	○
HD100122	9ビット バッファ	○
HD100123	バスドライバ 6個	○
HD100124	TTL→ECLレベル変換器	昭57/10
HD100125	ECL→TTLレベル変換器	昭57/6
HD100130	D形ラッチ 3個	○
HD100131	D形フリップフロップ 3個	○
HD100136	4機能カウンタ/シフトレジスタ	○
HD100141	8ビット シフトレジスタ	○
HD100142	4×4 連想メモリ	昭57/6
HD100145	16×4 リード/ライト レジスタ	○
HD100150	D形ラッチ 6個	○
HD100151	D形フリップフロップ 6個	○
HD100155	マルチプレクサ/ラッチ 4個	○
HD100156	マスクマージ	昭57/6
HD100158	8ビット シフトマトリクス	○
HD100160	パリティ発生器/検出器 2個	○
HD100163	8入力 マルチプレクサ 2個	○
HD100164	16入力 マルチプレクサ	○
HD100165	汎用プライオリティエンコーダ	○
HD100166	9ビット比較器	○
HD100170	汎用デマルチプレクサ/デコーダ	○
HD100171	イネーブル端子付トリプル4入力マルチプレクサ	○
HD100179	キャリールックアヘッド	○
HD100180	高速6ビット加算器	○
HD100181	4ビット バイナリ/BCD ALU	昭57/6
HD100182	9ビット ウォーレス トリー加算器	昭57/10
HD100183	2×8ビット レコードマルチプライヤ	昭57/10

注：略語説明 BCD (Binary Code Decimal)
ALU (Arithmetic Logic Unit)

現在開発中の7品種の開発が完了すれば、合わせて34品種となりユーザーの多様なシステム設計に対し充足できるものと考えられる。

6 結 言

3μm微細パターンプロセスやイオン打込み技術を用い、ユーザーのシステムの高速化に寄与できる超高速ECLロジックHD100Kシリーズの開発、量産化を行なった。現在、ECL100Kバージョンを採用するユーザーも米国を中心に広く浸透してきており、生産数も着実な伸びを見せている。しかし、モトローラ社が1980年に発表したECL10Kの高速バージョンであるECL10KHバージョンを採用するユーザーもあり、今後注目していく必要がある。また、論理回路の動向として専用LSI化も進んでおり、その中で高速標準ロジックの位置づけは、高い信頼性の維持及びシステム設計の自由さと大量生産を背景にした安いコストを最大限に実現することであろう。

参考文献

- 1) バイポーラデジタルIC：電子材料，4月号，p.21(1980年)
- 2) ECLデータブック：フェアチャイルド社(1977年)
- 3) 工業調査会発行，半導体研究振興会編：半導体研究，Vol.15 (1978年，4月)