

HITAC M-220H処理装置の開発

HITAC M-220H Processor

近年のコンピュータシステム適用分野の拡大は著しく、コンピュータの社会的重要性が高まり、一般オフィスで使用できる小形で高性能のコンピュータシステムが要求されている。HITAC M-220Hは、こうした市場のニーズにこたえるため、最新のハードウェア技術と、それに適合する論理方式を採用することにより、床面積0.96 m²の筐体に、HITAC L-340の3～4倍の処理性能と各種の入出力制御機構の内蔵化を実現した。

本稿では、HITAC M-220Hの開発思想、論理方式およびハードウェア技術の特長、ならびに開発に当たって実施したシミュレーション技術の特長について述べる。

沢田栄夫* *Hideo Sawada*
 今井康裕* *Yasuhiro Imai*
 三宅亜雄* *Tsuguo Miyake*
 酒井寿紀* *Toshinori Sakai*

1 緒言

HITAC M-220H(以下、M-220Hと略す。)システムは、新しい概念によるアーキテクチャを取り入れ、分散処理ネットワーク機能の強化、オフィスオートメーション(以下、OAと略す。)機器接続などの機能拡充を行なうとともに、処理性能、信頼性、操作性の大幅な向上を図ることにより、多様化するコンピュータアプリケーションに対応できるように開発された中小形機システムである。

M-220H処理装置は、前記システムの中核であり、最新のハードウェア技術に適合するように、ゲート/ピン比を向上させる論理方式を採用することなどにより、高速データ処理と小形化を図り、さらに省エネルギー化を徹底して、従来の大形機と同等の性能、機能を一般オフィス環境で使用できるようにした。

図1にM-220Hシステムの外観を示す。

2 開発思想

(1) M-220Hの位置付け

M-220Hは、HITAC M-280H¹⁾をはじめとする新しいHITAC Mシリーズファミリーの中で最も小形の汎用処理装置であり、HITAC L-340(以下、L-340と略す。)の約3～4倍の処理能力をもつ。

M-220Hは、新しく開発されたオペレーティングシステムであるVOS 1/ES (Virtual Operating System 1/Extended

System)と関連ソフトウェア、および小形で省エネルギーのH-8591ディスク駆動装置やH-8426磁気テープ装置、T-560/20文書処理機能付漢字端末、H-8602統合通信制御処理機構などのシステム構成により、EDP(Electronic Data Processing)システムの拡張性への対応だけでなく、OA化、分散処理化などのコンピュータシステムへの対応も図っている。

(2) 高速処理の実現

最新のハードウェア技術の採用と、その特長を生かした論理方式により、従来は大形機でしか実用化されていなかった4バイト幅あるいは8バイト幅の高速データ処理を可能とし、命令処理およびチャンネルの高速化を実現した。

(3) 新システム機能サポート

M-220Hでは、従来のMシリーズのアーキテクチャであるMモードと、新しいアーキテクチャであるVSE(Virtual Storage Extended)モードとを使用できる。

表1にMモードとVSEモードの主な相違点を示す。

VSEモードでは、命令処理、チャンネル動作、割込み処理などの処理装置で扱われる記憶アドレスは、すべて一元化された論理アドレスであり、論理アドレスから実アドレスへの変換および変換テーブルの管理は、ファームウェアにより実現されている。

さらに、省力化のために、システムの自動電源投入/切断機構をはじめとして、各種の自動運転機構がサポートされている。

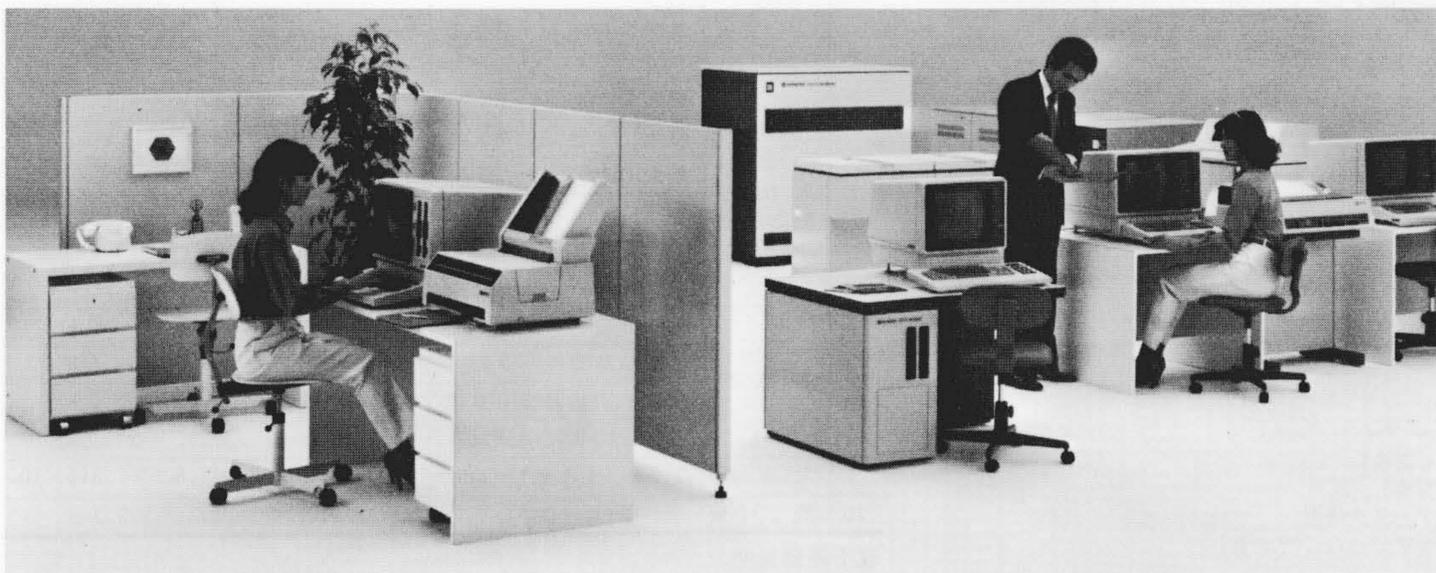


図1 HITAC M-220Hシステムの外観 高性能化を追求するとともに、小形化と省エネルギー化を徹底し、一般オフィスへの設置を可能にした。

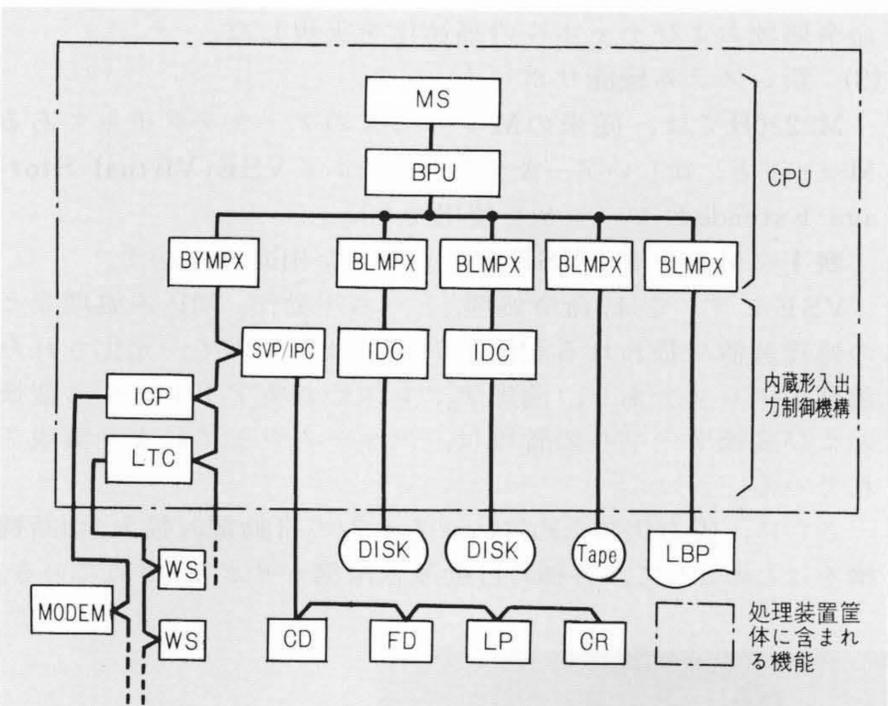
* 日立製作所神奈川工場

表1 MモードとVSEモードとの比較 VSEモードでは、プログラムで使用する記憶アドレスは、すべて一元化された論理アドレスである。

No.	項目	VSEモード	Mモード
1	アドレス変換テーブル (1)レベル (2)管理	ページ ハードウェア	セグメント、ページ ソフトウェア
2	命令処理のアドレス	論理アドレス	論理アドレス 一部実アドレス
3	入出力処理のアドレス	論理アドレス	実アドレス
4	記憶保護	(a)主記憶とプロセッサキーとの一致チェック (b)論理アドレスの範囲チェック	主記憶とプロセッサキーとの一致チェック

(4) 信頼性・保守性・操作性の向上

M-220Hは、高信頼度の高集積度部品を使用することにより、使用部品点数を減らし、ハードウェア障害発生の可能性を低減させ、基本的な信頼度を向上させている。また、高密度論理LSIを全面的に使用することにより、障害検出回路、障害回復回路を充実している。さらに、SVP(Console Service Processor)により、システムの動作環境のモニタリング、障害データの収集・解析の自動化、遠隔保守機構、自動運転機構などの強化を実現している。



注：略語説明

- MS(Main Storage : 主記憶装置)
- BPU(Basic Processing Unit : 演算処理装置)
- CPU(Central Processing Unit : 中央処理装置)
- BYMPX(Byte Multiplexor Channel)
- BLMPX(Block Multiplexor Channel)
- SVP(Console Service Processor)
- IDC(Integrated Disk Controller : 統合ディスク制御機構)
- IPC(Integrated Peripheral Controller : 統合入出力制御機構)
- ICP(Integrated Communication Processor : 統合通信制御処理機構)
- LTC(Local Terminal Controller : ローカルターミナル制御機構)
- WS(Work Station : ワークステーション)
- CD(Console Display : コンソールディスプレイ)
- CR(Card Reader : カード読取り装置)
- LP(Line Printer : ラインプリンタ)
- FD(Floppy Disk : フロッピーディスク装置)
- LBP(Laser Beam Printer : レーザビームプリンタ)

図2 HITAC M-220Hのシステム構成 処理装置には各種の入出力制御機構を内蔵可能であり、コンパクトなシステムを構成できる。

(5) コンパクト化

最新のハードウェア技術を使用することにより、ディスク制御、低速入出力機器制御、通信制御など、各種の入出力制御機構を処理装置に内蔵可能とするとともに、省スペース、省エネルギー化を実現し、高度の機能を一般オフィス環境で使用できるようにした。

3 概略構成

3.1 システム構成

M-220Hのシステム構成例を図2に示す。

M-220H処理装置は、BPU(Basic Processing Unit : 演算処理装置)、チャンネル、MS(Main Storage : 主記憶)から成るCPU(Central Processing Unit : 中央処理装置)部とSVP/IPC(Integrated Peripheral Controller : 統合入出力制御機構)および各種入出力制御機構により構成されている。

3.2 概略仕様一覧

表2に、M-220Hの概略仕様を、L-340と比較して示す。システムの多様化に備えて、高速データ処理を実現するために、CPU内部のデータ幅を拡張していること、また、主記憶容量およびチャンネル数の拡張を行なったこと、さらに、新しいアーキテクチャであるVSEモードをサポートしていることなどが、大きな特長である。

表2 HITAC M-220Hの概略仕様 新しいアーキテクチャであるVSEモードをサポートするとともに、性能向上と機能拡張を行なった。

No.	項目	M-220H	L-340	
1	処理モード	Mモード, VSEモード	Mモード	
2	命令形式	6種 (RR, RX, RS, SI, SS, S)		
	命令長さ	2, 4, 6 (バイト)		
3	データ形式	固定小数点, 浮動小数点 論理データ, 可変長論理データ		
	データ長さ	半語(2バイト), 語(4バイト), 倍語長, 4倍語長, 最大256バイト可変長, 最大16Mバイト可変長		
4	割込み方式	6レベルPSW切換方式		
5	主記憶最大容量 (Mバイト)	8	2	
	主記憶アクセス幅 (バイト)	8	2	
6	最大BYMPX数	1	1	
	BYMPXスループット (kバイト/秒)	50	15	
	最大BLMPX数	4	1	
	BLMPXスループット (Mバイト/秒)	3	1	
7	最大IDC数	2	1	
	最大LTC数	1	1	
	最大ICP数	1	なし	
8	内蔵形入出力制御機構	IPC制御機器 FD, CR, LP, TR, TP MSR, GD, XYP 通信アダプタ他		
	演算器	主演算器データ幅	4バイト	2バイト
9	大きさ	高さ×幅×奥行 (mm)	1,300×1,200×800	1,525×1,210×700
		10進演算器データ幅	4バイト	1バイト
		シフト演算器データ幅	4バイト	2バイト
10	所要電力 (kVA)	2進→10進変換回路	あり	なし
			2.9	3.3

注：略語説明

- TR (Tape Reader : 紙テープ読取り装置)
- TP (Tape Punch : 紙テープパンチ装置)
- MSR (Mark Sheet Reader : マークシート読取り装置)
- GD (Graphic Display : グラフィックディスプレイ)
- XYP (X-Y Plotter : X-Yプロッタ)

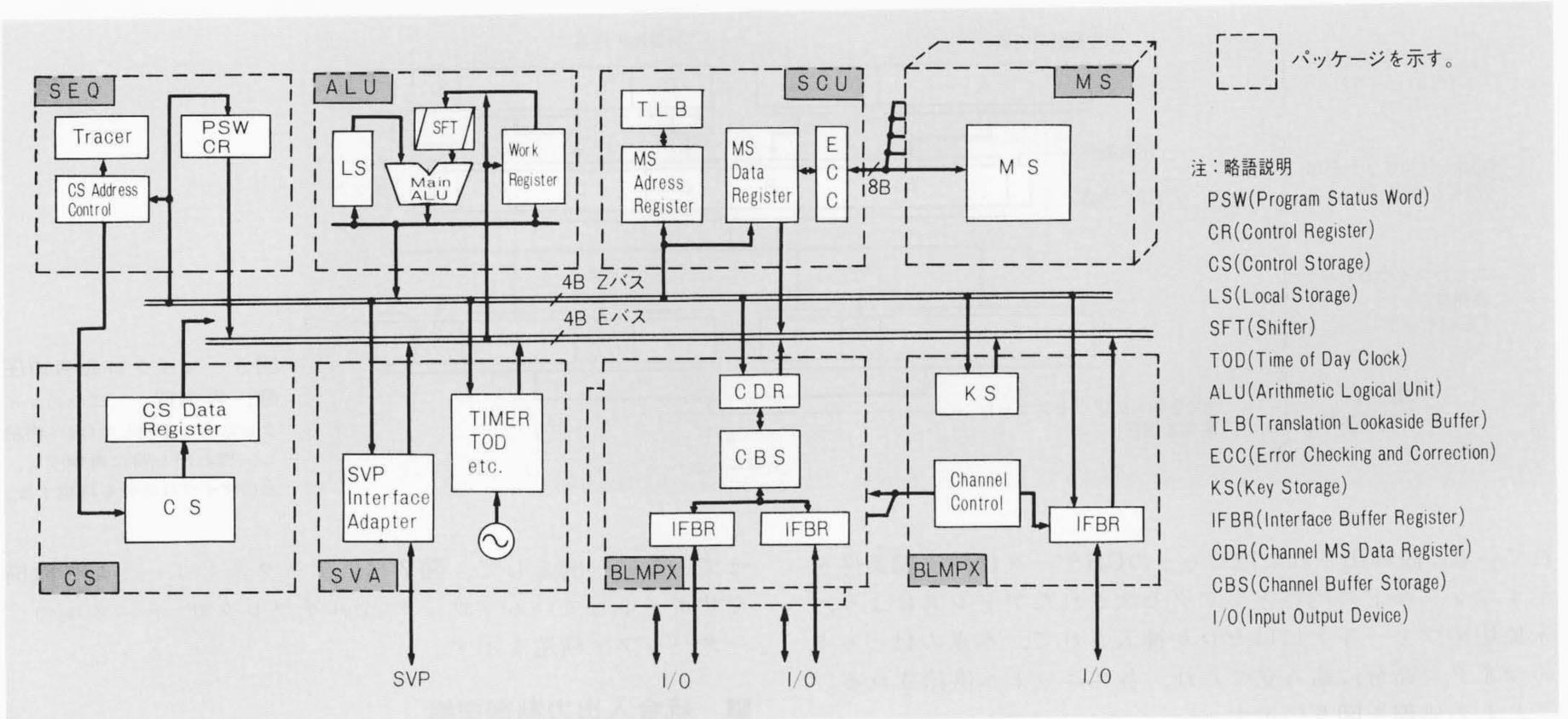


図3 HITAC M-220H処理装置の論理構成 データの流れとパッケージ単位のユニット分割の概略論理構成を示す。

4 論理上の特長

M-220Hでは、最新のハードウェア技術の特長を生かし、コンパクトでかつ経済的に高速のデータ処理が可能となるような論理方式を使用している。

図3に、M-220H CPUの論理構造の概略ブロック図を示す。CPUは、論理仕様に柔軟性を持たせるため、マイクロプログラム制御方式を採用している。

4.1 演算処理装置

BPUは、CPUの核となる基本論理部であり、これを構成する各機能論理部(ユニット)ごとに、1枚のパッケージに収容されている。

各ユニットの概略動作と特長のある論理を以下に述べる。

(1) ALU(Arithmetic Logical Unit：論理演算部)

ALUは、CPUの論理演算を行なうユニットであり、各種のレジスタと主演算器から構成され、論理動作の大部分は、マイクロ命令により制御される。

ALUへの入力は、4バイト幅のEバスにより行なわれる。ALU以外のユニットの出力は、Eバスに接続されている。ALUの出力は、4バイト幅のZバスに接続され、他ユニットへの入力となっている。

ALUでは、図4に示すように、1マシンサイクルを、主演

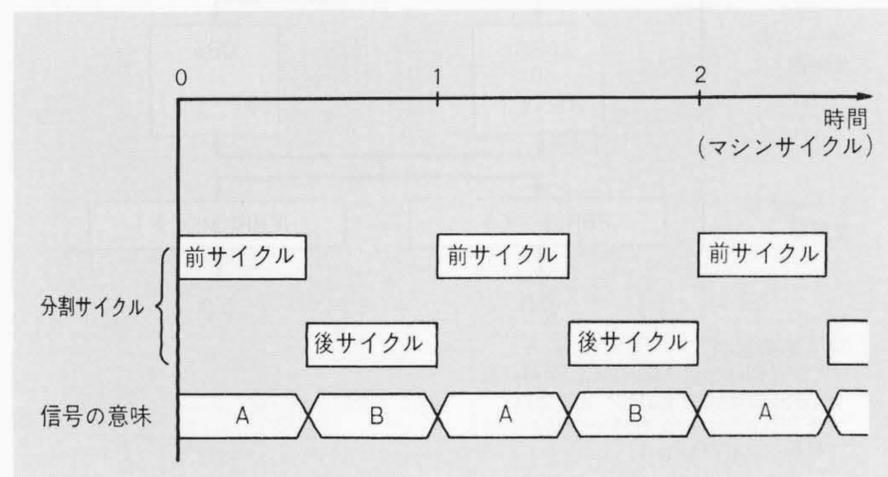


図4 信号ピンの時分割使用 ピン/ゲート比を向上させるために、マシンサイクルの間に、信号線の持つ意味を2度切り換える。

算器へのデータのセットアップを行なうまでの前サイクルと、それ以降、次のマイクロ命令の開始までの後サイクルとに分割して、それぞれのサイクルで、LSIあるいはパッケージのデータ線、制御信号線を異なる目的のために使用することにより、LSIおよびパッケージのピンの増加を抑えている。

(2) SCU(Storage Control Unit：主記憶制御部)

SCUは、MSの読み出し、書き込み、リフレッシュ制御を行なうユニットであり、論理アドレスと実アドレスとの変換を行なう256対のTLB(Translation Lookaside Buffer：アドレス変換バッファ)や記憶保護機能と関連する論理回路も含まれている。

SCUとMS間は、8バイト幅の双方向性バスにより接続されており、LSIとパッケージのピン増加を抑えている。

SCUでは、従来のMシリーズの記憶保護機構と、指定された論理アドレスの範囲外をアクセスすることを禁止する記憶保護も行なっている。両方の記憶保護機構を併用することにより、従来に比べて、きめ細かな記憶保護が可能である。

(3) SEQ(Sequence Control Unit：順序制御部)

SEQは、マイクロ命令の実行順序を制御するユニットであり、割込みや命令の実行順序を制御するPSW(Program Status Word)やコントロールレジスタを保持している。

SEQには、実行されたマイクロ命令のアドレスと関連する制御信号とを記憶できるトレーサを内蔵しており、必要に応じて、SVPにより、その内容を読み出すことができる。

(4) SVA(SVP Adaptor：SVP接続部)

SVAは、CPUとSVPとを接続するためのインタフェースレジスタと制御部、CPUで使用する各種時計機構および水晶発振器などで構成される。

SVPとのインタフェースレベルは、TTL(Transistor-Transistor Logic)であり、ECL(Emitter Coupled Logic)とTTLのレベル変換もSVAで行なっている。

(5) CS(Control Storage：制御記憶部)

CSは、マイクロプログラムを格納しているユニットであり、関連するアドレスレジスタ、データレジスタから構成される。

M-220Hのマイクロ命令の1語は、41ビットで構成され、2語のマイクロ命令が、72ビットに圧縮されて、CSに格納さ

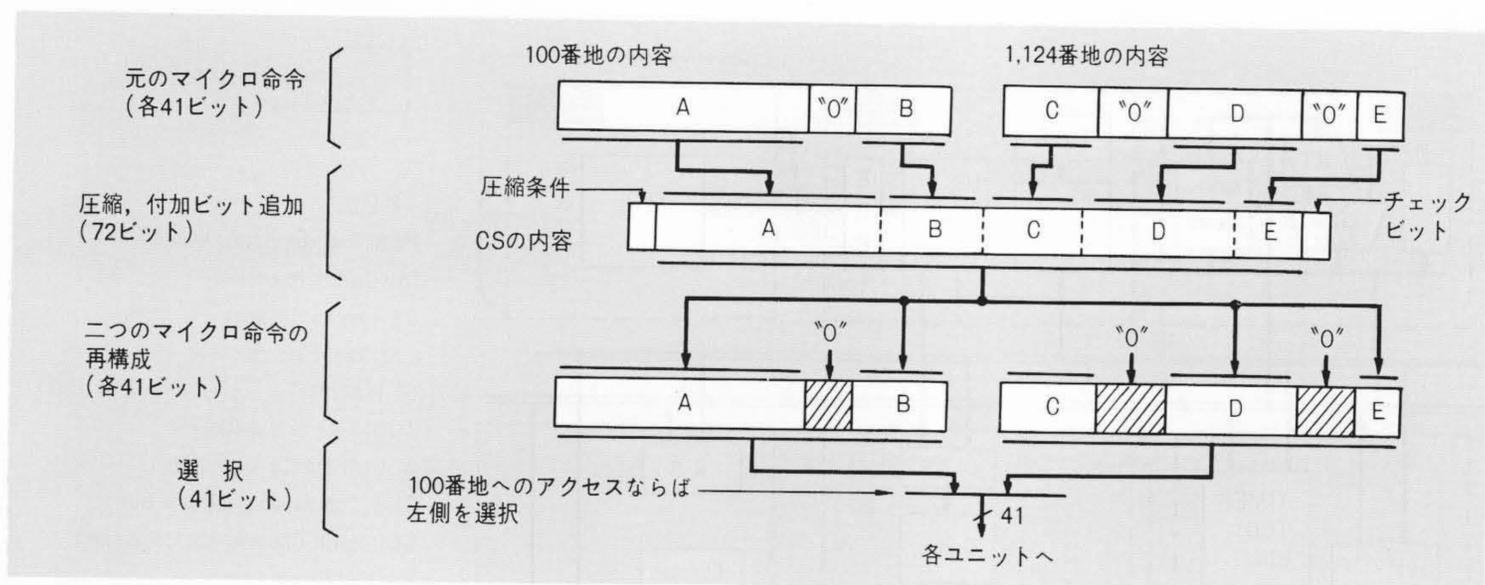


図5 マイクロ命令の圧縮, 再構成 二つのマイクロ命令を圧縮してCSへ格納し, 読み出し時に再構成し, 元のマイクロ命令を再現する。

れている。読み出された72ビットのCSデータは、圧縮条件を示すフィールドの内容と、アクセスされたアドレスにより、未使用のフィールドにはゼロが挿入されて、本来の41ビットのマイクロ命令に組み立てられ、各ユニットへ供給される。これらの処理を図5に示す。

4.2 チャンネル

チャンネルは、将来のシステムでのデータ処理量の増大、あるいは高スループット入出力機器の接続に備えて、M-280Hをはじめとする上位機種と同様に、データストリーミング機構²⁾をサポートしている。

以下に、高いチャンネル性能を保ちながら、小形化のために実施した論理方式上の特長について述べる。

(1) サイクル スチール方式

チャンネルの論理量の増加を抑えるために、BPUと共通の論理部を、マイクロ命令単位で時分割使用するサイクル スチール方式を採用している。

(2) サブチャンネル

サブチャンネルは、図6に示すように、MSの上位アドレス部のハードウェア使用領域に確保されており、時間的にもアドレス空間的にも、ソフトウェアによるアクセスとの分割使用が図られている。

(3) I/Oインタフェース制御

論理回路が、I/O(Input Output: 入出力)インタフェースの入力信号の変化を検出すると、マイクロプログラムへ制御を渡し、以降マイクロプログラム制御によるインタフェース動作を行なうことにより、I/Oインタフェース制御論理量を減らしている。

(4) 複数チャンネル共用論理

チャンネルは、1パッケージに2チャンネル搭載可能であり、各種の制御回路、データバッファなどを時分割に、相互のチャンネルが使用することにより、全体としての論理量を減少さ

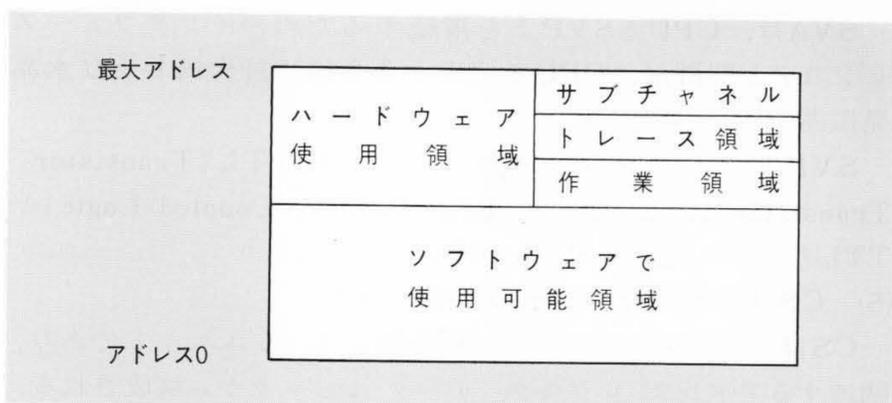


図6 主記憶の割当て 主記憶の上位のアドレスは、ハードウェア使用領域として確保され、ソフトウェアでは参照できない。

せている。一例として、図7に、データストリーミング機構をサポートしているブロック マルチプレクサ チャンネルのデータバッファ構造を示す。

5 統合入出力制御機構

統合入出力制御機構(IPC)は、マイクロプログラム制御方式のプロセッサをCPUとは独立に持ち、SVPとして動作するとともに、入出力装置の制御を行なう。

5.1 コンソールサービスプロセッサ

SVPは専用のファイルとしてフロッピーディスクを持ち、コンソールディスプレイ、キーボード、プリンタを制御する。

SVPはオペレータコンソール機能、保守用コンソール機能、内蔵された入出力制御機構を含む処理装置全体の管理機能を果たす。管理機能の主なものは、各装置のイニシャライズ、障害処理、省力化運転、無人化運転であり、保守・障害処理と関連して遠隔保守機能を持つ。

5.2 入出力装置の制御

比較的低速な小形の入出力装置(フロッピーディスク、ラインプリンタなど)を制御する。また、各種の通信回線を制御することも可能であり、小規模なオンラインシステムを容易に構成することができる。これらの入出力装置および通信回線用のアダプタは最大16台(うち通信回線用アダプタは最大8台)まで処理装置内に搭載でき、システム全体の省スペース化を実現している。

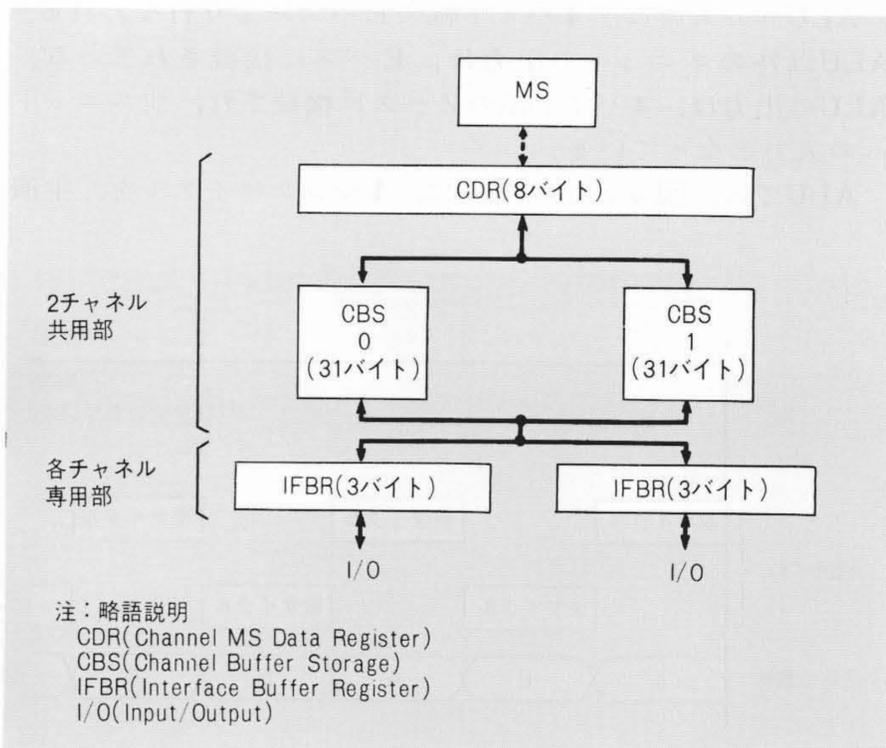


図7 チャンネルのデータバッファ構造 パッケージ当たり、2チャンネル実装され、データバッファは、その2チャンネルにより時分割使用される。

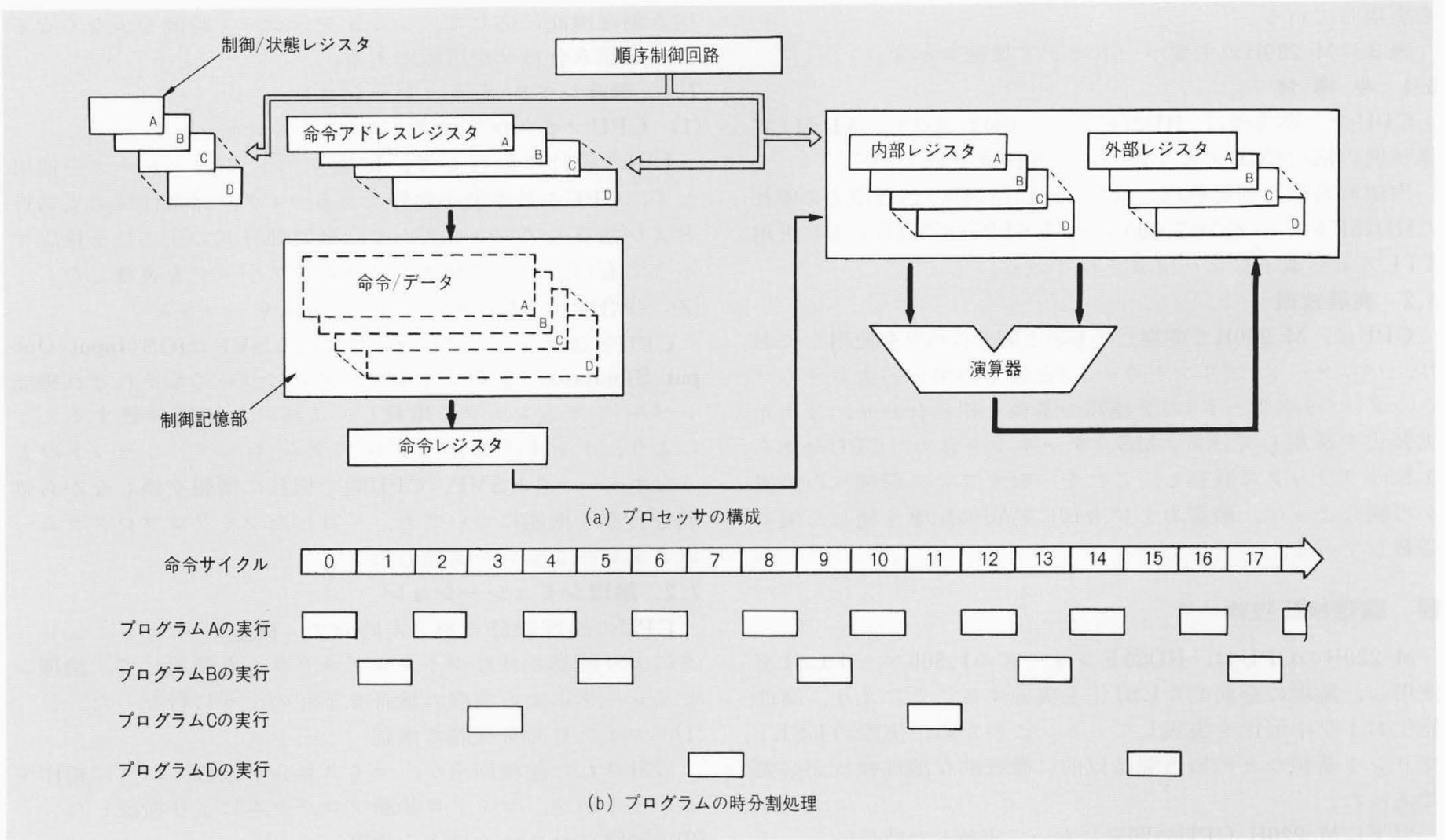


図8 統合入出力制御機構の構成 複数のプログラムが必要な周期で時分割に実行される。障害に対しても一部のプログラムだけの停止となり、他の実行可能なプログラムにより回復がなされ、故障しにくい装置を実現している。

5.3 プロセッサの特長

前記のように本装置は同時に多数の処理を行なう必要がある。これを実現するため、プロセッサは複数のプログラムを独立に時分割で処理する構造とした。図8(a)にプロセッサの構成を示す。実行すべきプログラムごとに独立した命令アドレスレジスタおよび命令実行を制御する制御/状態レジスタを持ち、順序制御回路によってあらかじめ設定された順序で同図(b)に示すように一命令サイクルごとに時分割でプログラムを実行する。さらに、プログラムの使用する内部/外部レジスタおよび命令語とデータが格納される制御記憶部もプログラムごとに分割使用する。この構成により各プログラム間の独立性を保ち、ハードウェアの障害が発生した場合には、発生時に実行中のプログラムあるいは発生箇所に関連するプログラムだけ停止し、他のプログラムは支障なく処理を続けることができる。さらに、プログラム間に相互監視回復機能を持たせることにより、停止したプログラムの回復を他の実行可能なプログラムにより行なわせることができ、本装置自体の機能停止を最小限にとどめることができる。これにより、SVPとして、また入出力・通信回線制御装置として信頼性の高いものとした。

6 ハードウェア技術

M-220Hで使用しているハードウェア技術は、大別して、ECL系とTTL系とに分類される。

CPUで使用しているECL系ハードウェア技術は、新しいMシリーズと共通技術^{1),2)}であり、高性能化と小形化を実現している。SVP/IPCあるいはIDC(Integrated Disk Controller: 統合ディスク制御機構)などの内蔵形入出力制御機構は、TTL系ハードウェア技術を使用しており、小形化と省エネルギー化

表3 HITAC M-220Hの主要ハードウェア技術 M-220H中央処理装置と内蔵入出力制御機構の主要ハードウェア技術を示す。

項目	論理部位	M-220H中央処理装置と内蔵入出力制御機構の主要ハードウェア技術	
		中央処理装置	内蔵入出力制御機構
LSI	ゲート数	1,500	1,600
	回路速度(ns)	0.45/0.8	0.8/1.5
	ピン数	108	118
	入出カインタフェースパッケージ	ECLレベル フラットタイプ	TTLレベル アキシャルタイプ
主記憶メモリ素子	メモリビット数	64k語×1ビット	—
	アクセスタイム(ns)	150	—
	入出カインタフェースパッケージ	TTLレベル ディアルイン ラインタイプ	—
高集積度メモリ素子	メモリビット数	1k語×4ビット	16k語×1ビット
	アクセスタイム(ns)	25	55
	入出カインタフェースパッケージ	ECLレベル フラットタイプ	TTLレベル ディアルインライ ンタイプ
パッケージ(プリントカード)	大きさ(mm)	220×419	226×433
	層数	10	6
	格子ピッチ(mm)	1.91	2.54
プラッタ(バックボード)	大きさ(mm)	224×419	419×457
	層数	14	8
	格子ピッチ(mm)	2.54	2.54

を実現している。

表3にM-220Hの主要ハードウェア技術を示す。

6.1 半 導 体

CPUの主要論理は、HD21Fシリーズの1,500ゲートLSIと高集積度の汎用ECLメモリ素子により構成されている。

内蔵形入出力制御機構の論理は、回路速度/消費電力の優れたHD25Fシリーズ³⁾の1,600ゲートLSIと汎用TTLおよび汎用TTLメモリ素子により構成されている。

6.2 実装技術

CPUは、M-200Hで開発したものと同一技術⁴⁾を使用しており、パッケージ(プリントカード)と通常の半分の大さきのプラッタ(バックボード)の2種類の基板を組み合わせ、3次元実装法を採用している。MS、チャンネルを含めてCPU全体を1枚のプラッタに収容し、これを一般オフィス環境への設置が可能のように、騒音および冷却に特別の配慮を施した架に搭載している。

7 論理検証技術^{2), 5)}

M-220HのCPUは、HD21Fシリーズの1,500ゲートLSIを使用し、論理の全面的なLSI化を実施することにより、高性能化および小形化を実現している。このため、実際のLSI、プリント基板などの製造開始以前に徹底的な論理検証が必要であった。

以下にM-220H CPUの開発において実施した特長的なシミュレーション技術について述べる。

シミュレーションは、大別して2種に分類できる。ひとつは、論理機能を高級言語で記述した機能レベルシミュレータを使用する方法であり、他方は、実現すべき論理機能をAND/ORゲートなどの基本論理素子で構成した論理シミュレータを使用する方法である。これら2種のシミュレータは、レジスタの値などをパラメータとして、相互接続が可能であり、確認す

べき論理機能に応じて、シミュレーション時間が少なくなるような組み合わせが可能である。

7.1 機能レベルシミュレーション

(1) CPUマイクロプログラムシミュレーション

LSIの設計に先行して、機能レベルシミュレータを使用して、CPUの基本最小動作であるマイクロ命令仕様の妥当性および演算のアルゴリズムや命令処理方式の正当性を検証するとともに、マイクロプログラムのデバッグを実施した。

(2) 複合マイクロプログラムシミュレーション

CPUとは独立したプロセッサであるSVPやIOS(Input Output Simulator : I/Oシミュレータ)についてもそれぞれ機能レベルシミュレータを用意し、これらを相互接続することにより、チャンネル動作やプログラムロード、リセットのようなオペレータとSVP、CPU間で相互に情報交換しながら処理を行なう機能についても、一貫したマイクロプログラムシミュレーションを実施した。

7.2 論理シミュレーション

CPUの論理設計を終えた時点で、機能レベルシミュレータにより確認されたマイクロプログラムを使用して、論理シミュレータによる論理の検証を下記のように行なった。

(1) マイクロ命令機能の検証

設計された論理回路が、マイクロ命令仕様どおりに動作するかどうかを、マイクロ診断プログラムにより検証した。

(2) 試験プログラムによる検証

前記(1)により確認されたマイクロ命令機能の組み合わせで実現されている命令処理、割込み処理、チャンネル処理の動作を実際のシステムの検査で使用している試験プログラムにより検証した。

(3) 障害処理シミュレーション

論理シミュレータの論理ゲートに擬似的に障害を発生させ、CPUとSVPのマイクロプログラム処理も含めて、CPUが、確実に障害処理を実行するかどうかの確認をした。また、チャンネル動作については、IOSのマイクロプログラムにより擬似的に入出力装置の障害を発生させ、適正な障害処理を行なうことを確認した。

図9に、シミュレータで構成したシミュレーションシステムを示す。

8 結 言

以上述べたように、M-220Hは、1,600ゲートLSIをはじめとする最新の高密度ハードウェア技術と、これに適合するピン/ゲート比の優れた論理方式の採用により、性能/価格比の向上と小形化を追求した汎用処理装置である。

今後も、新しいハードウェア技術と論理方式を、M-220Hへ適用することにより、より使いやすく、身近なコンピュータシステムを提供していく考えである。

参考文献

- 1) 泉, 外: HITAC M-280H処理装置の開発, 日立評論, 63, 9, 627~632(昭56-9)
- 2) 酒井, 外: HITAC M-240H処理装置の開発, 日立評論, 63, 9, 633~638(昭56-9)
- 3) 細坂, 外: 高速TTL1,600ゲートマスタスライスLSI, 日立評論, 64, 7, 525~528(昭57-7)
- 4) 小高, 外: HITAC M-200H汎用超高速処理装置, 日立評論, 61, 12, 841~846(昭54-12)
- 5) 大町, 外: コンピュータにおけるシミュレーション技術, 日立評論, 64, 9, 657~662(昭57-9)

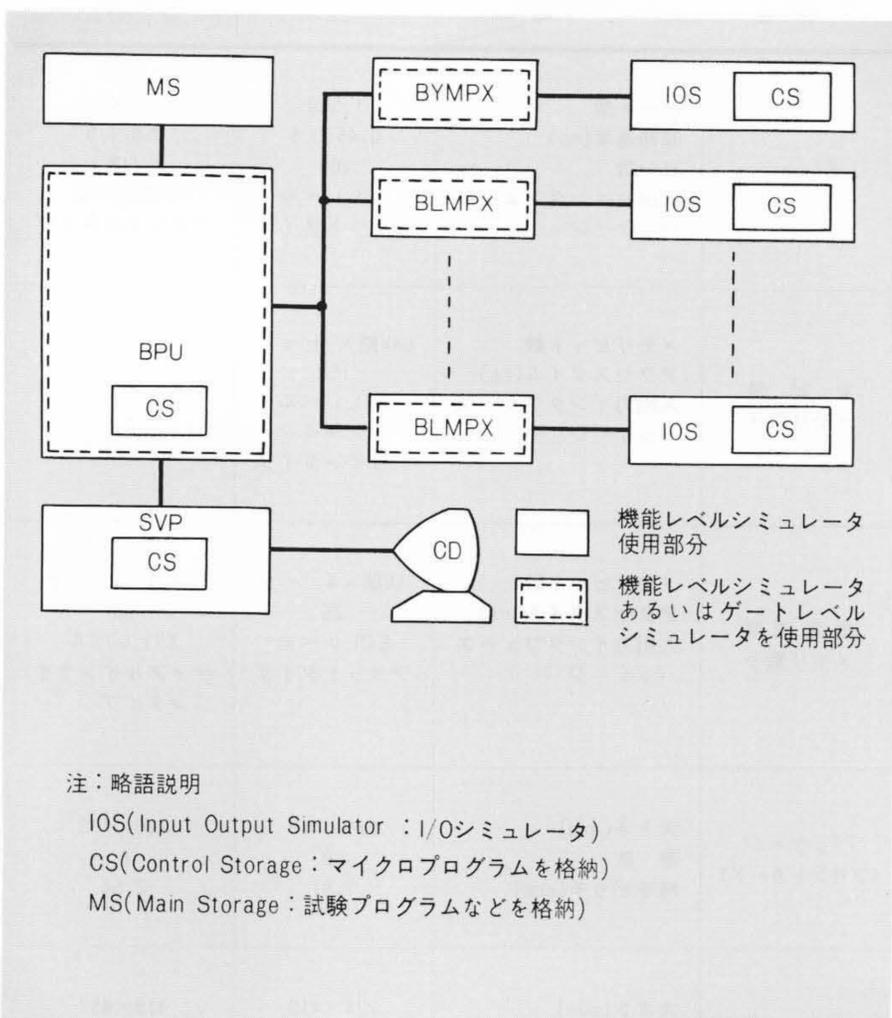


図9 シミュレーションシステム構成 シミュレーションシステムでは、実際の入出力機器のかわりに、IOSをチャンネルへ接続する。